

工艺导致的机械应力对深亚微米 CMOS 器件的影响

李 睿^{1,2,3)†} 王庆东³⁾

1) 中国科学院上海微系统与信息技术研究所, 上海 200050)

2) 中国科学院研究生院, 北京 100049)

3) 上海宏力半导体制造有限公司, 上海 201203)

(2007 年 8 月 17 日收到, 2007 年 8 月 30 日收到修改稿)

随着 CMOS 器件的不断微缩, 硅有源区面积的缩小, 工艺导致的机械应力对器件的影响越来越显著, 许多工艺步骤会造成有源区应力的累积. 应力不仅导致器件性能对版图产生依赖性, 而且带来各种可靠性问题, 影响芯片的长期使用寿命. 在很多情况下, 应力相关的问题直接影响芯片制造的良率. 在总结各种应力来源的基础上, 回顾了到目前为止人们所观察或理解的应力对 CMOS 器件性能和可靠性的各种影响, 提出了分析和解决工业生产中应力相关问题的基本思路.

关键词: 机械应力, CMOS

PACC: 7340Q, 7300, 7360J

1. 引 言

自 1965 年摩尔定律^[1] (Moore's Law) 发表以来, 集成电路中被集成的晶体管数目以每 18 个月翻一番的速度稳定增长. 在器件密度增加的同时, 新问题不断出现. 其中, 工艺导致的机械应力 (mechanical stress) 是深亚微米 CMOS 制造过程中最重要的问题之一. 许多器件可靠性方面的问题最终都归结为应力问题. 在半导体工艺中, 最为关心的是硅有源区 (active region) 中应力的分布情况. 随着器件尺寸的不断减小, 应力所引发的效应也越来越严重.

一般认为, 浅槽隔离 (shallow trench isolation, STI) 工艺引发的应力效应最为重要. STI 是应用于 0.25 μm 以下 CMOS 工艺的主流隔离技术^[2,3], 非常适于器件微缩 (device down-scaling). 典型的 STI 过程是在定义出有源区的图形之后, 用干法刻蚀 (dry etch) 在隔离区刻出浅槽. 为了修复刻蚀造成的表面粗糙, 在用 SiO_2 填充之前, 进行高温薄层氧化 (liner oxidation). 最后用化学机械抛光 (chemical mechanical polishing, CMP) 进行晶片表面平坦化. STI 工艺的各个步骤都会不可避免地引入应力, 从而对器件工作性能产生影响.

除了 STI 工艺, 其他 CMOS 制造过程中的许多步骤也会造成有源区域的应力, 例如薄膜沉积过程^[4], 硅化物 (silicide) 形成过程^[5], 掺杂 (dopant) 过程^[6]等. 并且, 随着器件尺寸的缩小, 这些作用在有源区的应力产生相互交叠, 导致应力的累积.

研究表明, 应力对半导体制造工艺产生多种影响^[7,8]. 比如应力影响硅材料氧化的速率^[9]; 改变杂质在硅中的扩散率^[10,11]等. 另外, 应力也会造成器件电学性能上的差异. 根据材料力学理论, 受到应力的材料会产生一定形变, 即应变 (strain) 以保持力的平衡. 半导体材料的形变会导致其原子间距的变化, 进而造成能带结构和禁带带隙的改变^[12]. 此外, 如果晶格被破坏, 晶体中出现缺陷, 会在禁带中引入中间能级. 这些都会导致电子在能带间跃迁效率受到影响.

另一方面, 随着硅材料压阻效应 (piezoresistance effect) 的深入研究, 工业界逐渐认识到可以利用应力增加 MOS 器件的载流子迁移率, 即应变硅技术 (strained silicon). 应变硅技术广泛应用于 90 nm 以下工艺^[13-15], 是保持 CMOS 器件微缩发展的必然选择. 因为当载流子速度达到饱和^[16]时, 继续缩短沟道长度已经不能达到增加电流的目的. 而应变硅技术可以明显提高迁移率, 使得器件微缩的同时保持

† E-mail: rayli@gsmcthw.com

其驱动性能^[17].

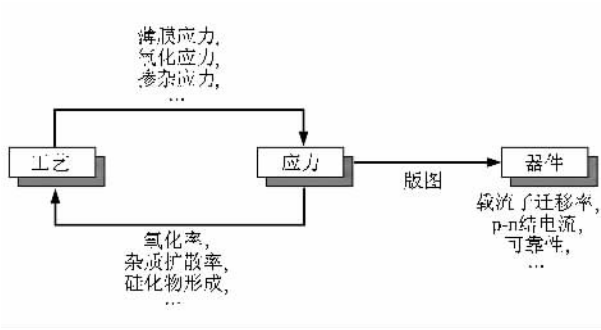


图 1 应力与工艺及器件之间的相互关系

如图 1 所示, 本文分为两大部分: 第一部分总结了 CMOS 制造工艺与机械应力的相互关系, 包括应力的主要来源以及应力对工艺的反作用; 第二部分介绍工艺导致的应力对 CMOS 器件性能, 包括对载流子迁移率、p-n 结的饱和电流及漏电流, 以及各项可靠性的影响. 在此基础上, 提出分析和解决工业生产中应力相关问题的基本思路.

2. CMOS 工艺与应力

2.1. 应力的概念

在外力或热作用下, 物体内部某截面上承受的作用力的强度, 称为该截面上的应力. 如图 2 所示, 物体受到外力 F_1, F_2, F_3 和 F_4 的作用. 假设将该物体在截面 S 处切为两部分 V_1 和 V_2 , 则 V_2 将在截面处对 V_1 施加力以保持平衡. S 平面上任一点 P 的应力可用一个作用于 S 平面上的矢量表示

$$T = \lim_{\Delta S \rightarrow 0} \frac{\Delta F}{\Delta S} = \frac{dF}{dS}, \quad (1)$$

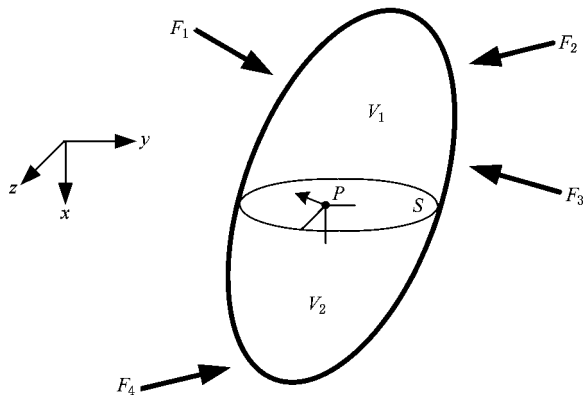


图 2 外力作用下物体内 S 平面的应力

该矢量与 S 平面方向的选取有关, 而分别作用于三

个正交平面的三个矢量可以完全决定 P 点的应力状态. 也就是说, 物体内任一点的应力状态可由这三个矢量组成的张量表示

$$\sigma_{ij} = \begin{bmatrix} \sigma_{11} & \sigma_{12} & \sigma_{13} \\ \sigma_{21} & \sigma_{22} & \sigma_{23} \\ \sigma_{31} & \sigma_{32} & \sigma_{33} \end{bmatrix}, \quad (2)$$

其中 σ_{ii} 项为正应力 (normal stress component), σ_{ij} 项为切应力 (shear stress component). 在平衡状态下, 应力张量是对称的, 因此可表示为一个具有六个独立分量的矢量

$$\sigma = [\sigma_{11} \ \sigma_{22} \ \sigma_{33} \ \sigma_{12} \ \sigma_{23} \ \sigma_{31}] \quad (3)$$

2.2. CMOS 工艺中应力的来源

一般认为, CMOS 工艺中应力的产生可以归为四类: 薄膜应力, 热应力, 掺杂导致的应力和氧化体积膨胀导致的应力.

2.2.1. 薄膜应力 (film stress)

在芯片制造过程中, 不同种类的薄膜在晶片表面生长或沉积, 最终形成薄膜堆叠 (film stack) 结构. 这些具有不同结构, 不同机械属性, 不同温度属性的材料堆叠在一起就会造成相互之间的应力. 这是因为相邻的薄膜在外力作用 (例如升温过程) 下由于不同的材料属性, 会产生不同的膨胀或收缩, 以致相互拉伸或挤压. 尤其是在薄膜边缘和不平坦的区域, 薄膜造成的局域应力更为明显.

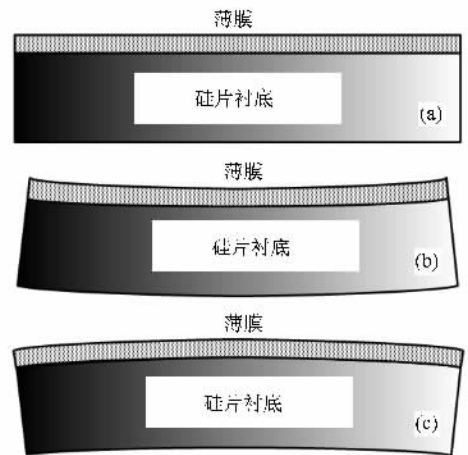


图 3 因薄膜与衬底间热膨胀系数不同, 所以当薄膜由高温降至低温后, 衬底将因薄膜与衬底所产生的应力, 而发生弯曲 (其中 (b) 为 $\alpha_{\text{film}} > \alpha_{\text{sub}}$, 而 (c) 为 $\alpha_{\text{film}} < \alpha_{\text{sub}}$ 所产生的情形) (a) $T =$ 沉积温度 (b) $T =$ 室温 (c) $T =$ 室温

根据 Hu 的理论, 薄膜应力有两种机理. 一种是外应力 (extrinsic stress), 主要由于相邻材料之间热膨

胀系数的不匹配.如图 3(a),在一个理想的衬底上进行薄膜沉积,沉积温度在 150—1200℃ 之间.当沉积结束,衬底与薄膜的温度从沉积温度降至室温后,由于薄膜与衬底的热膨胀系数不同,在两者间的界面将产生应力 σ_{th} .如果沉积薄膜的热膨胀系数高于衬底,则冷却后的衬底外观如图 3(b)所示,使薄膜承受拉伸应力(tensile stress);反之,如果薄膜的热膨胀系数低于衬底,则冷却后如图 3(c)所示,薄膜所承受的是挤压应力(compressive stress).这个因彼此热膨胀系数不同所产生的应力,其强度可由下式来表示:

$$\sigma_{th} = E_y \cdot \Delta T \cdot (\alpha_{film} - \alpha_{sub}), \quad (4)$$

其中, α_{film} 和 α_{sub} 分别是薄膜与衬底材料的热膨胀系数, ΔT 是薄膜沉积温度与室温之间的温差, E_y 是薄膜的杨氏模量(Young's modulus). CMOS 工艺中常用材料的热膨胀系数及杨氏模量如表 1 所示.可见不同材料之间,温度系数相差很大,这会导致严重的应力问题.

表 1 常见薄膜的机械属性^[18]

材料	设备	杨氏模量 /GPa	热膨胀系数 / $10^{-6}C^{-1}$	内应力/MPa
Si	-		[2.8—4.5]	
氧化物	热生长	66	0.5	-400
	HDP	88	0.5	0
氮化物	PECVD	143	2.8	-50
	LPCVD	290	3.0	+1300
TEOS	LPCVD	60	0.6	~0
多晶硅	LPCVD	180	2.8—4.5	-350
Ti	溅射	115	8.6	—
TiN	溅射	410	9.6	—
TaN	PVD	457	6.5	-1500
W	CVD	410	4.6	+1000
Cu	CVD	87	16.6	—
CoSi ₂	热生长	160	10.8	—

薄膜外应力还可能来自于薄膜之间晶格参数的差异而在界面造成的应力.例如锗硅(SiGe)衬底上生长的硅材料,在界面处,由于锗硅晶体中原子间距大于硅材料,会造成硅薄膜中的拉伸应力,如图 4 所示.另外,薄膜间因发生化学反应,进而影响彼此在界面的结构和组成,也会产生应力.典型的例子是在硅化物的形成过程中,钴(Co)或钛(Ti)与硅反应,体

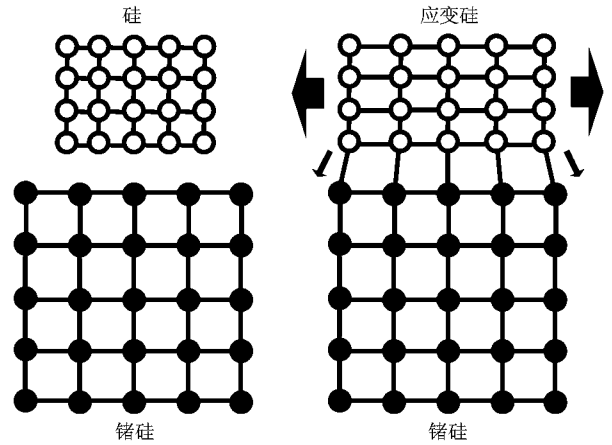


图 4 SiGe 上的应变硅示意图(由于材料间晶格参数不同造成的应力)

积发生收缩,造成应力^[19,20].

另一种薄膜应力的来源是内应力(intrinsic stress).一些研究认为,内应力源于薄膜的生长机理^[21].例如,在平面硅上生长硅氧化物(oxide)过程中,氧气分子通过扩散透过已生长出的表面氧化层,到达氧化层与硅的界面处,与下面的硅进行反应,生成的新氧化物对两边造成挤压,产生薄膜的内应力.其他一些常见的薄膜材料在生长或沉积过程中也会形成内应力,比如多晶硅(poly-silicon),氮化硅(silicon nitride)等.

在薄膜生长或沉积之后,不论何种来源的应力都会对薄膜和晶片本身的外观造成影响.比如,如果薄膜在晶片上的情况属于图 3(b),可以立刻知道该薄膜所承受的应力型态为拉伸应力.也就是说,由薄膜和晶片的弯曲程度,可以计算出薄膜所承受的总应力是多少.假设衬底在薄膜沉积前是平坦的,沉积之后,衬底因应力而产生弯曲的曲率半径(curvature radius)为 R ,则薄膜所承受的应力可以表示为^[22]

$$\sigma_f = \frac{E_s}{6(1-\nu_s)R} \cdot \frac{t_s^2}{t_f}, \quad (5)$$

其中, E_s 和 ν_s 分别为衬底材料的杨氏模量和泊松比(Poisson's ratio); t_s 和 t_f 分别为衬底和薄膜的厚度.(5)式得到的是热系数不匹配应力和内应力的总和.用该结果减去由计算得到的热系数不匹配应力,就可得出薄膜内应力的大小.

对于衬底而言,即使薄膜中的应力非常大,只要衬底绝对平坦,衬底中的应力也比薄膜应力小几个数量级.这是由于薄膜与衬底之间厚度的差异

$$\sigma_s = -4\sigma_f \cdot \frac{t_f}{t_s} \tag{6}$$

衬底中的局域应力一般来自薄膜的不连续,比如刻蚀过程造成的不连续以及薄膜沉积填洞(gap fill)过程中造成的薄膜本身不平坦.

2.2.2. 热应力(thermal stress)

不同于前述的热系数不匹配应力,热应力指的是在同一种材料中温度梯度分布造成的材料内的应力.通常发生在晶片经历热制程前后.当晶片冷却时,应力主要来自表面张力(surface tension),此时为保持力平衡,晶片处于被挤压状态.而当晶片升温时,由于热膨胀效应,表面部分体积膨胀,而内部相对低温部分体积变化较小,造成内部挤压表面的应力.此时表面受到挤压应力,而内部受到拉伸应力.热应力在晶片衬底材料中比较明显,因为厚度比较厚,从表面到内部的温度梯度分布比较显著.在快速热退火(rapid thermal annealing, RTA)工艺中,热应力是一个严重的问题.当温度上升速率(temperature ramp rate)很高时,热梯度造成的晶片中的应力很大,可能超过临界应力,导致晶片在机台内破裂.一

般情况下,沉积或者生长在晶片表面的薄膜厚度都不足以造成明显的热应力效应.

2.2.3. 掺杂导致的应力(dopant induced stress)

当杂质被引入硅材料中,后者的机械属性随之改变.杂质可能替代晶格中硅原子,被替代的硅原子又会寄生在晶格中,产生缺陷(defect).不同的掺杂种类具有不同的原子大小,将导致不同的硅材料机械性质.常见的半导体杂质有硼¹¹B,磷³¹P,砷³³As,锗⁷³Ge等,而硅本身为²⁸Si.其他杂质比如氧¹⁶O和碳¹²C也会改变硅的机械性质.

硼是半导体中最常见的替代杂质之一.其原子半径小于硅原子.因此当硼原子处于替代位置时,将导致晶格收缩.每个硼原子的周围都会呈现局域应变(localized strain),见图5.如果硼掺杂浓度很高(如PMOS的源漏区硼掺杂达 5×10^{20} atom/cm³),这种局域应变产生叠加,导致整个掺杂区内比较大的整体应变.受其影响,没有掺杂的区域趋于被拉伸,即受到拉伸应力.这种效应已经被应用于硅基微加工^[23, 24].

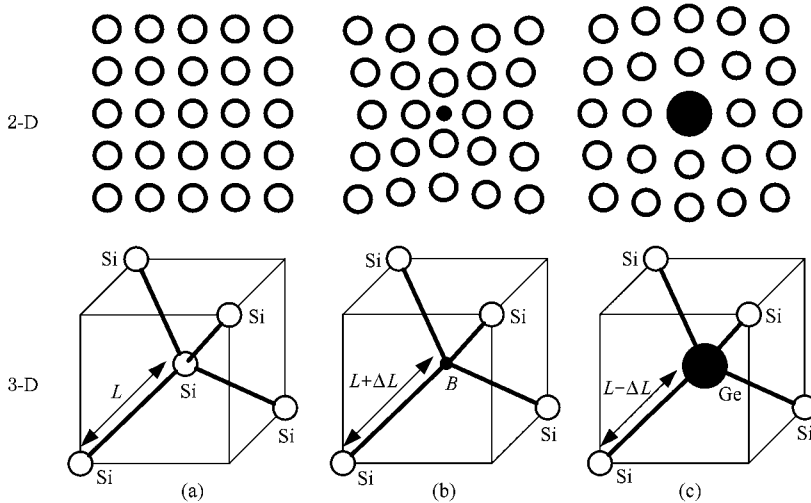


图5 掺杂导致的应力 (a)无掺杂;(b)硼掺杂导致晶格收缩;(c)锗掺杂导致晶格扩张

Horn 测量出硅晶格常数随硼元素掺杂浓度的变化关系^[6].结果表明硼掺杂导致的应变($\Delta a/a$)大致与掺杂浓度成正比.

其他常见杂质比如磷元素和砷元素,产生的影响远不如硼元素掺杂.对于磷元素很容易理解,因为其原子大小与硅原子接近.而砷比硅大很多,但是实验表明高掺杂浓度的砷(5×10^{21} atom/cm³)引起的晶格挤压($\Delta a/a$)只有 $0.0019^{[25]}$.而相同浓度的硼掺杂约为0.026.

2.2.4. 氧化导致的应力(oxidation induced stress)

热氧化过程中的体积膨胀也会导致衬底中的应变.每单位体积的硅全部被氧化成二氧化硅,体积膨胀为2.2单位体积.对于平面氧化,衬底不受影响.这是由于氧化多出来的体积将原有的氧化层向外推,不会在衬底中产生应变.但是对于非平面情形,比如晶片表面的凸出或凹槽区域氧化就会产生较大的应力.对于凸角,由于其实际周长大于平面状态下的长度,长出的氧化膜受到拉伸应力;反之对于凹



角,长出的氧化膜受到挤压应力.图 6 所示为利用工艺仿真软件 TSUPREM-4^[26]模拟出的 STI 薄层氧化后材料内部应力的分布情况.在顶角的氧化膜为拉伸状态,造成有源区内的挤压应力,而在底角的氧化膜为挤压状态,造成有源区内的拉伸应力.

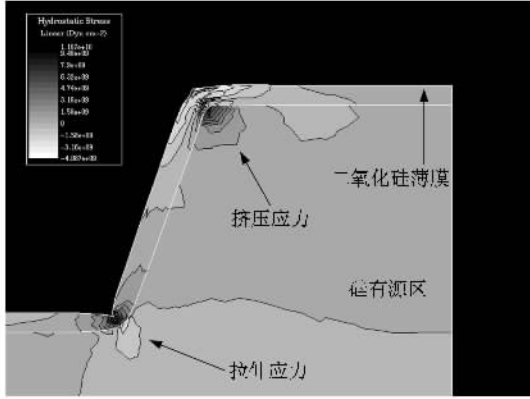


图 6 TSUPREM-4 应力模拟 热氧化导致的应力(在顶角,氧化膜处于拉伸状态,造成有源区内的挤压应力;在底角,氧化膜处于挤压状态,造成有源区内的拉伸应力)

2.3. 应力对 CMOS 工艺的影响

应力对 CMOS 工艺的影响最初出现在 LOCOS (local oxidation of silicon,主要用于 0.35 μm 以上工艺)隔离工艺中. Isomae 等人研究表明^[27],LOCOS 氧化层的形状与氧化过程造成的应力有关.在 STI 工艺的薄层氧化过程中,也有类似的效应.

此外,研究结果表明^[28,29]半导体中的应力影响杂质的扩散行为.一般认为,应力会影响点缺陷 (point defect) 密度以及线缺陷 (比如 dislocation) 的大小和密度^[30-33].而这些缺陷的分布与杂质扩散有密切关系.

2.3.1. 对氧化的影响

硅的热氧化速率依赖于应力.硅片上不平坦区域的氧化容易产生应力^[34],这些应力反过来又会影响氧化反应速率,氧化剂的扩散和已生成氧化膜的黏性 (viscosity).所有这些因素都会影响氧化物生长速率.

图 7 所示为 STI 剖面结构的透射电子显微 (transmission electron microscopy, TEM) 图片.平面区上生长出的栅氧化膜厚度为 26Å (1Å = 0.1 nm).而在顶角区域,由于受到挤压应力,氧化膜厚度只有 20—24Å.这种厚度不均匀会造成两个严重的后果:一是导致更严重的窄沟效应 (narrow width effect);二是影响栅介质层的可靠度,即栅氧化层完整性 (gate

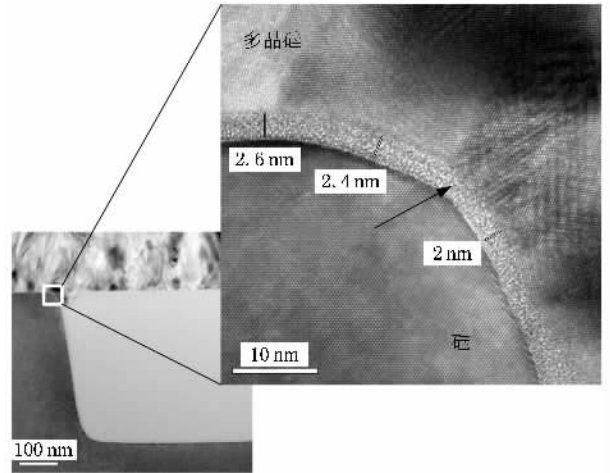


图 7 STI 剖面结构的 TEM 图片(右图为顶角放大图片,边缘的栅氧化膜厚度比平面膜厚度低 2—6Å)

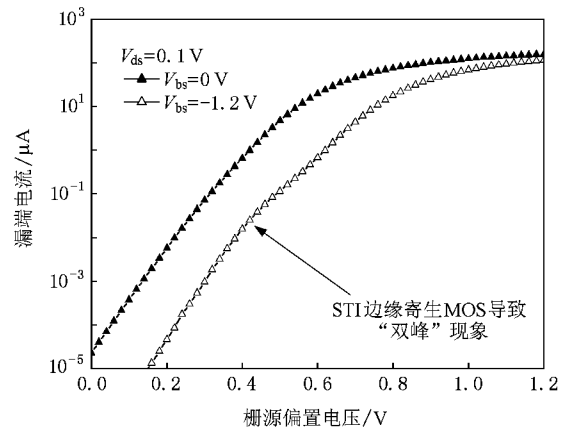


图 8 不同衬底偏置下的 I_d - V_g 曲线

oxide integrity, GOI).对于采用 STI 工艺的 MOS 器件,边缘电场的作用会造成器件的阈值电压 (threshold voltage, V_{th}) 随着沟道宽度的减小而降低,即窄沟效应^[35].比较两个具有相同平面栅氧厚度,相同沟道宽度,不同边缘栅氧厚度的器件,具有较薄边缘栅氧的器件的 V_{th} 更低,使得窄沟效应更加严重.当边缘寄生 MOS 器件的 V_{th} 足够低,其关断漏电流 (off-state leakage, I_{off}) 明显增大,会导致 I_d - V_g 曲线中出现“双峰”现象^[36],如图 8 所示.另一方面,较薄的氧化膜的击穿特性差,通常在 GOI 测试中最早失效的区域就是在 STI 边缘.

2.3.2. 对扩散的影响

一些基础研究表明硼原子,磷原子在半导体中的扩散受到应力的影响.挤压应力明显延缓硼原子的扩散,而拉伸应力则轻微地增加其扩散系数^[10].

Ahn 等人^[32]观察到应力很大的氮化硅(silicon nitride)薄膜会延缓磷原子的扩散却增强锑原子(antimony)的扩散速度,他们认为这是由于氮化硅造成的挤压应力导致空穴(vacancy)的饱和以及空隙(interstitial)的不饱和状态,而这些缺陷分布的变化影响了杂质的扩散行为.

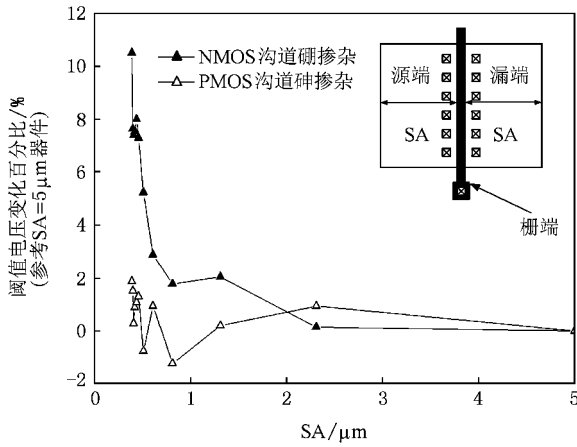


图9 NMOS和PMOS的阈值电压随SA的变化(所有器件均为 $W = 10 \mu\text{m}$, $L = 0.15 \mu\text{m}$)

图9所示为NMOS和PMOS的 V_{th} 随器件源漏端宽度SA的变化.当SA小于 $0.8 \mu\text{m}$,NMOS的 V_{th} 随着SA减小而显著上升.而PMOS的 V_{th} 几乎不随SA的变化而改变.这一现象正是由于不同宽度(SA = $5 \mu\text{m}$ 和SA = $0.5 \mu\text{m}$)的有源区内应力分布不同造成的.如图10所示,随着有源区宽度减小,应力显著增加.在沟道区域(即x坐标为零附近),两者的应力相差一个数量级.这是因为应力主要来自于STI边缘,在有源区内逐渐衰减.因此,距离STI边缘越

近,应力越大,如图11所示.图12所示为考虑应力效应时,具有不同源漏宽度的两个器件沟道内杂质的分布情况的模拟结果.对于NMOS,SA = $0.5 \mu\text{m}$ 器

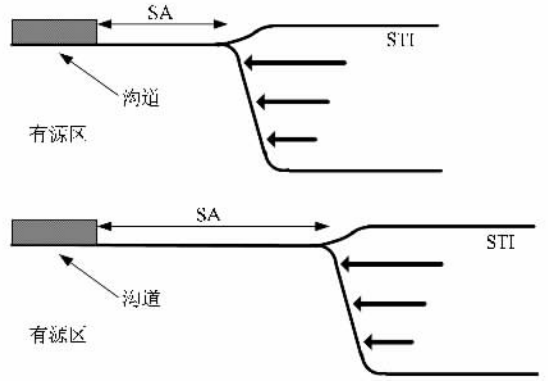


图11 器件沿沟道方向横截面示意图(应力来自STI边缘)

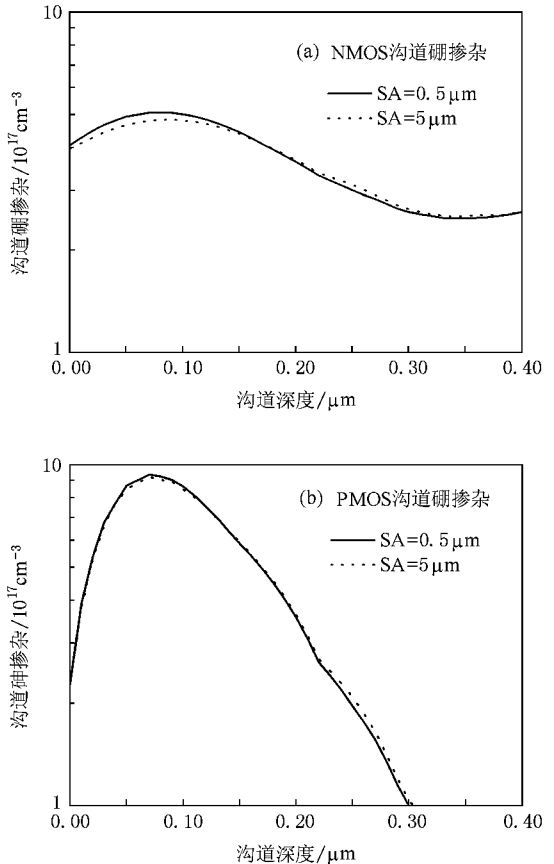


图12 TSUPREM-4仿真(考虑STI应力效应时,具有不同SA的器件沟道内杂质浓度分布)(a)为NMOS,沟道硼掺杂;(b)为PMOS,沟道锑掺杂

件的较大应力阻碍硼的扩散,导致表面浓度偏高,而PMOS中锑的浓度却几乎没有变化.这些结果与图9的测试结果完全一致.

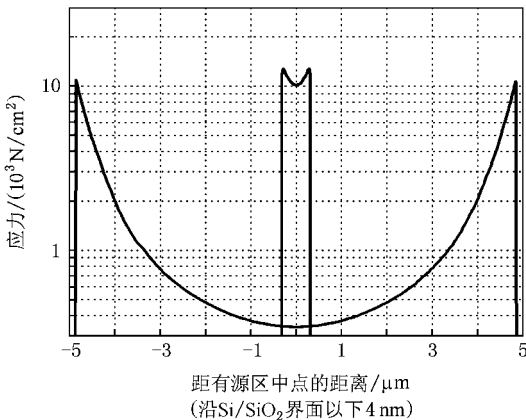


图10 TSUPREM-4应力仿真:具有不同宽度的有源区内应力分布情况

3. 应力对 CMOS 器件性能的影响

最早引起人们对硅材料机械属性关注是压阻效应的发现^[37]. 利用压阻效应可以制造出硅基的压力传感器(pressure sensor). 并且, 传感器研究还扩展到应力对半导体其他电学参数, 比如能带的影响^[38-41]. 因此在受到器件工程界关注之前, 应力对材料电学性能的影响已经被广泛理解, 其原理主要应用于半导体机械传感器的设计中. 近年来, 随着应力效应在硅器件制造中越来越显著, 其对器件操作性能的影响受到重视.

3.1. 应力与载流子迁移率

随着器件微缩的不断发展, 应力对载流子迁移率的影响日益重要^[42-43]. Hamada 等人的研究显示^[44], CMOS 器件的跨导(transconductance)依赖于外加应力的大小, 载流子移动所在的晶体方向, 以及载流子的类型. Huang 等人发现^[45], 利用 LOCOS 隔离工艺的 SOI(silicon on insulator)器件, 其驱动电流与场氧化层(field oxide)厚度密切相关, 变化达 40%, 他们认为这是由于 LOCOS 工艺造成的应力对迁移率的作用.

半导体中的压阻效应^[37]描述了机械应力对电阻率 ρ 的影响. 根据欧姆定律, ρ 决定电场强度与电流密度的关系:

$$\begin{bmatrix} \epsilon_1 \\ \epsilon_2 \\ \epsilon_3 \end{bmatrix} = \begin{bmatrix} \rho_1 & \rho_4 & \rho_6 \\ \rho_4 & \rho_2 & \rho_5 \\ \rho_6 & \rho_5 & \rho_3 \end{bmatrix} \cdot \begin{bmatrix} i_1 \\ i_2 \\ i_3 \end{bmatrix}. \quad (7)$$

假定系统方向延着 $\langle 100 \rangle$ 晶向, 那么 ρ_1 , ρ_2 和 ρ_3 决定同方向上场强向量和电流向量的关系, ρ_4 , ρ_5 和 ρ_6 决定互相垂直的场强向量和电流向量的关系. 在不受外应力情况下, ρ_1 , ρ_2 和 ρ_3 大小相同为 ρ , 而 ρ_4 , ρ_5 和 ρ_6 都为零. 在晶体受到外应力情况下, 各电阻率分量变为

$$\begin{bmatrix} \rho_1 \\ \rho_2 \\ \rho_3 \\ \rho_4 \\ \rho_5 \\ \rho_6 \end{bmatrix} = \begin{bmatrix} \rho \\ \rho \\ \rho \\ 0 \\ 0 \\ 0 \end{bmatrix} + \begin{bmatrix} \Delta\rho_1 \\ \Delta\rho_2 \\ \Delta\rho_3 \\ \Delta\rho_4 \\ \Delta\rho_5 \\ \Delta\rho_6 \end{bmatrix}. \quad (8)$$

压阻系数(piezoresistive coefficient)定义为应力张量

与应力作用下各电阻率分量的变化之间的关系, 理论上需要 $6 \times 6 = 36$ 个矩阵元. 对于立方体对称结构的硅材料, 压阻系数降为三个独立分量, π_{11} , π_{12} 和 π_{44} :

$$\frac{1}{\rho} \cdot \begin{bmatrix} \Delta\rho_1 \\ \Delta\rho_2 \\ \Delta\rho_3 \\ \Delta\rho_4 \\ \Delta\rho_5 \\ \Delta\rho_6 \end{bmatrix} = \begin{bmatrix} \pi_{11} & \pi_{12} & \pi_{12} & 0 & 0 & 0 \\ \pi_{12} & \pi_{11} & \pi_{12} & 0 & 0 & 0 \\ \pi_{12} & \pi_{12} & \pi_{11} & 0 & 0 & 0 \\ 0 & 0 & 0 & \pi_{44} & 0 & 0 \\ 0 & 0 & 0 & 0 & \pi_{44} & 0 \\ 0 & 0 & 0 & 0 & 0 & \pi_{44} \end{bmatrix} \cdot \begin{bmatrix} \sigma_{11} \\ \sigma_{22} \\ \sigma_{33} \\ \sigma_{12} \\ \sigma_{23} \\ \sigma_{13} \end{bmatrix}. \quad (9)$$

在室温下, n 型和 p 型硅的压阻系数如表 2 所示.

表 2 轻掺杂 p 型和 n 型体硅的压阻系数^[37]

材料	$\rho/\Omega \cdot \text{cm}$	$\pi_{11}/10^{-12} \text{Pa}^{-1}$	$\pi_{12}/10^{-12} \text{Pa}^{-1}$	$\pi_{44}/10^{-12} \text{Pa}^{-1}$
p-Si	78	+66	-11	+1381
n-Si	117	-1022	+534	-136

在器件工程中, 最关心的并不是体硅, 而是 MOS 反型沟道(inversion channel)的压阻效应. 图 13 所示为典型的晶片晶向示意图, 切口(notch)所在的方向为 $\langle 110 \rangle$ 晶向. 通常 MOS 器件方向为平行或垂直切口, 即 $\langle 110 \rangle$ 晶向. 因此需要对压阻效应方程进行坐标转化, 并应用到 MOS 器件中^[46]. 对于 $\phi = 0^\circ$ 和 $\phi = 90^\circ$, 忽略垂直晶片方向的应力, 有

$$\begin{aligned} \left. \frac{\Delta I_D}{I_D} \right|_{0^\circ} &= \left. \frac{\Delta \mu}{\mu} \right|_{0^\circ} \\ &= \frac{\pi_{11}^{\text{mos}} + \pi_{12}^{\text{mos}}}{2} (\sigma'_{11} + \sigma'_{22}) + \frac{\pi_{44}^{\text{mos}}}{2} (\sigma'_{11} - \sigma'_{22}), \end{aligned} \quad (10a)$$

$$\begin{aligned} \left. \frac{\Delta I_D}{I_D} \right|_{90^\circ} &= \left. \frac{\Delta \mu}{\mu} \right|_{90^\circ} \\ &= \frac{\pi_{11}^{\text{mos}} + \pi_{12}^{\text{mos}}}{2} (\sigma'_{11} + \sigma'_{22}) - \frac{\pi_{44}^{\text{mos}}}{2} (\sigma'_{11} - \sigma'_{22}), \end{aligned} \quad (10b)$$

其中 π_{11}^{mos} , π_{12}^{mos} 和 π_{44}^{mos} 为 MOS 压阻系数, σ'_{11} , σ'_{22} , σ'_{33} 和 σ'_{12} 为坐标系 $x'_1 x'_2 x'_3$ 中的应力张量压阻系数见

表 3.

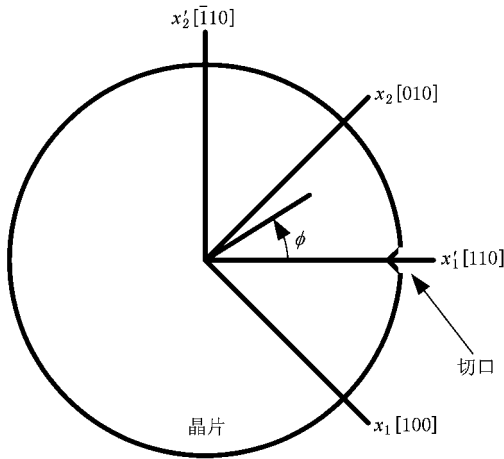


图 13 晶片晶向示意图, 新坐标系与旧坐标系之间相差 ϕ 度

表 3 (100) 晶片上 n 型和 p 型 MOSFET 的压阻系数^[46]

压阻系数	IBM	TI	LT
$\pi_{11}^n + \pi_{12}^n$	800	570	850
π_{44}^n	100	70	150
$\pi_{11}^p + \pi_{12}^p$	-50	-30	-200
π_{44}^p	-950	-800	-1000

对于压阻效应的机理, 一般认为可以用多能谷 (multi-valley) 理论来解释. 在应力作用下, 半导体晶格体积发生变化, 能带扭曲. 而载流子的有效质量 (effective mass) 与 k 空间中能带曲率相关^[37, 47]. 载流子有效质量又直接决定其迁移率, 进而决定了材料的电阻率. 通过以上联系, 应力对宏观的电阻率特性产生作用.

图 14 所示为 NMOS 和 PMOS 的饱和漏电流 (saturation drain current, I_{dsat}) 随 SA 的变化. 应力对器件迁移率的影响达 10%. 同时可以看到, 沿沟道方向的应力对 n 型和 p 型具有相反的作用: 挤压应力增强 NMOS 的迁移率, 而降低 PMOS 的迁移率. 这种现象可以用 p 型硅材料的能级改变来解释^[44, 48, 49].

图 15 描述了具有不同 SA 的器件饱和电流/关断漏电流 (I_{on}/I_{off}) 散点图. 在同样 I_{off} 条件下, 应力较大的 NMOS 器件 I_{on} 偏小, 而 PMOS 器件的 I_{on} 偏大. 这个结果与图 14 的结果完全一致.

图 16 所示为 NMOS 和 PMOS 的饱和电流密度随器件沟道宽度的变化. 在宽度为 $1 \mu\text{m}$ 到 $10 \mu\text{m}$ 范

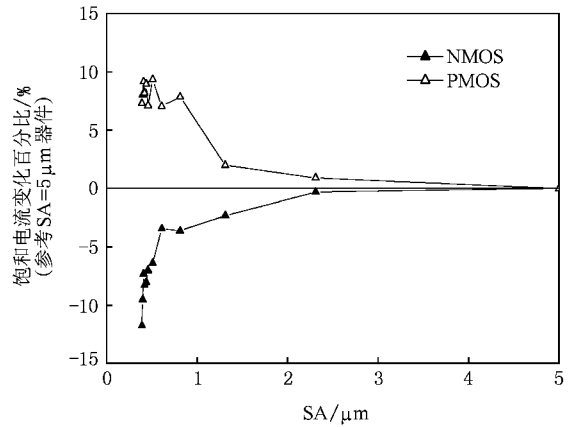


图 14 NMOS 和 PMOS 的饱和电流随器件源漏端宽度的变化 (所有器件均为 $W = 10 \mu\text{m}$, $L = 0.15 \mu\text{m}$)

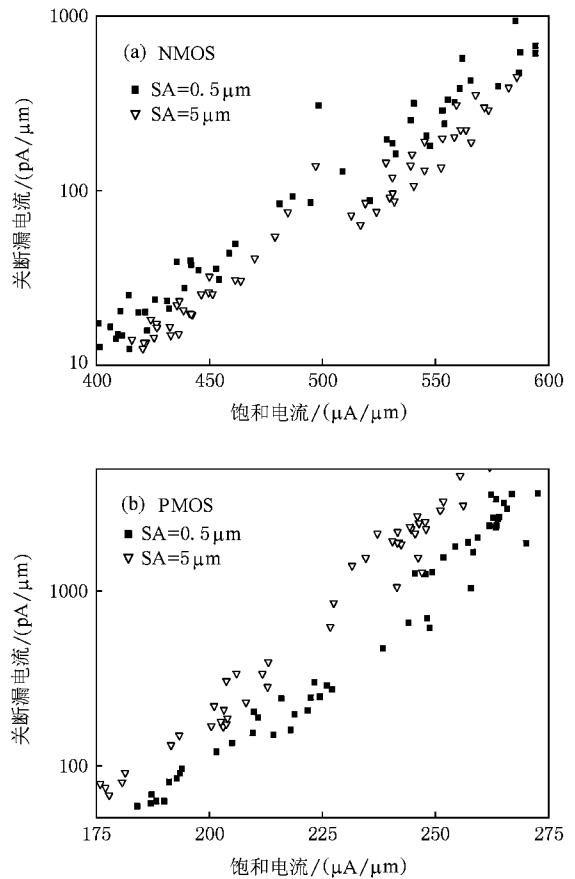


图 15 具有不同 SA 的器件饱和电流/关断漏电流 (I_{on}/I_{off}) 散点图 (a) NMOS; (b) PMOS

围内, 两种器件的 I_{dsat} 都是随宽度减小而降低. 这是由于宽度方向的 STI 挤压应力使 NMOS 和 PMOS 的迁移率都有所下降. 而在更小的宽度上, Δ width 效应占主导, 使饱和电流密度上升^[50].

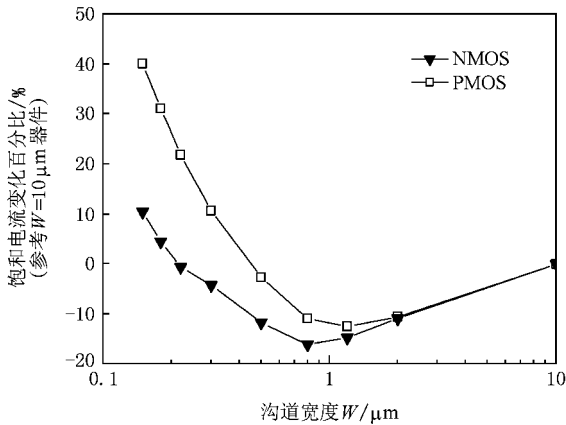


图 16 NMOS 和 PMOS 的饱和电流密度随器件沟道宽度的变化

3.2. 应力与 p-n 结

如上所述,压阻效应来源于应力对半导体能带的作用,但这只是应力对材料电学特性影响的方面之一.应力对能带的作用同时会对 p-n 结的电性产生影响.在 p-n 结中,电流-电压($I-V$)特性决定于少数载流子,其正向 $I-V$ 可表示为^[51]

$$I_F = I_s \exp\left(\frac{V_F}{V_T}\right) + I_{R0} \exp\left(\frac{V_F}{2V_T}\right), \quad (11)$$

其中饱和电流 I_s 为

$$I_s = qA \left[\frac{D_p}{L_p} p_{i0} \coth\left(\frac{W_n}{L_p}\right) + \frac{D_n}{L_n} n_{i0} \coth\left(\frac{W_p}{L_n}\right) \right] \quad (12)$$

复合电流 I_{R0} 为

$$I_{R0} = \frac{qAn_i W}{2\tau_0}. \quad (13)$$

可见,饱和电流正比于少数载流子浓度 n_{i0} 和 p_{i0} . 而少数载流子浓度决定于本征载流子浓度:

$$n_{i0} = \frac{n_i^2}{p_{i0}}. \quad (14)$$

本征载流子浓度决定于禁带宽度:

$$n_i = KT^{3/2} \exp\left(\frac{-E_g}{2kT}\right). \quad (15)$$

由此,应力对价带和导带结构的影响将最终改变 p-n 结的饱和电流. Wortman 等人^[52,53]量化了应力对二极管正、反向电流的影响.

此外,应力也会影响复合电流项. Rindner 等人^[54]认为应力增加了材料中 dislocation 的密度,从而降低载流子寿命,即增加产生/复合电流.这在深亚微米器件中变得尤为重要. Ha 等人^[55]报道了 STI 应力导致的 dislocation 降低动态随机存储记忆体

(dynamic random access memory, DRAM) 数据保持 (data retention) 性能,同时增加待机状态的漏电流 (standby leakage).

3.3. 应力与可靠性

除了上述应力对器件的电学性能有直接的作用外,大量研究表明应力对器件的各项可靠性 (reliability) 具有不可忽视的影响.

对于 MOS, 栅氧化层是最关键的部分. 表征栅氧化层可靠性的主要指标是时间相关介质击穿 (time dependent dielectric breakdown, TDDB) 特性. Morifuji 等人^[56]报道了较小尺寸器件的 TDDB 特性衰退与 STI 应力有关. Miura 等人^[57]定量研究了栅氧化层生长之前晶片衬底中的应力与 TDDB 测试结果的关系,发现当应力大于一个临界值时,栅氧化层寿命迅速减为正常值的十分之一. Yang 等人^[58]认为栅氧化层在电流应力 (current stress) 条件下的可靠性与介质层本身的机械应力密切相关.这是由于机械应力下,介质层内的原子键发生扭曲,键能降低,因而更容易断裂.

当器件微缩到 90 nm 以下,PMOS 的负偏压温度不稳定性 (negative bias temperature instability, NBTI) 越来越成为器件继续微缩发展的一个瓶颈^[59]. NBTI 是指 PMOS 在正常工作偏置 (负偏置) 下,栅氧化层中的硅氢键发生断裂,导致电荷密度增加,改变其 V_{th} ,直至器件失效. Chung 等人^[60]研究表明 STI 应力会恶化 PMOS 的 NBTI 特性.而在 65 nm 结点以下应变硅技术的广泛应用使得 NBTI 成为器件设计的重要挑战:在利用挤压型应变硅提升 PMOS 性能 (I_{on}/I_{off}) 的同时,必须考虑其对 NBTI 的负面影响,在两者之间取折衷^[61].

热载流子效应 (hot carrier injection, HCI) 一直是 MOS 器件发展过程中的影响可靠性的重要问题.随着器件微缩,沟道内场强不断增强.对于 NMOS,达到一定速度的电子 (称为热载流子) 发生碰撞电离,产生电子空穴对和更多的热电子.电子可能被漏端收集增加漏端电流,也可能射入栅氧化层造成陷阱 (trap),影响栅氧化层特性.空穴一般被衬底收集,有可能开启衬底寄生晶体管,导致闩锁 (latch-up) 效应.同时,空穴电流也会提高衬底电位 (因为衬底电阻的存在),造成一定的衬底偏置效应,改变器件的

V_{th} . 很多器件参数的决定受制于 HCI, 比如操作电压 (V_{DD}) 的选择. 广泛应用的浅掺杂漏端 (lightly doped drain, LDD) 就是用来降低夹断区电场强度, 从而抑制 HCI. 而应力对 HCI 效应也会产生作用. 最早, Mitsuhashi 等人^[62]发现来自钝化保护层 (passivation layer, 一般为 SiN) 的应力会恶化 HCI 效应. 进入 STI 工艺阶段, Nishigohri 等人^[63]观察到 NMOS 窄沟道器件的 HCI 效应相比宽沟道更为严重, 认为这是由于窄沟道器件中 STI 应力比较大, 造成碰撞离化率 (impact-ionization rate) 较高, 导致严重的 HCI. 随后, Ishimaru 等人^[64]发现在 PMOS 中存在类似的沟道宽度效应, 但是认为这是由于窄沟道器件中 STI 导致栅氧化层中的应力较大, 这种应力增加了栅氧化层

对电荷的俘获能力 (trapping efficiency).

4. 结 论

综上所述, CMOS 工艺导致的应力问题变化复杂, 并且在很多情况下直接影响芯片制造的良率. 本文在总结各种应力来源的基础上, 回顾了应力对 CMOS 器件性能和可靠度的影响. 这些问题有些已经模型化, 应用到工业生产中; 有些仍然需要更深入的研究. 在集成电路制造过程中, 应力相关的问题仍然是一个相当大的挑战. 分析这类问题通常应从器件性能对版图的依赖度入手, 找出造成器件性能差异的应力的主要来源, 进而调整相应的工艺, 减小应力的影响.

- [1] Moore G E 1965 *Electronics Magazine* **38** 114
- [2] Wolf S 2002 *Silicon Process For the VLSI Era Volume 4 : Deep Submicron Process Technology* (California : Lattice Press) p433
- [3] Nandakumar M , Chatterjee A , Sridhar S *et al* 1998 *IEDM Tech. Dig.* 133
- [4] Kim Y C , Kim J , Choy J H *et al* 1999 *Appl. Phys. Lett.* **75** 1270
- [5] Alexopoulos P S , O 'Sullivan T C 1990 *Annu. Rev. Mater. Sci.* 391
- [6] Horn F H 1955 *Phys. Rev.* **97** 1521
- [7] Hu S M 1991 *J. Appl. Phys.* **70** R53
- [8] Deng J X , Chen G H 2000 *Chin. Phys.* **9** 459
- [9] Yen J Y , Hwu J G 2001 *J. Appl. Phys.* **89** 3027
- [10] Kuo P , Hoyt J L , Gibbons J F *et al* 1995 *Appl. Phys. Lett.* **66** 580
- [11] Sheu Y M , Yang S J , Wang C C *et al* 2005 *IEEE Trans. Electron Devices* **52** 30
- [12] Egley J L , Chidambarrao D 1993 *Solid-State Electronics* **36** 1653
- [13] Ranade P , Ghani T , Kuhn K *et al* 2005 *IEDM Tech. Dig.*
- [14] Horstmann M , Wei A , Kammler T *et al* 2005 *IEDM Tech. Dig.* 233
- [15] Oishi A , Fujii O , Yokoyama T *et al* 2005 *IEDM Tech. Dig.* 229
- [16] Taur Y , Ning T H 1998 *Fundamentals of Modern VLSI Devices* (Cambridge University Press) p149
- [17] Jan C H , Bai P , Choi J *et al* 2005 *IEDM Tech. Dig.* 60
- [18] Senez V , Hoffmann T , Robilliart E *et al* 2001 *IEDM Tech. Dig.* 831
- [19] Ge C H , Lin C C , Ko C H *et al* 2003 *IEDM Tech. Dig.* 73
- [20] Luo Y H , Nayak D K 2005 *IEEE Trans. Semiconductor Manufacturing* **18** 63
- [21] Delph T J 1998 *J. Appl. Phys.* **83** 786
- [22] Hoffman R W 1966 *The mechanical properties of thin condensed films* (New York : Academic Press) p211
- [23] Ning X J 1996 *J. Electrochem. Soc.* **143** 3389
- [24] Chu W H , Mehregany M 1993 *IEEE Trans. Electron Devices* **40** 1245
- [25] Cargill C S , Angilello J , Kavanagh K L 1988 *Phys. Rev. Lett.* **61** 1748
- [26] Synopsys Inc. 2004 Synopsys TSUPREM-4 User Guide 4-126
- [27] Isomae S 1979 *J. Electrochem. Soc.* **126** 1014
- [28] Zangenberg N R , Fage-Pedersen J , Hansen J L *et al* 2003 *J. Appl. Phys.* **94** 3883
- [29] Dunham S T , Diebel M , Ahn C *et al* 2006 *J. Vac. Sci. Technol. B* **24** 456
- [30] Park M H , Hong S H , Hong S J *et al* 1997 *IEDM Tech. Dig.* 669
- [31] Aveci I 2002 *Ph. D Dissertation* (University of Florida) p102
- [32] Ahn S T , Kennei H W , Plummer J D *et al* 1988 *J. Appl. Phys.* **64** 4914
- [33] Aziz M J 1997 *Appl. Phys. Lett.* **70** 2810
- [34] Kao D B , McVittie J P , Nix W D *et al* 1987 *IEEE Trans. Electron Devices* **34** 1008
- [35] Tsvividis Y 1999 *Operation and Modeling of the MOS Transistor* 2nd Edition (McGraw-Hill) p270
- [36] Matsuda S , Sato T , Yoshimura H *et al* 1998 *IEDM Tech. Dig.* 137
- [37] Smith C S 1954 *Phys. Rev.* **94** 42
- [38] Kleinman L 1962 *Phys. Rev.* **128** 2614
- [39] Kleinman L 1963 *Phys. Rev.* **130** 2283
- [40] Goroff I , Kleinman L 1963 *Phys. Rev.* **132** 1080
- [41] Kleimann P , Semmache B , Berre M L *et al* 1998 *Phys. Rev. B* **57** 8966
- [42] Miyamoto M , Ohta H , Kumagai Y *et al* 2004 *IEEE Trans. Electron Devices* **51** 440
- [43] Scott G , Lutze J , Rubin M *et al* 1999 *IEDM Tech. Dig.* 827
- [44] Hamada A , Furusawa T , Saito N *et al* 1991 *IEEE Trans. Electron Devices* **38** 895

- [45] Huang C L , Soleimani H R , Grula G J *et al* 1997 *IEEE Trans . Electron Devices* **44** 646
- [46] Bradley A T , Jaeger R C , Suhling J C *et al* 2001 *IEEE Trans . Electron Devices* **48** 2009
- [47] Guillaume T , Mouis M 2005 *Proc . of ESSDERC* 289
- [48] Dorda G 1971 *J . Appl . Phys.* **43** 2053
- [49] Colman D , Bate R T , Mize J P 1968 *J . Appl . Phys.* **39** 1923
- [50] Tan P B Y , Kordesch A V , Sidek O 2005 *Asia-Pacific Microwave Conf. Prod.* p1
- [51] Sze S M 1981 *Physics of Semiconductor Devices 2nd Edition* (New York : John Wiley & Sons) p84
- [52] Wortman J J , Hauser J R , Burger R M 1964 *J . Appl . Phys.* **35** 2122
- [53] Wortman J J , Hauser J R 1966 *J . Appl . Phys.* **37** 1080
- [54] Rindner W , Braun I 1963 *J . Appl . Phys.* **34** 1958
- [55] Ha D , Cho C , Shin D *et al* 1999 *IEEE Trans . Electron Devices* **46** 940
- [56] Morifuji E , Kumamori T , Muta M *et al* 2002 *Symp . VLSI Technol.* 218
- [57] Miura H , Ikeda S , Suzuki N 1996 *IEDM Tech . Dig .* 743
- [58] Yang T C , Saraswat K C 2000 *IEEE Trans . Electron Devices* **47** 746
- [59] Schroder D K , Babcock J A 2003 *J . Appl . Phys.* **94** 1
- [60] Chung S S 2006 *IEEE Trans . Device and Materials Reliability* **6** 95
- [61] Rhee H S , Lee H , Ueno T *et al* 2005 *IEDM Tech . Dig .* 692
- [62] Mitsuhashi J , Nakao S , Matsukawa T *et al* 1986 *IEDM Tech . Dig .* 386
- [63] Nishigohri M , Ishimaru K , Takahashi M *et al* 1996 *IEDM Tech . Dig .* 881
- [64] Ishimaru K , Chen J F , Hu C *et al* 1999 *IEEE Trans . Electron Devices* **46** 1532

Process-induced mechanical stress effects on deep submicron CMOS device

Li Rui^{1 2)†} Wang Qing-Dong³⁾

1) *Shanghai Institute of Microsystem and Information Technology , Chinese Academy of Sciences , Shanghai 200050 , China)*

2) *Graduate School of Chinese Academy of Sciences , Beijing 100049 , China)*

3) *Grace Semiconductor Manufacturing Corporation , Shanghai 201203 , China)*

(Received 17 August 2007 ; revised manuscript received 30 August 2007)

Abstract

With the continuous downscaling of CMOS technology , process-induced mechanical stress effects become remarkable with the shrinkage of active region . Many processing steps individually or collectively contribute to mechanical stress development . The stress results in not only the layout dependency of device performances , but also diverse reliability issues , which would shorten the chip lifetime . In many cases , stress-related problems are determinative of IC yield . Here , based on the summary of mechanical stress sources , we review the achievements to date in observing and understanding these stress problems , and propose the prospective considerations when analyzing stress-related phenomenon .

Keywords : mechanical stress , CMOS

PACC : 7340Q , 7300 , 7360J