

# 基于 IEEE-754 标准和现场可编程门阵列技术的混沌产生器设计与实现<sup>\*</sup>

周武杰 禹思敏

(广东工业大学自动化学院, 广州 510006)

(2007 年 12 月 26 日收到, 2008 年 4 月 24 日收到修改稿)

提出了基于 IEEE-754 标准的现场可编程门阵列(FPGA)通用混沌与超混沌信号产生器设计与硬件实现的一种新方法. 首先, 根据 Euler 算法, 对连续混沌系统作离散化处理, 便于 FPGA 等一类数字信号处理器件的实现. 其次, 基于 IEEE-754 标准和模块化设计理念, 用硬件描述语言构建出浮点数的乘法运算、加法运算、符号函数运算、正负绝对值运算、初始值与迭代值选择等 5 个基本模块, 并以此为基础, 进一步在 FPGA 平台上产生包括网格状多涡卷蔡氏系统在内的多种不同类型的混沌与超混沌信号. 最后, 通过对语音芯片的配置, 利用其立体声左右通道输出两路混沌信号, 可在示波器上显示多种混沌与超混沌吸引子的相图. 该方案的主要特点是通用性强. 对 IEEE-754 标准的浮点数算法以及在 FPGA 平台上产生混沌与超混沌信号的原理进行了分析, 给出了算法流程图、技术开发过程以及硬件设计与实现结果.

关键词: 网格状多涡卷混沌系统, IEEE-754 标准, 现场可编程门阵列, 浮点数算法

PACC: 0545

## 1. 引言

混沌及其应用是近年来非线性电路与系统领域中一个十分活跃的研究课题. 从 1963 年 Lorenz 发现第一个混沌吸引子开始至今的 40 多年里<sup>[1]</sup>, 混沌的发展经历了从认识了解、深化研究到工程应用等多个不同的阶段<sup>[2-28]</sup>, 特别是近年来有关单方向和多方向网格状多涡卷混沌吸引子的理论设计与技术实现<sup>[8-24]</sup>以及混沌在保密通信中应用等课题备受研究者的关注<sup>[25-40]</sup>. 最近, 文献[24]综述了这些领域的研究进展. 在硬件实现方面, 传统的方法通常是利用电子电路来完成的, 但存在电路参数离散性较大、通用性较差等问题, 尤其是对于产生网格状多涡卷混沌吸引子电路的设计、调试和应用推广比较困难. 电路设计者需要有较高的技巧和经验<sup>[24]</sup>. 解决这些问题的有效途径之一是基于离散化和数字化处理技术, 利用现场可编程门阵列(FPGA)技术实现混沌算法, 从而为混沌的应用, 尤其是在混沌保密通信领域中的应用提供技术支持.

我们知道, 浮点数运算是数字信号处理中最基

本的运算, 而 FPGA 硬件本身只能作整数运算, 并且现行的 FPGA 硬件中也没有提供相应的浮点运算功能. 因此, 首先必须在 FPGA 中解决浮点数运算问题. 1985 年, IEEE 制定了相关的 IEEE-754 标准. 在此基础上, 国内外的一些相关文献报道了利用此标准来实现浮点数加(减)法、乘法和除法运算的一些具体算法及其 FPGA 实现<sup>[29, 30]</sup>. 我们注意到, 利用浮点数的加(减)法运算和乘法运算, 在 FPGA 技术平台上产生 Logistic 和 Lorenz 等一类混沌信号以及用模拟可编程器件产生模拟混沌信号等研究结果也有了相关报道<sup>[31-38]</sup>. 此外, 文献[39, 40]还报道了用 FPGA 技术产生混沌与超混沌信号, 但所采用的是 DSP Builder 技术, 而不是根据 IEEE-754 标准用硬件描述语言来实现的, 其主要缺点是不能从根本上解决时序控制等问题, 在混沌同步及其在保密通信中的应用受到了限制.

在文献[29-40]的基础上, 我们根据 IEEE-754 标准, 对 FPGA 通用混沌与超混沌信号产生器进行了设计. 基于连续混沌系统离散化与模块化的设计方法, 可产生多种不同类型的混沌与超混沌信号. 该方法能较好地解决系统中各个模块的时序以及模块

<sup>\*</sup> 国家自然科学基金(批准号: 60572073)和广东省自然科学基金(批准号: 5001818)资助的课题.

与模块之间的时序控制关系等问题. 通过对语音芯片的配置, 利用其立体声左右通道输出两路混沌信号, 能在示波器上显示混沌与超混沌吸引子的相图. 整个设计与开发过程均在芯片型号为 EP2C35F672C6 的 DE2 开发板上完成.

## 2. 基于 Euler 算法的连续混沌系统归一化与离散化

设  $N$  阶无量纲连续混沌状态方程的一般形式为

$$\begin{aligned} \dot{x}_1(\tau) &= \sum_{n=1}^N a_{1,n} x_n(\tau) + \sum_{i=1}^N \sum_{j=1}^N b_{1,ij} x_i(\tau) x_j(\tau) + f_1(x_1(\tau), x_2(\tau), \dots, x_N(\tau)), \\ \dot{x}_2(\tau) &= \sum_{n=1}^N a_{2,n} x_n(\tau) + \sum_{i=1}^N \sum_{j=1}^N b_{2,ij} x_i(\tau) x_j(\tau) + f_2(x_1(\tau), x_2(\tau), \dots, x_N(\tau)), \\ &\dots \\ \dot{x}_N(\tau) &= \sum_{n=1}^N a_{N,n} x_n(\tau) + \sum_{i=1}^N \sum_{j=1}^N b_{N,ij} x_i(\tau) x_j(\tau) + f_N(x_1(\tau), x_2(\tau), \dots, x_N(\tau)), \end{aligned} \quad (1)$$

式中  $N \geq 3$ ,  $f_i$  ( $i = 1, 2, \dots, N$ ) 为符号函数或正负绝对值函数经过适当的组合而成的非线性函数, 每个方程中的第一个求和项为线性项, 第二个求和项为交叉乘积项或平方项. 需要强调的是, 当  $f_i = 0$  ( $i = 1, 2, \dots, N$ ) 时 (1) 式中只有平方项和交叉平方这两类非线性函数, 此时代表一类广义 Lorenz 系统族<sup>[1,2,7]</sup>, 进而可用乘法模块和加(减)法模块来实现.

注意到符号函数和正负绝对值函数是最为重要的两个基本运算模块. 利用若干个符号函数的组合, 可进一步构造阶梯波函数序列. 利用符号函数和

线性函数的组合, 可进一步构造锯齿波函数序列. 利用正负绝对值函数的组合, 则可进一步构造绝对值函数序列、分段线性函数序列和三角波函数序列, 它们都是混沌系统中最为常用的非线性函数<sup>[3-6, 8-10, 12-20, 23, 24]</sup>.

对 (1) 式进行归一化处理. 这里所谓归一化, 指的是 (1) 式中的变量  $|x_i| < 1$  ( $i = 1, 2, \dots, N$ ) 时的情形, 这主要是基于 FPGA 技术的通用混沌与超混沌信号产生器的一种设计考虑, 故引入  $N$  个变量比例压缩因子  $k_i \leq 1$  ( $i = 1, 2, \dots, N$ ). 设  $y_i = k_i x_i$  ( $i = 1, 2, 3, \dots, N$ ), 由 (1) 式可得

$$\begin{aligned} \dot{y}_1(\tau) &= \sum_{n=1}^N \frac{a_{1,n} k_1}{k_n} y_n(\tau) + \sum_{i=1}^N \sum_{j=1}^N \frac{b_{1,ij} k_1}{k_i k_j} y_i(\tau) y_j(\tau) + k_1 f_1\left(\frac{y_1(\tau)}{k_1}, \frac{y_2(\tau)}{k_2}, \dots, \frac{y_N(\tau)}{k_N}\right), \\ \dot{y}_2(\tau) &= \sum_{n=1}^N \frac{a_{2,n} k_2}{k_n} y_n(\tau) + \sum_{i=1}^N \sum_{j=1}^N \frac{b_{2,ij} k_2}{k_i k_j} y_i(\tau) y_j(\tau) + k_2 f_2\left(\frac{y_1(\tau)}{k_1}, \frac{y_2(\tau)}{k_2}, \dots, \frac{y_N(\tau)}{k_N}\right), \\ &\dots \\ \dot{y}_N(\tau) &= \sum_{n=1}^N \frac{a_{N,n} k_N}{k_n} y_n(\tau) + \sum_{i=1}^N \sum_{j=1}^N \frac{b_{N,ij} k_N}{k_i k_j} y_i(\tau) y_j(\tau) + k_N f_N\left(\frac{y_1(\tau)}{k_1}, \frac{y_2(\tau)}{k_2}, \dots, \frac{y_N(\tau)}{k_N}\right). \end{aligned} \quad (2)$$

在归一化的基础上, 进一步对 (2) 式作离散化处理. 通常有三种离散化的方法, 即 Euler 算法、改进 Euler 算法和 Runge-Kutta 法, 这三种离散化的方法各有优缺点. Runge-Kutta 法精度较高, 但用 FPGA 实现时需耗费很大的硬件资源, 只有一些较简单的混沌系统才能使用这一方法. 若在芯片型号为

EP2C35F672C6 的 DE2 开发平台上产生网格状多涡卷混沌信号和超混沌信号时, 由于受到硬件资源限制, 只能用 Euler 算法来对 (2) 式作离散化处理. 根据 (2) 式, 经推导, 得离散化后的迭代方程 (或差分方程) 为

$$\begin{aligned}
y_1(n+1) &= \Delta T \left\{ \sum_{n=1}^N \frac{a_{1,n}k_1}{k_n} y_n(n) + \sum_{i=1}^N \sum_{j=1}^N \frac{b_{1,ij}k_1}{k_i k_j} y_i(n) y_j(n) \right. \\
&\quad \left. + k_1 f_1 \left( \frac{y_1(n)}{k_1}, \frac{y_2(n)}{k_2}, \dots, \frac{y_N(n)}{k_N} \right) \right\} + y_1(n), \\
y_2(n+1) &= \Delta T \left\{ \sum_{n=1}^N \frac{a_{2,n}k_2}{k_n} y_n(n) + \sum_{i=1}^N \sum_{j=1}^N \frac{b_{2,ij}k_2}{k_i k_j} y_i(n) y_j(n) \right. \\
&\quad \left. + k_2 f_2 \left( \frac{y_1(n)}{k_1}, \frac{y_2(n)}{k_2}, \dots, \frac{y_N(n)}{k_N} \right) \right\} + y_2(n), \\
&\dots \\
y_N(n+1) &= \Delta T \left\{ \sum_{n=1}^N \frac{a_{N,n}k_N}{k_n} y_n(n) + \sum_{i=1}^N \sum_{j=1}^N \frac{b_{N,ij}k_N}{k_i k_j} y_i(n) y_j(n) \right. \\
&\quad \left. + k_N f_N \left( \frac{y_1(n)}{k_1}, \frac{y_2(n)}{k_2}, \dots, \frac{y_N(n)}{k_N} \right) \right\} + y_N(n),
\end{aligned} \tag{3}$$

式中  $y(n) (n = 1, 2, 3, \dots)$  为迭代序列,  $\Delta T$  为离散化的取样时间,  $k_i \leq 1 (i = 1, 2, \dots, N)$  为  $N$  个变量比例压缩因子,  $\Delta T$  和  $k_i \leq 1 (i = 1, 2, \dots, N)$  的大小需要根据实际混沌方程的类型来确定。

### 3. 基本单元模块的 FPGA 设计

根据(3)式,用 FPGA 技术产生混沌与超混沌信号的主要设计理念在于将整个系统划分为若干个基本功能模块的组合,主要包括浮点数的乘法、加法、浮点数符号函数运算、正负绝对值运算、信号检测、初始值与迭代值选择、数据转换、串并转换、语音配置、数模(D/A)转换等模块。限于篇幅,这里仅对其中四个模块的设计作简要的分析。

#### 3.1. 浮点数乘法运算模块的设计

浮点数运算模块的设计,所依据的标准为 IEEE-754 浮点数标准格式,它是国际电工电子学会在 1985 年制定的浮点标准格式,其中的双精度格式由 1 位符号位、11 位阶码、52 位尾位组成。双精度格式所对应的表示形式为  $(-1)^S (1.0 + M) 2^{(E-B)}$ , 其中  $S$  表示符号位(1 代表负数,0 代表正数);阶码  $E$  表示指数位,采用偏值表示法;尾位  $M$  表示有效数字位,即存储“规格化”(规格化的有效数字均表示为“1.…”的形式)后小数点右边的数值; $B$  表示偏移值(双精度取 1023)。对于规格化数据,尾数的整数部分一定为 1,因此可以被隐藏。

事实上,对于混沌序列的计算,由于受到数字系统字长的限制,无论采用何种浮点运算精

度,通过数字设计所得到的混沌序列只能是对实际连续混沌系统的一种逼近。硬件实验研究结果表明,为了保证有足够的精度,应采用双精度浮点数算法。

根据 IEEE-754 标准,设规格化后的两个操作数  $x$  和  $y$ ,得双精度乘法公式为

$$\begin{aligned}
x &= (-1)^{S_x} (1.0 + M_x) 2^{(E_x - B)}, \\
y &= (-1)^{S_y} (1.0 + M_y) 2^{(E_y - B)}, \\
xy &= (-1)^{S_x \oplus S_y} [(1.0 + M_x) (1.0 + M_y)] 2^{[(E_x + E_y) - B]}.
\end{aligned} \tag{4}$$

将  $x$  和  $y$  相乘的结果进行规格化,即为所得的输出结果。根据(4)式,首先对输入两个操作数进行判断,若有一个输入值为 0,直接将 0 作为结果输出。而对于其他规格化的两个操作数的处理过程如下:  
(1) 求两个操作数的临时阶码之和,临时阶码在对尾数乘积的结果进行规格化后,将会被修改为最终的阶码。  
(2) 求两个操作数相乘后结果的符号,可以将两个符号位直接异或输出。  
(3) 修改两个操作数的尾数,即将 52 位的尾数加上一位隐藏位 1,则尾数变为 53 位。  
(4) 尾数相乘得到一个临时尾数。  
(5) 对临时尾数进行规格化得到结果的尾数,修改临时阶码,得到最终的阶码。  
(6) 结果的溢出检测处理。  
(7) 结果的舍入处理采用 IEEE-754 标准默认的就近舍入策略。

根据上述处理过程,编写硬件描述语言,经软件 Quartus II 7.0 编译等过程后,得浮点数乘法模块图和对应的简化符号如图 1(a)所示,图中输入和输出连接线上的斜杠表示线宽为 64 位。例如,取输入值分别为  $f_a = 3FC999999999999A$  (双精度格式表示形

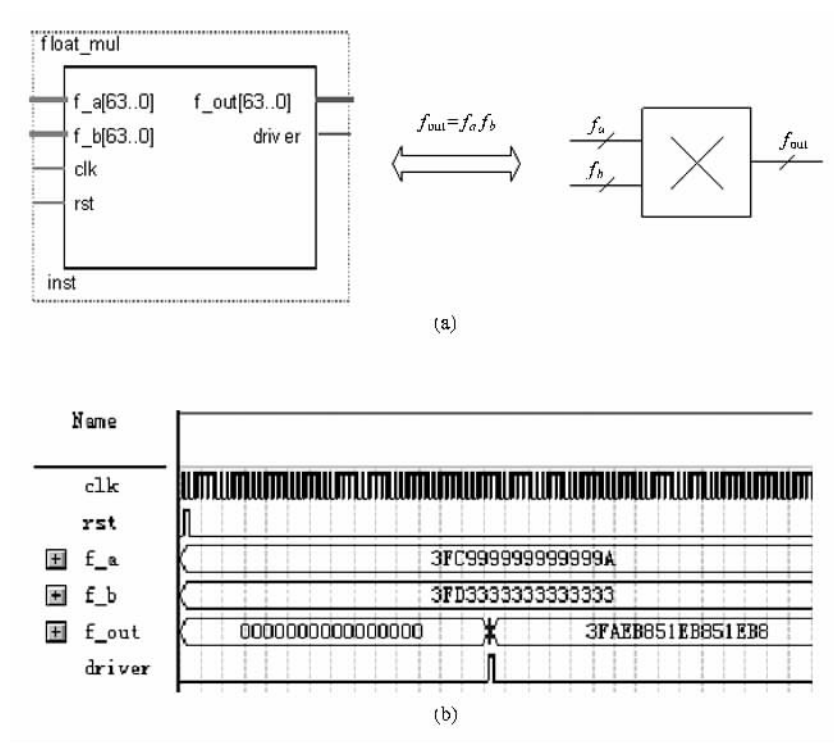


图 1 浮点数乘法器模块图及其时序波形图 (a)浮点数乘法模块图 and 对应的简化符号图 (b)时序波形图

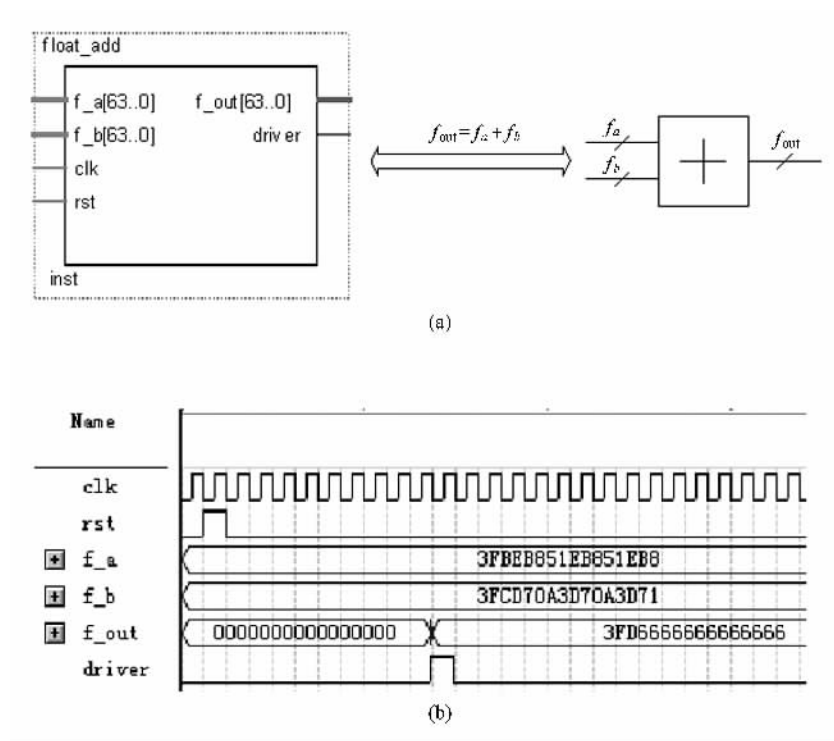


图 2 浮点数加法器模块图及其时序波形图 (a)浮点数加法模块图 and 对应的简化符号图 (b)时序波形图

式),  $f_b = 3FD3333333333333$ , 则浮点数乘法输出为  $f_{out} = 3FAEB851EB851EB8$ , 在 Quartus II 7.0 下的两个

浮点数相乘的时序仿真波形图如图 1(b)所示, 其中  $f_a$  和  $f_b$  为规格化的两个输入操作数,  $f_{out}$  为规格化的

相乘结果.

### 3.2. 浮点数加法运算模块的设计

根据 IEEE-754 标准, 设两个数  $x$  和  $y$ ,  $|x| > |y|$ , 得双精度加法公式为

$$\begin{aligned}
 x &= (-1)^{S_x} (1.0 + M_x) 2^{(E_x - B)}, \\
 y &= (-1)^{S_y} (1.0 + M_y) 2^{(E_y - B)}, \\
 x + y &= [(-1)^{S_x} [(1.0 + M_x) \\
 &\quad + (-1)^{S_y} (1.0 + M_y) 2^{(E_y - E_x)}] 2^{(E_x - B)}.
 \end{aligned}
 \tag{5}$$

将(5)式中  $x$  和  $y$  相加的结果进行规格化, 即为所得的输出结果. 此外, 注意到不必单独设计浮点数的减法运算模块, 因为考虑到了负号的处理后, 可将减法运算转换成加法运算. 根据(5)式, 首先对输入的两个操作数进行判断, 若有两个输入的值互为相反数的时候, 直接将 0 作为结果输出. 对于其他规格化的两个操作数, 将按照如下流程进行处理: (1) 浮点数相加时, 首先需要比较两个操作数的大小. (2) 阶码相减. (3) 尾位对齐. (4) 尾位相加或相减, 加减运算由两个操作数的符号位确定, 符号不同则为减法运算, 相同则为加法运算. (5) 隐藏位的判定. (6) 规格化有效位并根据隐藏尾位的位置对临时阶码进行修改. (7) 根据 IEEE-754 标准判定对最终结果舍入.

根据上述处理过程, 编写硬件描述语言, 经软件 Quartus II 7.0 编译等过程后, 得浮点数加法模块图 and 对应简化符号如图 2(a) 所示, 图中输入输出连接

线中斜杠表示线宽为 64 位. 例如, 设输入为  $f_a = 3FBEB851EB851EB8$ ,  $f_b = 3FCD70A3D70A3D71$ , 则浮点数加法输出为  $f_{out} = 3FD6666666666666$ . 在 Quartus II 7.0 下的两个浮点数相加(减)的时序仿真波形图如图 2(b) 所示, 其中  $f_a$  和  $f_b$  为规格化的两个输入操作数,  $f_{out}$  为规格化的相加结果.

### 3.3. 浮点数符号函数运算模块的设计

根据 IEEE-754 标准和双精度格式所对应的表示形式, 可对浮点数符号函数运算模块进行设计, 设计流程如图 3 所示. 编写程序, 经软件 Quartus II 7.0 编译等过程后, 得浮点数符号函数运算模块图 and 对应的简化符号如图 4 所示.

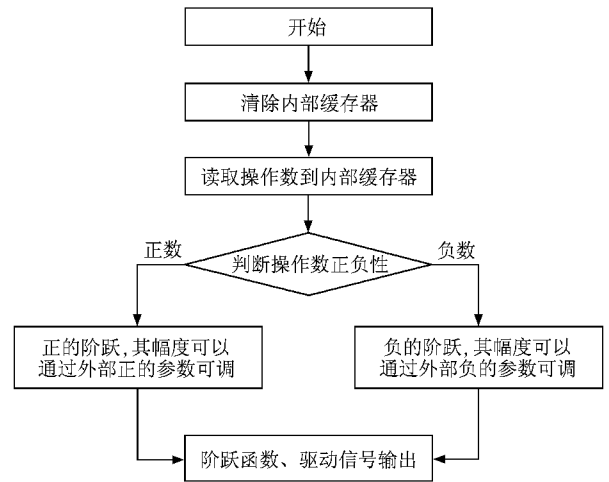


图 3 浮点数符号函数运算设计流程图

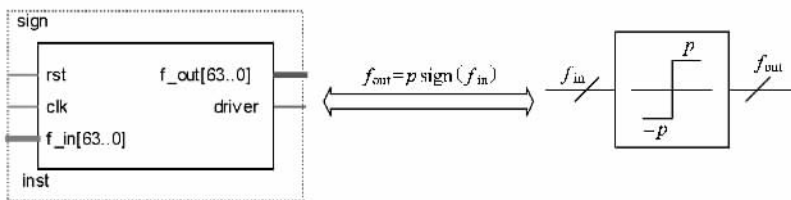


图 4 浮点数符号函数运算模块图

### 3.4. 初始值与迭代值选择模块的设计

初始值与迭代值选择模块如图 5 所示. 注意到连续混沌系统经离散化的方程为迭代方程, 在进行迭代运算开始之前要选择一组不全为零的初始值, 之后则是将经过迭代运算后的所得的输出值返回到输入端进行第二次迭代, 周而复始, 从而产生了迭代

序列. 初始值与迭代值选择模块的设计采用了数字选择器的设计方法. 首先,  $SC_1$  作为控制信号, 将图中联动开关  $K$  置于位置 1, 第一次选择迭代初始值, 得  $(f_x, f_y, f_z) = (a_x, a_y, a_z)$ , 再通过  $SC_2$  控制信号, 将图中联动开关  $K$  置于位置 2, 之后每次都选择返回到输入端的迭代值, 得  $(f_x, f_y, f_z) = (b_x, b_y, b_z)$ .

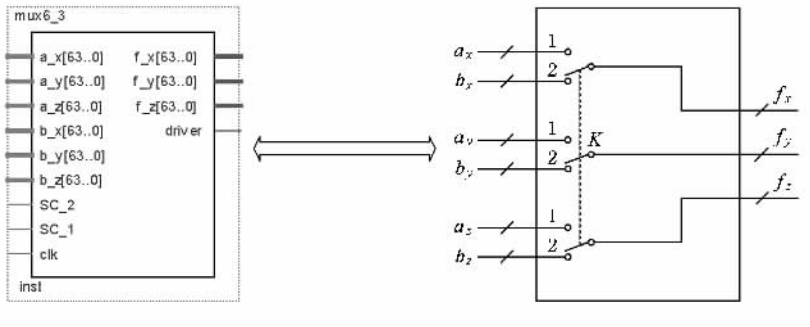


图 5 初始值与迭代值选择模块图

### 4. 通用混沌与超混沌信号产生器的 FPGA 设计

该设计还可推广到其他混沌信号产生器的 FPGA 设计。

在多涡卷蔡氏电路的基础上<sup>[8 9 11-13]</sup>, 我们进一步提出了网格状多涡卷蔡氏电路<sup>[23]</sup>. 在该系统中,

这里仅以网格状多涡卷蔡氏电路为例来说明混

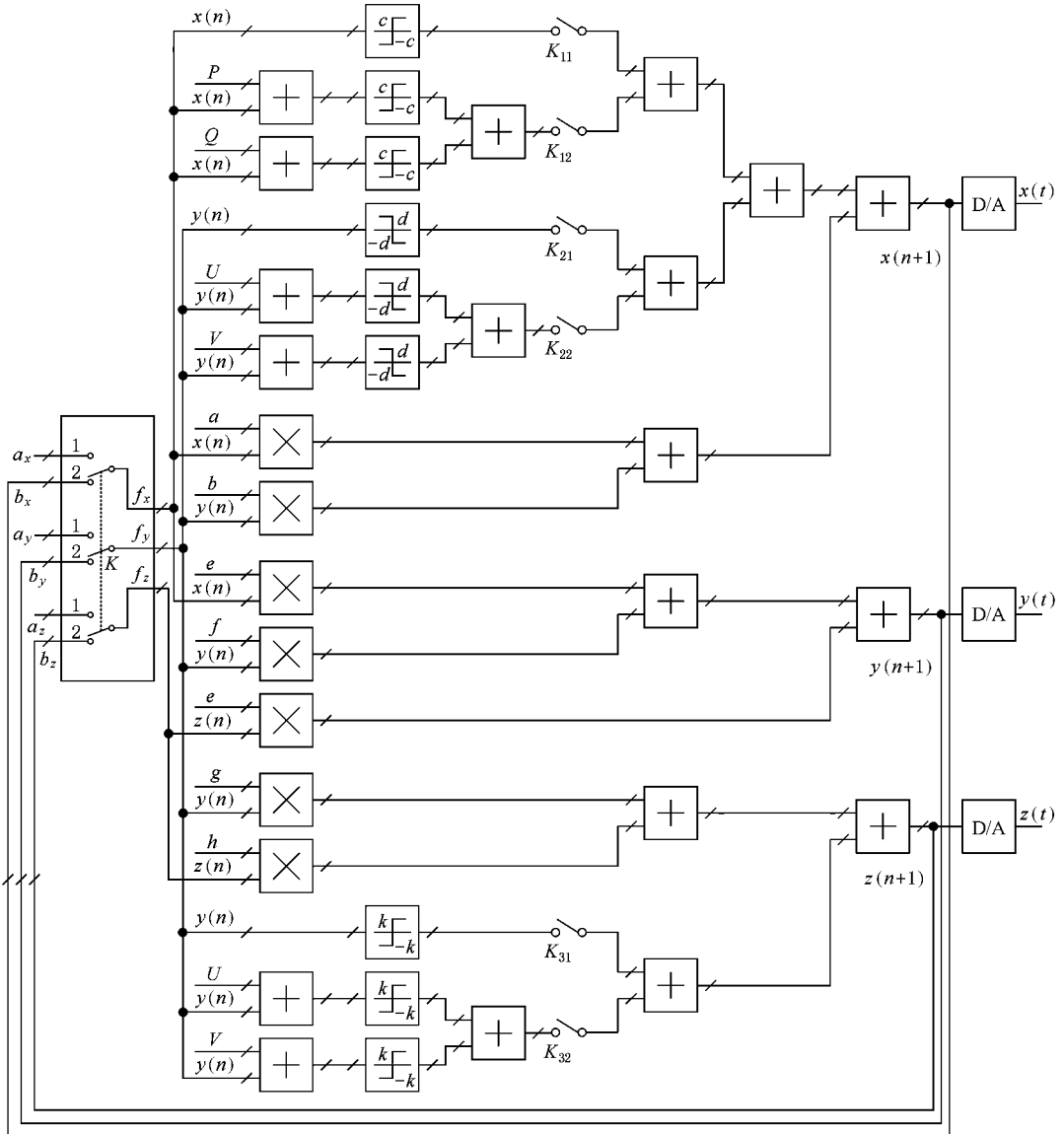


图 6 Quartus II 7.0 图形编辑器中的网格状多涡卷蔡氏混沌吸引子的工程文件简化图

除加(减)法和乘法运算外,还有符号函数序列运算.根据(1)~(3)式,得归一化和离散化后网格状多涡卷蔡氏吸引子的迭代方程为

$$\begin{aligned} x(n+1) &= ax(n) + by(n) + d[\operatorname{sgr}(x(n)) \\ &\quad + \operatorname{sgr}(x(n) + P) + \operatorname{sgr}(x(n) + Q)] \\ &\quad + d[\operatorname{sgr}(y(n)) + \operatorname{sgr}(y(n) \\ &\quad + U) + \operatorname{sgr}(y(n) + V)], \\ y(n+1) &= ex(n) + fy(n) + ez(n), \\ z(n+1) &= gy(n) + hz(n) + k[\operatorname{sgr}(y(n)) \\ &\quad + \operatorname{sgr}(y(n) + U) + \operatorname{sgr}(y(n) + V)], \end{aligned} \quad (6)$$

式中  $a, b, c, d, e, f, g, h, k, P, Q, U, V$  为方程参数,它们的十进制格式与 IEEE-754 标准下双精度格式之间的对应关系如表 1 所列.

表 1 网格状多涡卷蔡氏吸引子参数的十进制格式与双精度格式的对应关系

方程参数	十进制格式	双精度格式
$a$	0.9500	3FEE666666666666
$b, P$	0.2000	3FC9999999999999A
$c$	0.0050	3F747AE147AE147B
$d$	-0.0100	BF847AE147AE147B
$e$	0.0200	3F947AE147AE147B
$f$	0.9800	3FEF5C28F5C28F5C
$g$	-0.3120	BFD3F7CED916872B
$h$	1.0000	3FF0000000000000
$k$	0.0156	3F8FF2E48E8A71DE
$Q$	-0.2000	BFC9999999999999A
$U$	0.1000	3FB9999999999999A
$V$	-0.1000	BFB9999999999999A

根据(6)式,得 Quartus II 7.0 图形编辑器中的网格状多涡卷蔡氏混沌吸引子工程文件简化图如图 6 所示.当开关  $K_{11}, K_{21}, K_{31}$  接通,  $K_{12}, K_{22}, K_{32}$  断开时,产生  $2 \times 2$  网格状多涡卷蔡氏吸引子.当  $K_{12}, K_{22}, K_{32}$  接通,  $K_{11}, K_{21}, K_{31}$  断开时,产生  $3 \times 3$  网格状多涡卷蔡氏吸引子.当所有开关均接通时,产生  $4 \times 4$  网格状多涡卷蔡氏吸引子.

### 5. FPGA 硬件实现结果

根据图 6 所示 Quartus II 7.0 图形编辑器中的工

程文件,进行 FPGA 的硬件实验.注意到工程文件中的各个参数  $a, b, c, \dots$  应赋予表 1 中所给出的双精度格式规格化操作值.具体的 FPGA 设计与硬件实现流程如图 7 所示.

具体实现过程如下:首先,在迭代运算之前,应赋予一组不全为零的初始值给图中的初始值与迭代值选择模块,通过控制信号将图中的联动开关  $K$  置于位置 1,第一次应选择初始值,即  $(f_x, f_y, f_z) = (a_x, a_y, a_z)$  并且初始值也应为双精度格式规格化操作值.从第二次开始,通过控制信号,将图中的联动开关  $K$  置于位置 2,每次都选择返回到输入端的迭代值,即  $(f_x, f_y, f_z) = (b_x, b_y, b_z)$ ,这些迭代值也为双精度格式规格化操作值.周而复始进行迭代运算,从而能产生离散迭代序列  $x(n) (n = 1, 2, 3, \dots), y(n) (n = 1, 2, 3, \dots), z(n) (n = 1, 2, 3, \dots), u(n) (n = 1, 2, 3, \dots)$ .其次,利用 D/A 转换,将离散迭代序列转换为模拟信号,并将其中的两路信号输入到示波器.最后用数码相机拍摄到  $2 \times 2, 3 \times 3, 4 \times 4$  网格状多涡卷蔡氏系统的 3 个混沌吸引子相图,如图 8 所示.

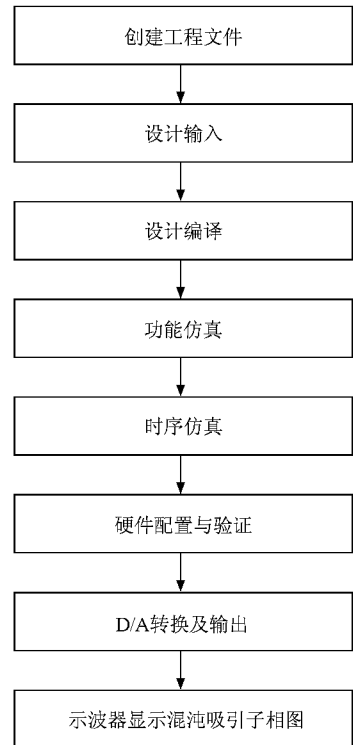


图 7 FPGA 设计与硬件实现流程图

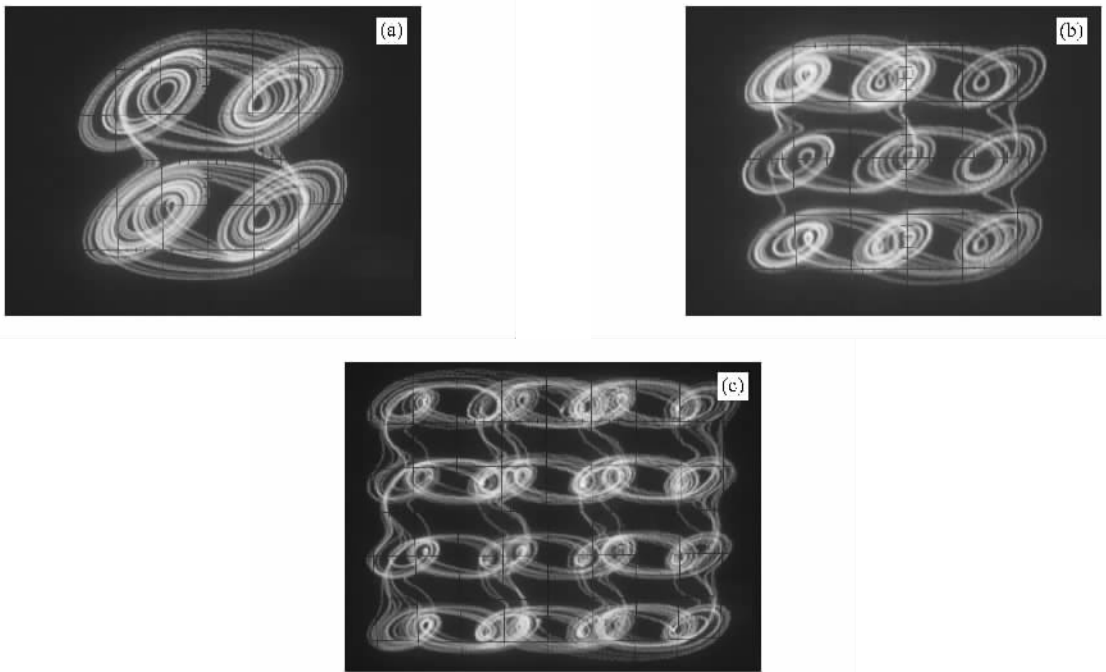


图8 网格状多涡卷蔡氏混沌吸引子的 FPGA 硬件实现结果 (a)  $2 \times 2$  网格状多涡卷蔡氏吸引子 (b)  $3 \times 3$  网格状多涡卷蔡氏吸引子, (c)  $4 \times 4$  网格状多涡卷蔡氏吸引子

## 6. 结 论

根据 IEEE-754 国际标准,提出了用 FPGA 技术设计通用混沌与超混沌产生器及其硬件实现的一种新方法. 利用 Euler 算法,对连续混沌系统作离散化处理与模块化设计,将其划分为浮点数乘法、加法、符号函数运算、正负绝对值运算、初始值与迭代值选择等 5 个基本模块的组合. 以网格状多涡卷蔡氏系统为典型实例,对其进行了工程设计,给出了硬件实

现结果. 需要强调的是,上述方法还可用于其他混沌系统的 FPGA 设计,如多涡卷广义 Jerk 系统、改进型 Lorenz 系统、Li 超混沌系统、单方向分布多涡卷蔡氏系统、广义 Lorenz 系统族等,限于篇幅,这里不再给出. 总之,这种模块化设计方法不仅具有广泛的通用性和普适性,而且对系统中各个模块的时序以及模块与模块之间的时序控制关系等均具有较强的可操作性和可实现性,从而为进一步在 FPGA 技术平台上实现混沌同步和保密通信提供了一个较好的技术支持. 有关这一问题,我们将作进一步的报道.

- [1] Lorenz E N 1963 *J. Atmos. Sci.* **20** 130
- [2] Chen G R, Lü J H 2003 *Dynamics of the Lorenz System Family: Analysis, Control, and Synchronization* (Beijing: Science Press) (in Chinese) [陈关荣、吕金虎 2003 Lorenz 系统族的动力学分析、控制与同步 (北京: 科学出版社)]
- [3] Chua L O, Komuro M, Matsumoto T 1986 *IEEE Trans. Circuits Syst. I* **33** 1072
- [4] Elwakil A S, Kennedy M P 2001 *IEEE Trans. Circuits Syst. I* **48** 289
- [5] Elwakil A S, Özgöz S, Kennedy M P 2002 *IEEE Trans. Circuits Syst. I* **49** 527
- [6] Özgöz S, Elwakil A S, Kennedy M P 2002 *Int. J. Bifur. Chaos* **12** 1627
- [7] Chen A M, Lu J A, Lü J H, Yu S M 2006 *Physica A* **364** 103
- [8] Suykens J A K, Vandewalle J 1993 *IEEE Trans. Circuits Syst. I* **40** 861
- [9] Yalcin M E, Suykens J A K, Vandewalle J 2000 *IEEE Trans. Circuits Syst. I* **47** 425
- [10] Yalcin M E, Suykens J A K, Vandewalle J 2002 *Int. J. Bifur. Chaos* **12** 23
- [11] Tang K S, Zhong G Q, Chen G R 2001 *IEEE Trans. Circuits Syst. I* **48** 1369
- [12] Zhong G Q, Man K F, Chen G R 2002 *Int. J. Bifur. Chaos* **12** 2907
- [13] Yu S M, Qiu S S, Lin Q H 2003 *Sci. Chin. F* **46** 104
- [14] Yu S M, Ma Z G, Qiu S S, Lin Q H 2004 *Chin. Phys.* **13** 317

- [ 15 ] Yu S M , Lin Q H , Qiu S S 2004 *Acta Phys. Sin.* **53** 2084 ( in Chinese ) [ 禹思敏、林清华、丘水生 2004 物理学报 **53** 2084 ]
- [ 16 ] Yu S M 2004 *Acta Phys. Sin.* **53** 4111 ( in Chinese ) [ 禹思敏 2004 物理学报 **53** 4111 ]
- [ 17 ] Yu S M 2005 *Acta Phys. Sin.* **54** 1500 ( in Chinese ) [ 禹思敏 2005 物理学报 **54** 1500 ]
- [ 18 ] Yu S M , Lü J H , Leung H , Chen G R 2005 *IEEE Trans. Circuits Syst. I* **52** 1459
- [ 19 ] Lü J H , Yu S M , Leung H , Chen G R 2006 *IEEE Trans. Circuits Syst. I* **53** 149
- [ 20 ] Yu S M , Lü J H , Chen G R 2007 *IEEE Trans. Circuits Syst. I* **54** 2087
- [ 21 ] Yu S M , Lü J H , Tang K S , Chen G R 2006 *Chaos* **16** 033126
- [ 22 ] Yu S M , Lü J H , Chen G R 2007 *Chaos* **17** 013118
- [ 23 ] Yu S M , Tang K S , Chen G R 2007 *Int. J. Bifur. Chaos* **17** 3951
- [ 24 ] Lü J H , Chen G R 2006 *Int. J. Bifur. Chaos* **16** 775
- [ 25 ] Liu F , Liu S D , Liu G , Liu S K 2007 *Acta Phys. Sin.* **56** 5629 ( in Chinese ) [ 刘 峰、刘式达、刘 刚、刘式适 2007 物理学报 **56** 5629 ]
- [ 26 ] Chen L , Wang D S 2007 *Acta Phys. Sin.* **56** 5661 ( in Chinese ) [ 谌 龙、王德石 2007 物理学报 **56** 5661 ]
- [ 27 ] Peng F , Qiu S S , Long M 2005 *Acta Phys. Sin.* **54** 4562 ( in Chinese ) [ 彭 飞、丘水生、龙 敏 2005 物理学报 **54** 4562 ]
- [ 28 ] Wang L , Wang F P , Wang Z J 2006 *Acta Phys. Sin.* **55** 3964 ( in Chinese ) [ 王 蕾、汪芙蓉、王赞基 2006 物理学报 **55** 3964 ]
- [ 29 ] Wu J , Ying Z 2005 *J. Circuits Syst.* **10** 6 ( in Chinese ) [ 吴 金、应 征 2005 电路与系统学报 **10** 6 ]
- [ 30 ] Guo T T , Zhang Z Y , Lu H Z 2005 *Comp. Engin.* **31** 202 ( in Chinese ) [ 郭天天、张志勇、卢焕章 2005 计算机工程 **31** 202 ]
- [ 31 ] Zhang S R , Wang T C , Deng X Y 2003 *J. Electron. Inform. Techn.* **25** 664 ( in Chinese ) [ 张申如、王庭昌、邓晓燕 2003 电子与信息学报 **25** 664 ]
- [ 32 ] Chen C , Gan L C 2002 *Chin. J. Radio Sci.* **17** 656 ( in Chinese ) [ 陈 春、甘良才 2002 电波科学学报 **17** 656 ]
- [ 33 ] Chen Y , Ling C 2001 *Acta Electron. Sin.* **29** 868 ( in Chinese ) [ 陈 勇、凌 聪 2001 电子学报 **29** 868 ]
- [ 34 ] Ding L N , Ding Q , Chen Q 2007 *Chin. J. Electron. Devi.* **30** 1654 ( in Chinese ) [ 丁丽娜、丁 群、陈 琦 2007 电子器件 **30** 1654 ]
- [ 35 ] Lin Q , Yang X , Huang X Y 2005 *J. Chongqing Univ.* **28** 82 ( in Chinese ) [ 李 强、杨 欣、黄席樾 2005 重庆大学学报 **28** 82 ]
- [ 36 ] Rao N N 2002 *J. Electron. Inform. Techn.* **24** 702 ( in Chinese ) [ 饶妮妮 2002 电子与信息学报 **24** 702 ]
- [ 37 ] Caponetto R , Mauro A D , Fortuna L 2005 *Int. J. Bifur. Chaos* **15** 1829
- [ 38 ] Cong L , Xiao F W 2001 *IEEE Trans. Circuits Syst. I* **48** 521
- [ 39 ] Yu S M , Lü J H 2007 *Proceeding of 26th Chinese Control Conference* ( Vol. 6 ) ( Beijing : Beijing University of Aeronautics and Astronautics Press ) p409 ( in Chinese ) [ 禹思敏、吕金虎 2007 第 26 届中国控制会议论文集 ( 第 6 卷 ) ( 北京 : 北京航空航天大学出版社 ) 第 409 页 ]
- [ 40 ] Zhang Y , Yu S M , Liu M H 2007 *J. Circuits Syst.* **12** 39 ( in Chinese ) [ 张 钰、禹思敏、刘明华 2007 电路与系统学报 **12** 39 ]

# Design and implementation of chaotic generators based on IEEE-754 standard and field programmable gate array technology<sup>\*</sup>

Zhou Wu-Jie Yu Si-Min

( College of Automation , Guangdong University of Technology , Guangzhou 510006 , China )

( Received 26 December 2007 ; revised manuscript received 24 April 2008 )

## Abstract

A new approach for the design and hardware implementation of field programmable gate array (FPGA) general chaotic and hyperchaotic signal generators based on IEEE-754 standard is proposed. Firstly, using Euler algorithm and appropriate discrete processing, the continuous chaotic systems can be converted to discrete chaotic systems, which is appropriate for realization by digital signal processor. Secondly, according to IEEE-754 standard and module-based design idea, five basic floating-point operational modules, namely the multiplication operation module, addition operation module, symbolic function operation module, positive and negative absolute operation module, and initial and iteration value selection module, are constructed by using Verilog-HDL. Based on this method, different types of chaotic and hyperchaotic signals via FPGA are generated. Finally, using configurable voice device, chaotic signals are output through the stereo left and right channels and attractors can be observed by the oscillograph. The characteristic of this method is its universality. Furthermore, the floating-point algorithm and working principle are analyzed. The algorithm flow chart, technical development process, hardware design and realization result are given.

**Keywords** : grid multi-scroll chaotic systems , IEEE-754 standard , field programmable gate array , floating-point algorithm

**PACC** : 0545

<sup>\*</sup> Project supported by the National Natural Science Foundation of China ( Grant No. 60572073 ) and the Natural Science Foundation of Guangdong Province , China ( Grant No. 5001818 ).