

双面阶梯埋氧层部分 SOI 高压器件新结构

李 琦^{1)†} 张 波²⁾ 李肇基²⁾

1) 桂林电子科技大学信息与通信学院 桂林 541004)

2) 电子科技大学 IC 设计中心 成都 610054)

(2008 年 1 月 27 日收到, 2008 年 3 月 4 日收到修改稿)

提出了双面阶梯埋氧层部分绝缘硅 (silicon on insulator, SOI) 高压器件新结构. 双面阶梯埋氧层的附加电场对表面电场的调制作用使表面电场达到近似理想的均匀分布, 耗尽层通过源极下硅窗口进一步向硅衬底扩展, 使埋氧层中纵向电场高达常规 SOI 结构的两倍, 且缓解了常规 SOI 结构的自热效应. 建立了漂移区电场的二维解析模型, 获得了器件结构参数间的优化关系. 结果表明, 在导电电阻相近的情况下, 双面阶梯埋氧层部分 SOI 结构击穿电压较常规 SOI 器件提高 58%, 温度降低 10—30 K.

关键词: 双面阶梯, 埋氧层, 调制, 自热效应

PACC: 7340Q, 0420J

1. 引 言

近年来, 对绝缘硅 (silicon on insulator, SOI) 功率集成电路的研究十分活跃. SOI 技术以其理想的介质隔离性能, 相对简单的隔离工艺等优点, 使功率集成电路中低压电路和高压器件之间实现几乎理想的电隔离^[1,2]. 但常规 SOI 器件纵向耐压只由漂移区和埋氧层决定及严重的自热效应限制了其发展. 为了解决以上问题, 器件设计者提出了很多方法: Ratnam^[3]提出埋二极管结构, 在常规 SOI 结构的衬底上形成一个 N⁺P 二极管, 使衬底二极管参与耐压; Nakagawa 等人^[4]提出 N⁺缓冲层结构, 在漂移区与埋氧层之间增加一层浓度较高且很薄的 N⁺薄层; 或在埋氧层上加一薄层高阻半绝缘多晶硅层, 这是利用电荷对局域场屏蔽的效应^[5]; Park 等人^[6]提出了部分 SOI (partial silicon-on-insulator, PSOI) 器件结构, 由于硅窗口的存在, 漂移区和衬底相连, 耗尽层向衬底扩展, 使衬底耗尽后承担了部分耐压, 增加了器件的纵向耐压长度, 且随着衬底浓度的降低, 纵向耐压进一步增大; Kim 等人^[7]提出了阶梯埋氧层 SOI 高压器件结构, 大大提高了器件的击穿电压; Merchant 等人^[8]研制了超过 700 V 的变掺杂超薄 SOI 高压器件; 张波等人^[9]提出了阶梯分布埋氧层固定电荷 SOI 高压器件新结构, 改善了纵向

耐压.

器件击穿电压由纵向和横向击穿电压的较小者决定. 常规 SOI 结构为了提高其击穿电压, 耐压层全部耗尽, 漂移区掺杂浓度必须较低. 纵向耐压由漏端下漂移区和埋氧层厚度决定. 常规 PSOI 结构从源到漏漂移区厚度都相同, 且表面电场并不优化.

针对以上问题, 本文提出了双面阶梯埋氧层 PSOI (PSOI with double-faced step buried-oxide layer, DSB PSOI) 高压器件新结构. 其机理是通过双面阶梯埋氧层附加电场的调制作用, 使表面电场在漂移区中部产生新的峰而趋于均匀; 从源到漏漂移区厚度阶梯增加, 同时由于硅窗口的存在, 耗尽层向衬底扩展, 纵向耐压长度增加, 器件的横向和纵向击穿特性同时获得改善. 建立了 DSB PSOI 的漂移区电场的二维解析模型, 获得器件结构参数间的优化关系. 结果表明, DSB PSOI 结构具有提高击穿电压, 降低比导电电阻和缓解自热效应的优点.

2. 器件结构

图 1 为 DSB PSOI 高压器件结构示意图. 漂移区掺杂浓度和长度分别为 N_d 和 $L_d = L_4 - L_0$, 漂移区源端和漏端厚度分别为 t_s 和 t_d , $L_{\text{box}} = L_2 - L_1 = L_3$

$-L_2 = L_4 - L_3$ 为埋氧层单阶梯的长度, t_h 和 t_{box} 分别为埋氧层的阶梯高度和埋氧层厚度, 衬底掺杂浓度和耗尽层厚度分别为 P_{sub} 和 $t(x)$, Si 为源极下硅窗口长度. DSB PSOI 在工艺上可以采用氧注入隔离技术或阶梯氧化再键合的技术, 当然作为一种新的结构, 工艺上还有待进一步探索.

度. 源极下面的硅窗口缓解了 SOI 器件严重的自热效应, 同时耗尽层向衬底扩展, 使埋氧层中的纵向电场远高于常规 SOI 器件; 即通过增加介质层中的电场提高了器件的纵向耐压.

3. 结果与讨论

图 2(a) 为 DSB PSOI 结构的等势线分布, 可以看出漂移区中部等势线分布垂直且较常规 SOI 结构 (见图 2(b)) 的等势线分布密集, 在埋氧层阶梯位置分布更加集中. 由于源极下端硅窗口的引入, 耗尽层向衬底扩展, 衬底承担了纵向击穿电压的一部分, 同时增强了埋氧层中的电场, 其电场由常规 SOI 的 60 V/cm 提高到 110 V/cm , 衬底和埋氧层承担了约 220 V 的电压, 而常规结构仅为 120 V , 使 DSB PSOI 结构击穿电压由常规 SOI 的 175 V 提高到 270 V . 图 2(d) 中在 DSB PSOI 结构埋氧层上界面存在 4 个约为 $3 \times 10^5 \text{ V/cm}$ 的电场峰值, 该电场强烈影响周围电场的分布. 在阶梯埋氧层附加电场的调制作用下, 表面电场漂移区中部出现了新的电场峰 (图 2(c)), 源漏电场峰降低的同时提高漂移区中部的电场, 表面电场近乎达到理想的均匀分布. 常规

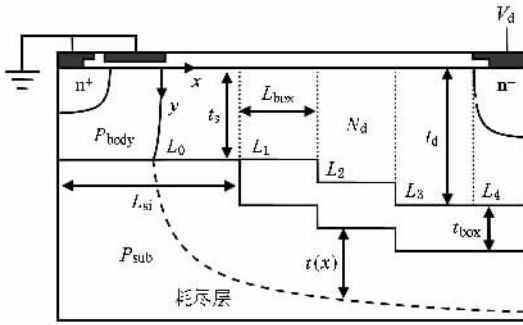


图 1 DSB PSOI 结构示意图

当漂移区较薄时, 阶梯埋氧层拐角处强的电场峰对表面电场形成强烈的调制作用, 在表面电场漂移区中部产生新的峰, 抬高漂移区中部电场且降低源漏两端的电场峰, 使表面电场趋于理想的均匀分布. 漂移区厚度的阶梯分布, 增加了纵向的耐压长

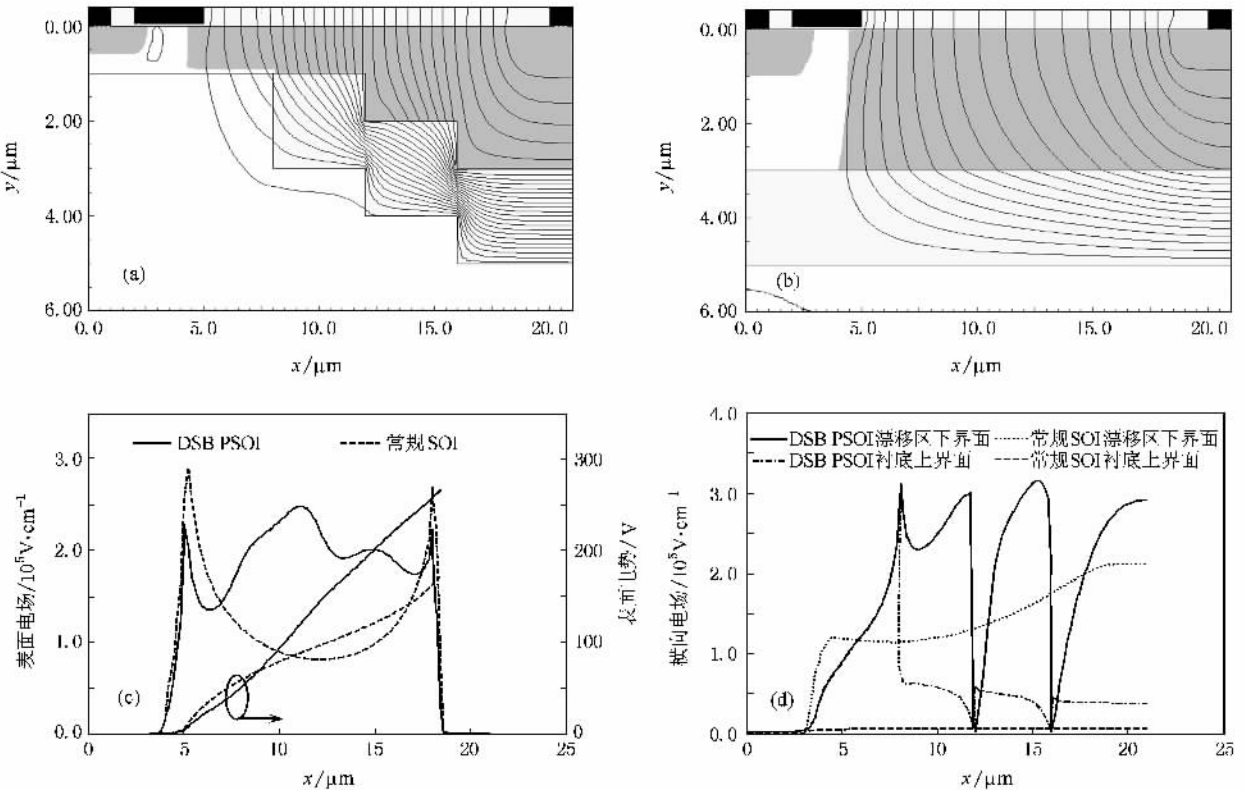


图 2 器件电场和电势分布 (a)DSB PSOI 结构等势线分布; (b)常规 SOI 结构等势线分布; (c)表面电场和电势分布; (d)界面处横向电场分布

SOI 结构埋氧层上界面电场最大值仅为 2×10^5 V/cm, 对表面调制作用较小, 表面电场沿漂移区长度急剧下降, 在漂移区中心部分达到极小值. 很明显, 整个漂移区的电场分布是严重非均匀的. 器件的击穿电压因边界的高峰值电场而受到限制. 对于非优化的单漂移区结构, 因电场分布的非对称性加剧, 击穿电压还会大大下降. 常规 SOI 结构漂移区表面电势在漂移区始端上升较快, 末端上升较缓, 说明了表面电场分布的不均匀性. 作为对比, DSB PSOI 的表面电势分布近似为一条直线, 说明电场分布平缓, 接近理想的电场分布, 从而可获得很高的击穿电压. DSB PSOI 结构埋氧层下界面由于耗尽层的扩展, 仍存在明显的电场峰, 约为 5×10^4 V/cm, 而常规 SOI 器件几乎为零. 随着衬底浓度的降低, 该电场进一步增大, 衬底承担的耐压也相应增大. DSB PSOI 的结构参数为 $P_{\text{sub}} = 1 \times 10^{15} \text{ cm}^{-3}$, $t_{\text{d}} = 3 \mu\text{m}$, $t_{\text{s}} = 1 \mu\text{m}$, $t_{\text{h}} = 1 \mu\text{m}$, 击穿电压为 270 V, $L_{\text{d}} = 12.5 \mu\text{m}$, $t_{\text{box}} = 2 \mu\text{m}$. 常规 SOI 的结构参数为 $t_{\text{d}} = 3 \mu\text{m}$, $P_{\text{sub}} = 1 \times 10^{15} \text{ cm}^{-3}$, $t_{\text{box}} = 2 \mu\text{m}$, 击穿电压为 175 V, $L_{\text{d}} = 12.5 \mu\text{m}$.

图 3 给出了击穿电压随着漂移区掺杂浓度的变化, 可以看出掺杂浓度都有一优化值对应最大击穿电压. 图 3(a) 中当漂移区浓度较小时, 表面最高电场位于漏极, 这时随着漂移区掺杂浓度的增加击穿电压增大, 当漂移区浓度较大时, 表面最高电场位于沟道边缘, 这时击穿电压随着漂移区浓度的增加而降低, 当漂移区掺杂浓度为优化值时, 沟道边缘电场和漏极电场相等, 这时器件具有最高的击穿电压. 优化掺杂浓度随着漂移区厚度的增加而降低, 这与常规 SOI 结构变化规律相同, 即漂移区浓度和厚度的乘积要近似为一个常数. 图 3(b) 中, 优化漂移区浓度随着衬底浓度的降低而降低, 这是因为衬底浓度较低, 漂移区电荷的共享效应较小, 所以优化掺杂浓度较低. 纵向击穿电压由漂移区、埋氧层和衬底共同决定. 当衬底浓度较小时, 虽然衬底耗尽层厚度较大, 但埋氧层的纵向电场降低, 且优化漂移区浓度减小, 所以导致最高击穿电压降低. 衬底掺杂浓度增加时, 优化漂移区掺杂浓度增大, 最高击穿电压增加, 器件的比导通电阻降低, 这在器件设计中是非常有利的. 但衬底浓度过大时, 最大击穿电压同时降低, 故需要结合其他参数综合设计. 图 3(c) 中埋氧层厚度的作用与硅基的 p 型衬底相似, 埋氧层厚度越大, 对应于硅基衬底浓度越

低, 纵向击穿电压越高. 反之亦然. 随着埋氧层厚度的增加, 优化漂移区浓度降低, 这是由于埋氧层厚度的增加导致表面横向电场随外加电压增加较快, 从而使达到的最大击穿电压所需的漂移区浓度越小. 在器件设计中, 埋氧层厚度是一个很重要的参数, 很大程度上决定着器件所能达到的最大击穿电压.

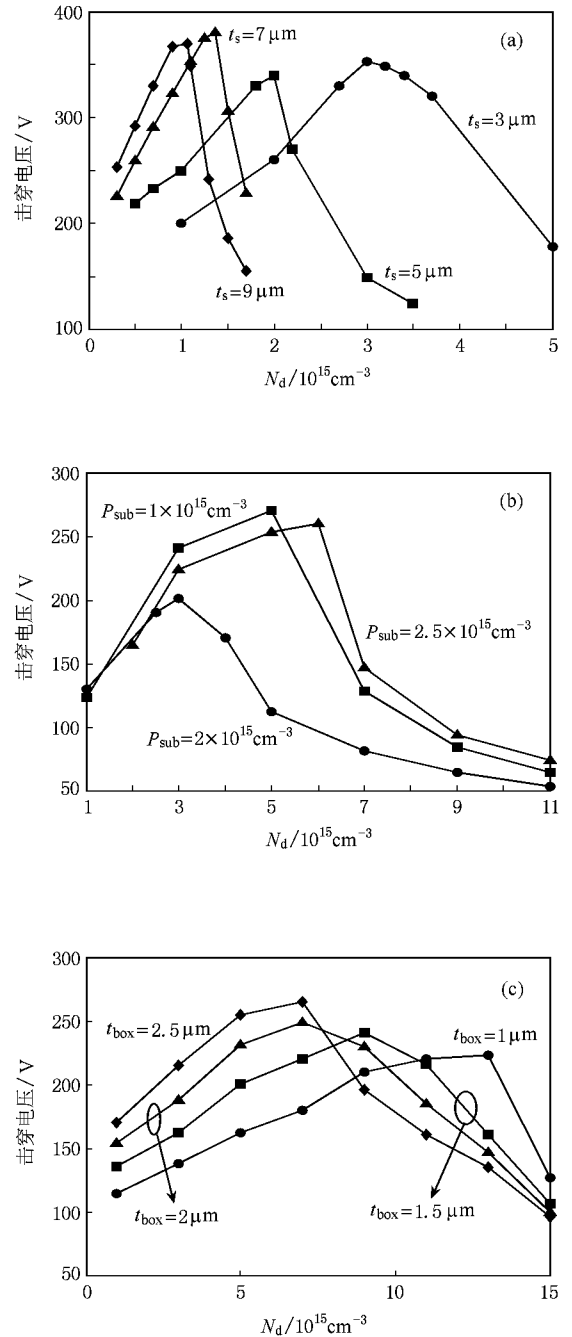


图 3 击穿电压随漂移区掺杂浓度的变化 (a) 不同 t_s 时; (b) 不同 P_{sub} 时; (c) 不同 t_{box} 时

图 4 为两种结构比导通电阻 R_{on} 与击穿电压和 L_d 的关系. 当漂移区长度较小时, 漂移区电场较高值位于表面, 器件发生表面击穿; 随着长度的增加, 横向有效耐压长度增加, 击穿电压增大逐渐趋于饱和, 器件发生体内纵向击穿. 随着漂移区长度的增加, DSB PSOI 结构的击穿电压可较常规 SOI 结构提高 58%, 同时导通电阻下降 10%, 说明 DSB PSOI 结构很大程度上改善了击穿电压和导通电阻的折衷关系, 缓解了器件在击穿电压和导通电阻上的矛盾.

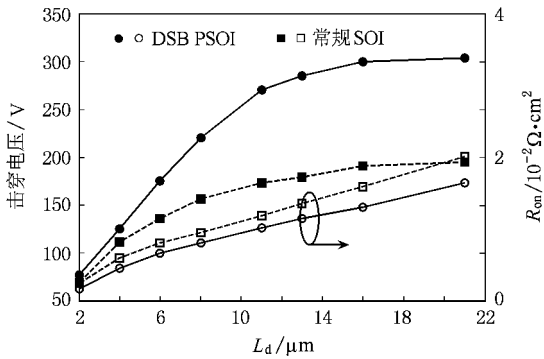


图 4 比导通电阻与击穿电压和 L_d 的关系

DSB PSOI 结构第 i 区 ($L_{i-1} \leq x < L_i$) 的表面电场 $E_i(x, 0)$ 可通过求解如下方程获得^[10-12]:

$$\frac{\partial^2 \varphi(x, 0)}{\partial x^2} - \frac{\varphi(x, 0)}{t_i^2} = \frac{qN_d}{\epsilon_0 \epsilon_{\text{Si}}}, \quad (1)$$

式中 $\varphi(x, 0)$ 是漂移区电势, ϵ_{Si} 和 ϵ_{ox} 分别为硅和二氧化硅的相对介电常数, t_i 是 $\kappa(x)$ 的函数. 求解 (1) 式可以得到

$$E_i(x, 0) = \left(V_i - \frac{qN_d t_i^2}{\epsilon_0 \epsilon_{\text{Si}}} \right) \frac{\cosh((x - L_{i-1})/t_i)}{t_i \sinh((L_i - L_{i-1})/t_i)} - \left(V_{i-1} - \frac{qN_d t_i^2}{\epsilon_0 \epsilon_{\text{Si}}} \right) \frac{\cosh((L_i - x)/t_i)}{t_i \sinh((L_i - L_{i-1})/t_i)}, \quad L_{i-1} \leq x < L_i, \quad (2)$$

式中 V_i 是 L_i 处的电势 ($i = 0, 1, 2, 3, 4$). 当器件最优化时, 每个分区的表面电场都达到最优分布, 即对称于分区中点的马鞍形分布, 且具有相同的分布形式, 从而各区承担的电压降也相同. 由于整个漂移区的掺杂浓度相同, 故只需分析第一区既可. 对于第一区有

$$t_1 = \sqrt{\frac{t_s^2 + t_s \kappa(x)}{2}}, \quad t(x) =$$

$$\sqrt{\left(1 + \frac{N_d}{P_{\text{sub}}} \right) t_s^2 + \frac{\epsilon_0 \epsilon_s V_d}{4qP_{\text{sub}}}} - t_s, \quad \text{当漂移区长度远大于}$$

$$\text{厚度时有 } V_1 = \frac{2qN_d t_1^2}{\epsilon_0 \epsilon_{\text{Si}}} = \frac{V_d}{4}. \quad \text{取临界击穿电场为 } 3 \times$$

10^5 V/cm , 图 5 为由 (2) 式小于临界击穿电场获得的优化漂移区浓度和厚度的关系, 解析结果和数值结果吻合相当好. 随着漂移区厚度的增加, 优化漂移区浓度降低, 二者的乘积满足 RESURF 原理. 在器件设计中, 为了获得高的击穿电压, 往往采用较大的漂移区厚度, 但较高的漂移区厚度其优化漂移区浓度较低, 这将带来器件的正向导通电阻较大的问题.

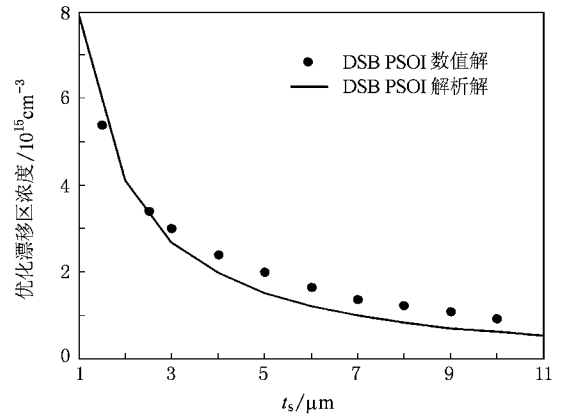


图 5 优化漂移区浓度和漂移区始端厚度的关系

从以上的讨论中我们可以知道, 在器件优化设计中, 为了获得高的击穿电压, 器件表面电场分布应尽可能均匀. 当表面电场峰值小于等于临界击穿电场时, 器件可以达到最大的击穿电压. 在结构参数的优化中, 为了获得高击穿电压和小的导通电阻, 结构参数必须综合考虑, 以达到设计要求, 并具有很好的工艺容差, 保证器件可靠地工作于安全区.

常规 SOI 结构器件的自热效应影响是显而易见的, 在器件工作的饱和区会出现负阻情况, 而且自热效应还会使器件性能退化. 图 (a) 中, 对于常规 SOI 结构, 由于低热导率埋氧层的存在, 整个漂移区的温度较高, 约为 $(335 \pm 2) \text{ K}$, 这对器件的性能影响较大; 而在图 (b), (c) 和 (d) 中, DSB PSOI 由于源端硅窗口的存在, 提供了衬底的散热通道, 整个漂移区温度显著降低, 最高温度位于漏端. 随着硅窗口长度的增加, 温度进一步降低: 当 $L_{\text{Si}} = 8 \mu\text{m}$ 时, 温度从源极的 310 K 增大到漏极的 322 K ; 当 $L_{\text{Si}} = 20 \mu\text{m}$ 时, 漂移区最高温度可进一步降低至 306 K , DSB PSOI 很大程度上缓解了器件的自热效应.

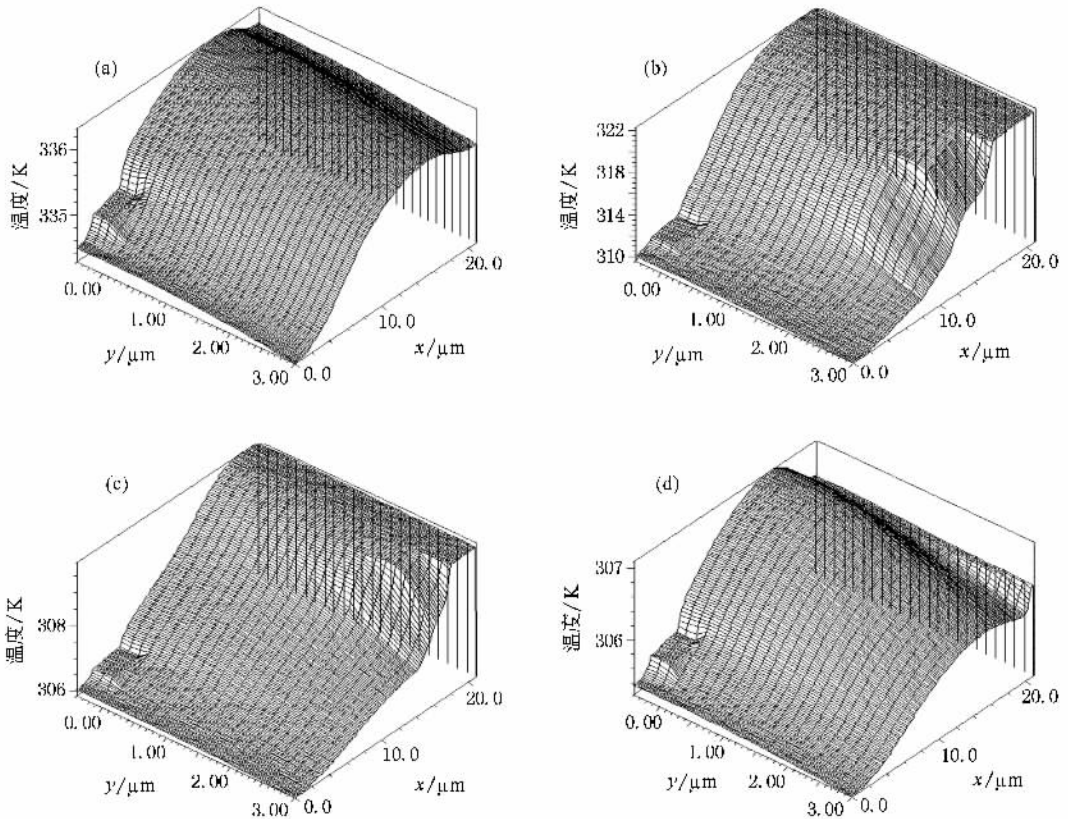


图 6 温度分布 (a) 常规 SOI ; (b) DSB PSOI , $L_{Si} = 8 \mu\text{m}$; (c) DSB PSOI , $L_{Si} = 14 \mu\text{m}$; (d) DSB PSOI , $L_{Si} = 20 \mu\text{m}$

4. 结 论

本文提出了双面阶梯埋氧层 PSOI 高压器件新结构. DSB PSOI 结构具有优化表面电场分布和纵向电场分布, 以及缓解自热效应的优点. 阶梯埋氧层的附加电场在漂移区中部产生新的电场峰抬高了漂移区中部表面电场, 同时降低源漏极电场, 使其趋

于均匀的理想分布. 由于硅窗口的存在, 耗尽层向衬底扩展, 纵向耐压长度增加, 埋氧层中纵向电场增大, 器件的纵向击穿特性获得改善. 建立了 DSB PSOI 的漂移区电场的二维解析模型, 研究了器件结构参数间的优化关系. 仿真结果表明, 与常规 SOI 器件相比较, DSB PSOI 结构在缓解自热效应的同时, 击穿电压可提高 58%, 同时比导通电阻降低 10%.

[1] Duan B X , Zhang B , Li Z J 2006 *IEEE Electron Dev. Lett.* **27** 377
 [2] Lemnios Z J , Radack D J , Zolper J C 2004 *IEEE International SOI Conference* 9
 [3] Ratnam P 1989 *Electr. Lett.* **25** 536
 [4] Yasuhara N , Nakagawa A , Furukawa K 1991 *IEDM Tech. Dig.* 141
 [5] Funaki H , Yamaguchi Y , Hirayama K , Nakagawa A 1998 *Proc. ISPSD* 25
 [6] Park J M , Grasser T , Kosina H , Selberherr S 2001 *International Semiconductor Device Research Symposium* 114
 [7] Kim I J , Matsumoto S , Sakai T , Yachi T 1994 *IEEE Electron Device Lett.* **15** 148

[8] Merchant S , Arnold E , Baumgart H , Mukhejee S , Pein H , Pinker R 1991 *Proc. ISPSD* 31
 [9] Guo Y F , Li Z J , Zhang B , Fang J 2004 *Chinese Journal of Semiconductors* **25** 1695 (in Chinese) 郭宇锋、李肇基、张波、方健 2004 半导体学报 **25** 1695]
 [10] Han S Y , Kim H W , Chung S K 2000 *Microelectronics Journal* **31** 685
 [11] Chung S K 2000 *IEEE Trans. Electron Dev.* **47** 1006
 [12] Li Q , Li Z J , Zhang B 2007 *Acta Phys. Sin.* **56** 6665 (in Chinese) [李琦、李肇基、张波 2007 物理学报 **56** 6665]

A new partial SOI high voltage device with double-faced step buried oxide structure

Li Qi^{1,2)†} Zhang Bo²⁾ Li Zhao-Ji²⁾

¹ *School of Information and Communication Engineering, Guilin University of Electronic Technology, Guilin 541004, China*

² *IC Design Center, University of Electronic Science & Technology, Chengdu 610054, China*

(Received 27 January 2008; revised manuscript received 4 March 2008)

Abstract

A novel PSOI (partial silicon-on-insulator) high voltage device with double-faced step buried oxide is proposed, which is called DSB PSOI (PSOI with double-faced step buried-oxide layer). The surface electric field has ideally uniform distribution due to the additive electric field modulation by double step buried oxide. A silicon window underneath the source helps to reduce self-heating. The depletion region spreads into the substrate and the vertical electric field in the buried layer is enhanced, which results in a higher breakdown voltage than that of conventional SOI device. A 2-D quantified optimal relation between the structure parameters is also obtained. The results indicate that the breakdown voltage of DSB PSOI is increased by 58% in comparison with conventional SOI, while maintaining the low on-resistance of the DSB PSOI device.

Keywords : double-faced step, buried layer, modulation, self heating effect

PACC : 7340Q, 0420J

† E-mail: lqphoenix@sina.com