

应变 Si 沟道 nMOSFET 阈值电压模型^{*}

张志锋[†] 张鹤鸣 胡辉勇 宣荣喜 宋建军

(西安电子科技大学微电子学院, 宽禁带半导体材料与器件教育部重点实验室, 西安 710071)

(2008 年 9 月 29 日收到, 2008 年 12 月 21 日收到修改稿)

在研究分析弛豫 SiGe 衬底上的应变 Si 沟道 nMOSFET 纵向电势分布的基础上, 建立了应变 Si nMOSFET 阈值电压模型, 并利用该模型对不同的器件结构参数进行仿真, 获得了阈值电压与 SiGe 层掺杂浓度和 Ge 组分的关系、阈值电压偏移量与 SiGe 层中 Ge 组分的关系、阈值电压与应变 Si 层掺杂浓度和厚度的关系. 分析结果表明: 阈值电压随 SiGe 层中 Ge 组分的提高而降低, 随着 SiGe 层的掺杂浓度的提高而增大, 阈值电压随应变 Si 层的掺杂浓度的提高而增大, 随应变 Si 层厚度增大而增大. 该模型为应变 Si 器件阈值电压设计提供了重要参考.

关键词: 应变硅, 阈值电压, 电势分布, 反型层

PACC: 7340Q, 7360L

1. 引 言

随着集成电路集成度的不断提高, CMOS 器件特征尺寸不断缩小, 当特征尺寸进入纳米数量级时, 器件性能逐渐趋近于物理极限, 因此必须采用新方法、新技术来提高器件的综合性能. 应变 Si 技术因其能提高载流子迁移率, 且在工艺上与常规的硅工艺有良好的兼容性而被广泛的研究^[1-7]. AMD 公司与 IBM 公司的研究成果表明, 将应变 Si 技术应用于“Athlon64”时, 工作频率可提高 12%; nMOS 晶体管的驱动电流增加了 15%, pMOS 晶体管的驱动电流增加了 32%^[8].

对 MOSFET 来说, 阈值电压是其主要的特性参数之一, 阈值电压的大小直接关系其直流特性、交流特性和亚阈特性等. 当前, 沟道区局部应变的 MOS, CMOS 在国外先进企业已进入了应用研究, 但沟道区全局应变的器件有更好的电学性能和可靠性, 是潜在的研究领域. 本文通过研究全局应变 Si 沟道 nMOSFET 纵向电势分布, 建立了应变 Si 沟道 nMOSFET 的阈值电压模型, 仿真分析了器件几何结构参数和材料物理参数与阈值电压之间的关系, 获得了阈值电压随相关参数改变的规律.

2. 器件基本结构

Si 外延生长在弛豫 SiGe 层上受到张应变, 当其厚度小于临界厚度时形成应变 Si. 应变使 Si 导带底附近的六度简并 Δ_6 能谷分裂成两组分立的能谷: 一组为二度简并能谷 Δ_2 , 其纵向有效质量 m_1 垂直于 Si/SiGe 界面; 另一个是四度简并能谷 Δ_4 , 其纵向有效质量 m_1 平行于 Si/SiGe 界面. Δ_2 能谷比 Δ_4 能谷低, 电子有效质量小, 迁移率高^[9]. 据报道, 应变 Si 表面沟道 nMOSFET 与常规体硅器件相比, 其电子迁移率可提高 1.6 倍^[10].

图 1 为生长在弛豫 p 型 SiGe 层上的应变 Si (SSi) 沟道 nMOS 器件结构示意图. 该结构中, 导电沟道为应变 Si 层, 采用杂质浓度用 N_{SSi} 的 p 型材料, 厚度用 t_{SSi} 表示. 弛豫 SiGe 层也采用 p 型材料, 杂质浓度为 N_{SiGe} , 厚度为 t_d . 栅介质层采用 SiO_2 , 厚度为 t_{ox} .

3. 器件纵向电势分布

器件的阈值电压与垂直于沟道方向各层的电势分布相联系, 通过求解 Poisson 方程可以得到各层中

^{*} 国家部委预研基金(批准号: 51308040203, 9140A08060407DZ0103, 9140C0905040706)资助的课题.

[†] 通讯联系人. E-mail: zzf050210@yahoo.com.cn

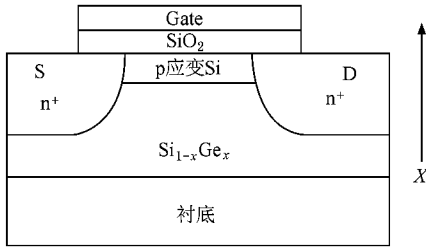


图1 应变 Si 沟道 nMOS 结构示意图

的电势分布. 理论分析表明, 此时半导体表面电荷区中空穴浓度的影响可以不考虑, 因而采用耗尽层近似.

3.1. 弛豫 SiGe 耗尽层电势分布

耗尽层 Poisson 方程为

$$\frac{d^2 \Phi_1(x)}{dx^2} = \frac{qN_{\text{SiGe}}}{\epsilon_{\text{SiGe}}}, (0 \leq x < t_d), \quad (1)$$

式中 $\Phi_1(x)$ 为耗尽层中的电势, q 为电子电荷, ϵ_{SiGe} 为弛豫 SiGe 材料的介电常数. 设耗尽层中电场强度为 $E_1(x)$, 则在耗尽层的中性弛豫 SiGe 侧边界有

$$E_1(0) = - \left. \frac{d\Phi_1(x)}{dx} \right|_{x=0} = 0.$$

利用该边界条件对(1)式积分即得到耗尽层电场分布为

$$\begin{aligned} E_1(x) &= - \frac{d\Phi_1(x)}{dx} \\ &= - \frac{qN_{\text{SiGe}}}{\epsilon_{\text{SiGe}}} x, (0 \leq x < t_d). \end{aligned} \quad (2)$$

通常情况下衬底为最低电势, 因而 $\Phi_1(0) = \Phi_{\text{sub}} = 0$, 所以由(2)式有弛豫 SiGe 耗尽层电势

$$\begin{aligned} \Phi_1(x) &= \frac{qN_{\text{SiGe}}}{2\epsilon_{\text{SiGe}}} x^2 + \Phi_1(0) \\ &= \frac{qN_{\text{SiGe}}}{2\epsilon_{\text{SiGe}}} x^2, (0 \leq x < t_d). \end{aligned} \quad (3)$$

3.2. 应变 Si 层电势分布

该区内 Poisson 方程为

$$\frac{d^2 \Phi_2(x)}{dx^2} = \frac{qN_{\text{SSi}}}{\epsilon_{\text{SSi}}}, (t_d \leq x < t_d + t_{\text{SSi}}), \quad (4)$$

式中 $\Phi_2(x)$ 为应变 Si 中的电势, ϵ_{SSi} 为应变 Si 层的介电常数. 设该层电场强度为 $E_2(x)$, 根据电位移连续性原理, 在 $x = t_d$ 时, 有 $\epsilon_{\text{SSi}} E_2(t_d) = \epsilon_{\text{SiGe}} E_1(t_d)$, 即

$$\epsilon_{\text{SSi}} \left. \frac{d\Phi_2(x)}{dx} \right|_{x=t_d} = \epsilon_{\text{SiGe}} \left. \frac{d\Phi_1(x)}{dx} \right|_{x=t_d}. \quad (5)$$

利用(5)式作为边界条件, 并对(4)式进行积分得到应变 Si 层中的电场强度

$$\begin{aligned} E_2(x) &= - \frac{d\Phi_2(x)}{dx} \\ &= - \frac{qN_{\text{SSi}}}{\epsilon_{\text{SSi}}} (x - t_d) - \frac{qN_{\text{SiGe}}}{\epsilon_{\text{SSi}}} t_d. \end{aligned} \quad (6)$$

根据电势连续 $\Phi_2(t_d) = \Phi_1(t_d) = \frac{qN_{\text{SiGe}}}{2\epsilon_{\text{SiGe}}} t_d^2$, 利用该式作为边界条件对(6)式进行积分, 则可得到应变 Si 层中电势分布

$$\begin{aligned} \Phi_2(x) &= \frac{qN_{\text{SSi}}}{2\epsilon_{\text{SSi}}} (x - t_d)^2 + \frac{qN_{\text{SiGe}} t_d}{\epsilon_{\text{SSi}}} (x - t_d) \\ &\quad + \frac{qN_{\text{SiGe}}}{2\epsilon_{\text{SiGe}}} t_d^2. \end{aligned} \quad (7)$$

3.3. SiO₂ 栅介质层电势分布

理想情况下, 栅介质层内电荷密度 $\rho(x) = 0$, 则该区 Poisson 方程为

$$\frac{d^2 \Phi_3(x)}{dx^2} = 0, (t_d + t_{\text{SSi}}) \leq x < (t_d + t_{\text{SSi}} + t_{\text{ox}}), \quad (8)$$

式中 $\Phi_3(x)$ 为栅介质层中的电势, ϵ_{ox} 为栅介质层的介电常数.

由电位移连续原理 结合(6)式有

$$\epsilon_{\text{ox}} \left. \frac{d\Phi_3(x)}{dx} \right|_{x=(t_d+t_{\text{SSi}})} = \epsilon_{\text{SSi}} \left. \frac{d\Phi_2(x)}{dx} \right|_{x=(t_d+t_{\text{SSi}})}. \quad (9)$$

利用(9)式作为边界条件, 并对(8)式进行积分得到栅介质层中的电场强度

$$E_3(x) = - \frac{d\Phi_3(x)}{dx} = - \frac{qN_{\text{SSi}} t_{\text{SSi}} + qN_{\text{SiGe}} t_d}{\epsilon_{\text{ox}}}. \quad (10)$$

由(7)式得

$$\begin{aligned} \Phi_2(t_d + t_{\text{SSi}}) &= \frac{qN_{\text{SSi}}}{2\epsilon_{\text{SSi}}} t_{\text{SSi}}^2 + \frac{qN_{\text{SiGe}} t_d}{\epsilon_{\text{SSi}}} t_{\text{SSi}} \\ &\quad + \frac{qN_{\text{SiGe}}}{2\epsilon_{\text{SiGe}}} t_d^2. \end{aligned} \quad (11)$$

设 Si/SiO₂ 界面处电势为 V_s , 由电势连续性有 $V_s = \Phi_3(t_d + t_{\text{SSi}}) = \Phi_2(t_d + t_{\text{SSi}})$, 因此栅介质层中的电势分布可表示为

$$\begin{aligned} \Phi_3(x) &= \frac{qN_{\text{SSi}} t_{\text{SSi}} + qN_{\text{SiGe}} t_d}{\epsilon_{\text{ox}}} (x - t_d - t_{\text{SSi}}) + V_s, \\ &\quad (t_d + t_{\text{SSi}}) \leq x < (t_d + t_{\text{SSi}} + t_{\text{ox}}). \end{aligned} \quad (12)$$

4. 阈值电压模型

由 (12) 式可得到应变 Si 层与介质层界面处的电势 $\Phi_3(t_d + t_{\text{SSi}} + t_{\text{ox}})$, 因而器件栅极电压

$$V_G = \Phi_3(t_d + t_{\text{SSi}} + t_{\text{ox}}) + V_{\text{FB}}$$

$$= \frac{qN_{\text{SSi}}t_{\text{Si}} + qN_{\text{SiGe}}t_d}{\epsilon_{\text{ox}}}t_{\text{ox}} + V_s + V_{\text{FB}}, \quad (13)$$

式中 $V_{\text{FB}} = -V_{\text{ms}} - \frac{Q_{\text{ox}}}{C_{\text{ox}}}$ 为平带电压. 式中 V_{ms} 是金属半导体功函数电势差, Q_{ox} 是栅氧化层中电荷面密度, C_{ox} 是单位面积的氧化层电容. 其中金属半导体功函数电势差^[11]

$$V_{\text{ms}} = \frac{1}{q} \left[\left(\chi_{\text{ss}} + \frac{E_{\text{gss}}}{2} \right) - \Phi_m \right] + \frac{k_0 T}{q} \ln \left(\frac{N_{\text{SSi}}}{n_{\text{iSSi}}} \right), \quad (14)$$

式中 χ_{ss} 为 SSi 的电子亲和能, E_{gss} 为应变 Si 的禁带宽度, n_{iSSi} 为应变 Si 的本征载流子浓度, Φ_m 为栅金属的功函数.

因为 $V_s = \Phi_3(t_d + t_{\text{SSi}}) = \Phi_2(t_d + t_{\text{SSi}})$, 代入 (7) 和 (12) 式可得耗尽层宽度

$$t_d = -\frac{\epsilon_{\text{SiGe}}}{\epsilon_{\text{Si}}}t_{\text{SSi}}$$

$$+ \sqrt{\left(\frac{\epsilon_{\text{SiGe}}}{\epsilon_{\text{Si}}}t_{\text{SSi}} \right)^2 - 2\frac{\epsilon_{\text{SiGe}}}{qN_{\text{SiGe}}}\left(\frac{qN_{\text{SSi}}}{2\epsilon_{\text{Si}}}t_{\text{SSi}}^2 - V_s \right)}. \quad (15)$$

由 (13) 式和 (15) 式有

$$t_d(V_G) = -\frac{\epsilon_{\text{SiGe}}}{\epsilon_{\text{Si}}}t_{\text{SSi}} + \sqrt{\left(\frac{\epsilon_{\text{SiGe}}}{\epsilon_{\text{Si}}}t_{\text{SSi}} \right)^2 - 2\frac{\epsilon_{\text{SiGe}}}{qN_{\text{SiGe}}}\left(\frac{qN_{\text{SSi}}}{2\epsilon_{\text{Si}}}t_{\text{SSi}}^2 - V_G + \frac{qN_{\text{SSi}}t_{\text{SSi}} + qN_{\text{SiGe}}t_d}{\epsilon_{\text{ox}}}t_{\text{ox}} + V_{\text{FB}} \right)}.$$

当 SSi/SiO₂ 界面达到强反型时, 此时 $V_s = 2V_B^{[9]}$:

$$V_s = \frac{2k_0 T}{q} \ln \left(\frac{N_{\text{SSi}}}{n_{\text{iSS}}} \right) - \frac{\Delta E_c + \Delta E_v}{2q}. \quad (16)$$

所以在 SSi 表面强反型时的 SiGe 耗尽层宽度为

$$t_{\text{dth}} = -\frac{\epsilon_{\text{SiGe}}}{\epsilon_{\text{Si}}}t_{\text{SSi}}$$

$$+ \sqrt{\left(\frac{\epsilon_{\text{SiGe}}}{\epsilon_{\text{Si}}}t_{\text{SSi}} \right)^2 - 2\frac{\epsilon_{\text{SiGe}}}{qN_{\text{SiGe}}}\left(\frac{qN_{\text{SSi}}}{2\epsilon_{\text{Si}}}t_{\text{SSi}}^2 - V_s \right)}. \quad (17)$$

由 (13) (14) (16) 式综合得出阈值电压

$$V_{\text{th}} = V_{\text{FB}} + \frac{qN_{\text{SSi}}t_{\text{SSi}} + qN_{\text{SiGe}}t_{\text{dth}}}{\epsilon_{\text{ox}}}t_{\text{ox}} + V_s$$

表 1 所用参数列表^[12,13]

χ_{ss}	$\Phi_m(\text{Al})$	ΔE_c	ΔE_v	E_{gss}	ϵ_{Si}	ϵ_{SiGe}	ϵ_{ox}
$4.05 + 0.58x$	4.28	0.63x	$x(0.74 - 0.53x)$	$1.08 - 0.4x$	11.9	$11.9 + 4.1x$	4.0

选取 SiGe 层掺杂浓度为 10^{17} cm^{-3} , SSi 层掺杂浓度为 10^{17} cm^{-3} , SSi 厚度为 10 nm, 栅介质层厚度 t_{ox} 为 10 nm. 得到阈值电压与 SiGe 层中 Ge 组分关系, 如图 2 所示.

图 2 为阈值电压与 SiGe 层中 Ge 组分的关系. 阈值电压 V_{th} 随着 Ge 组分的增加而减小. 这是由于随着 SiGe 层中 Ge 组分的增加, SSi 应变加强, 禁带宽度进一步减小, ΔE_c 增大, 本征载流子浓度提高, 沟道电子面密度也提高, 所以阈值电压 V_{th} 减小.

5. 仿真分析与讨论

利用表 1 中所列参数, 对得到的阈值电压模型进行数值分析, 分别得出了阈值电压与 SiGe 层中 Ge 组分和掺杂浓度的关系, 阈值电压偏移量与 SiGe 中 Ge 组分的关系, 阈值电压与应变 Si 层掺杂浓度、与应变硅层厚度的关系.

图 3 所示的是应变硅 nMOS 与常规 nMOS 阈值电压的偏移量与 SiGe 层中 Ge 组分的关系. 可以看出随着 Ge 组分的增加, SSi 应变加强, 禁带宽度减小, 本征载流子浓度提高, 应变硅 nMOS 阈值电压减小, 应变硅 nMOS 与常规 nMOS 阈值电压偏移量也相应增大.

图 4 为阈值电压与 SiGe 层掺杂浓度的关系. SiGe 中 Ge 组分为 20%, 应变 Si 掺杂浓度为 10^{17} cm^{-3} . 模拟中 SiGe 掺杂浓度从 10^{15} cm^{-3} 到 10^{18} cm^{-3} . 由图 4 可知, 阈值电压随着 SiGe 层的掺

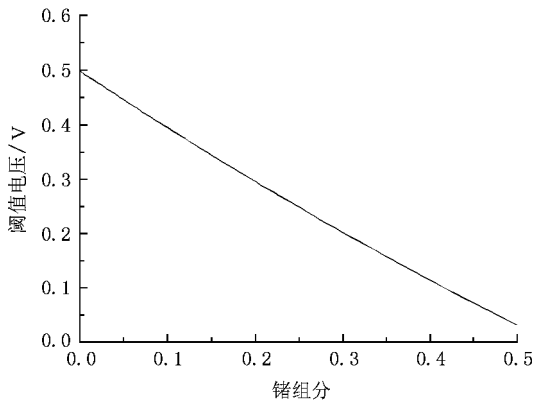


图2 阈值电压与 SiGe 层中 Ge 组分的关系

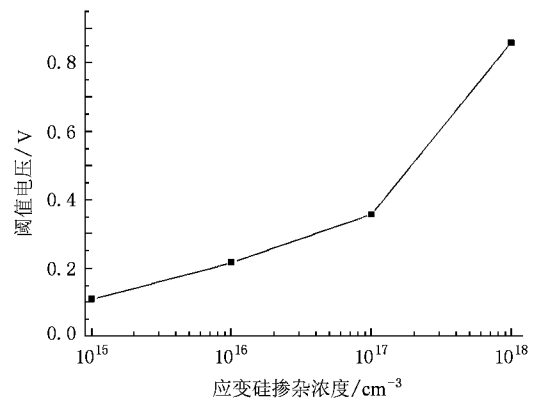


图5 阈值电压与应变 Si 层掺杂浓度的关系

10^{17} cm^{-3} . 模拟中应变 Si 掺杂浓度从 10^{15} cm^{-3} 变到 10^{18} cm^{-3} . 由图可知:阈值电压随着应变 Si 层的掺杂浓度的提高而增大. 这是因为随着应变 Si 层的掺杂浓度提高,电离受主的影响使得沟道内反型载流子(电子)面密度减小,因此阈值电压增大.

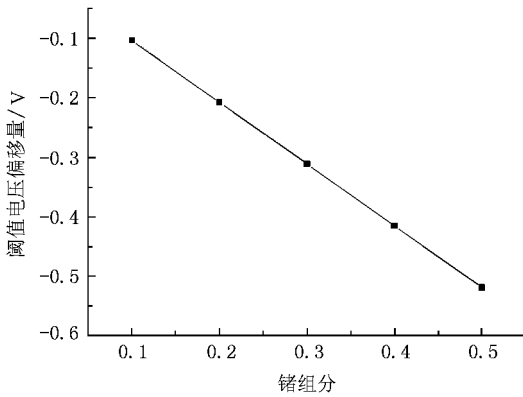


图3 阈值电压偏移量与 SiGe 层中 Ge 组分的关系

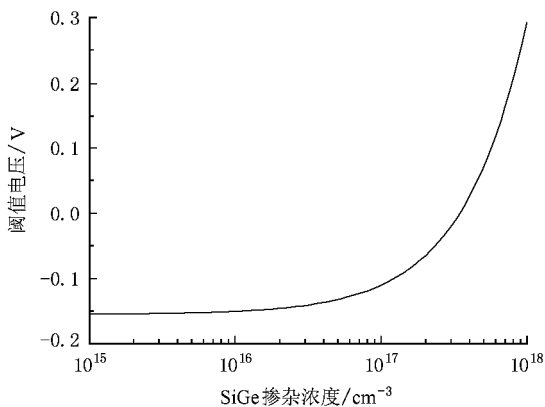


图4 阈值电压与 SiGe 层掺杂浓度的关系

杂浓度的提高而增大. 这是由于 SiGe 层的掺杂浓度高, 电离电荷的影响使得沟道内反型载流子面密度减小, 因此阈值电压增大.

图 5 所示的是阈值电压与应变 Si 层掺杂浓度的关系. SiGe 中 Ge 组分为 20%, SiGe 掺杂浓度为

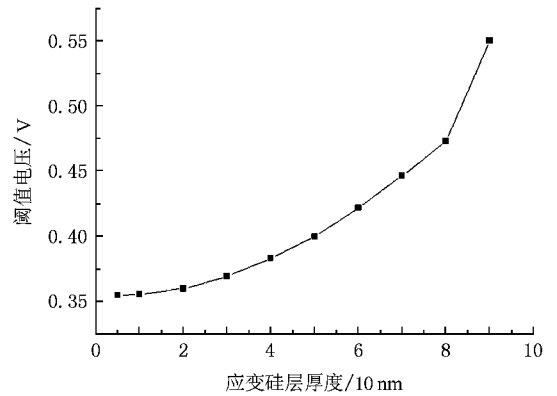


图6 阈值电压与应变 Si 层厚度的关系

图 6 为阈值电压与应变硅层厚度的关系. SiGe 中 Ge 组分为 20%, SiGe 掺杂浓度为 10^{17} cm^{-3} , 应变 Si 掺杂浓度为 10^{17} cm^{-3} . 由图可见当应变硅层厚度从 5 nm 变化到 100 nm 时, 阈值电压逐渐增大. 但是随着集成电路制造技术的提高, 应变硅反型层的厚度很小, 一般为 10 nm 左右, 可见应变硅层厚度在 5—30 nm 取值时, 阈值电压变化不大.

6. 结 论

本文研究了应变 Si 沟道 nMOSFET 器件纵向的电势分布, 建立了应变 Si 沟道 nMOSFET 阈值电压

模型. 并利用该模型对不同的器件结构参数进行分析, 获得了阈值电压 V_{th} 与 SiGe 层中 Ge 组分、掺杂浓度的关系; 阈值电压偏移量与 SiGe 中 Ge 组分的关系; 阈值电压与应变 Si 层掺杂浓度的关系、与应变硅层厚度的关系. 研究结果表明: 阈值电压 V_{th} 随

SiGe 层中 Ge 组分的提高而降低, 随着 SiGe 层的掺杂浓度的提高而增大. 阈值电压随着应变 Si 层的掺杂浓度的提高而增大, 应变硅层厚度在 5—30 nm 取值时, 阈值电压变化不大. 该模型为应变 Si 器件阈值电压设计提供了重要参考.

- [1] Miyashita T *et al* 2007 *IEDM* **25** 1
- [2] Lee M L, Fitzgerald E A *et al* 2005 *J. Appl. Phys* **97** 011101
- [3] Zhang H M, Cui X Y, Hu H Y, Dai X Y, Xuan R X 2007 *Acta Phys. Sin.* **56** 3504 (in Chinese) [张鹤鸣、崔晓英、胡辉勇、戴显英、宣荣喜 2007 物理学报 **56** 3504]
- [4] Song J J, Zhang H M, Hu H Y, Dai X Y 2008 *Acta Phys. Sin.* **57** 5918 (in Chinese) [宋建军、张鹤鸣、胡辉勇、戴显英 2008 物理学报 **57** 5918]
- [5] Liu H X, Cai N Q 2008 *Journal of Xidian University* **35** 1051 (in Chinese) [刘红侠、蔡乃琼 2008 西安电子科技大学学报 **35** 1051]
- [6] Cai N Q, Liu H X 2008 *Journal of Xidian University* **35** 514 (in Chinese) [蔡乃琼、刘红侠 2008 西安电子科技大学学报 **35** 514]
- [7] Hu H Y, Zhang H M, Dai X Y *et al* 2005 *Acta Electronica. Sin.* **33** 2056 (in Chinese) [胡辉勇、张鹤鸣、戴显英等 2005 电子学报 **33** 2056]
- [8] Yang H S *et al* 2004 *IEDM* 1075
- [9] Gámiz F, Cartujo-Cassinello P, Roldán J B *et al* 2002 *J. Appl. Phys.* **92** 288
- [10] Olsen S H, O'Neill A G 2004 *IEEE Trans. on Electron Devices* **51** 7
- [11] Liu Y, Zhang F H 2002 *Transistor principle* (Beijing: National defence industry) p316 (in Chinese) [刘永、张福海 2002 晶体管原理第一版 2002 国防工业出版社 第 316 页]
- [12] Nayfeh H M *et al* 2004 *IEEE Trans. on Electron Devices* **51** 2069
- [13] Jung-Suk G *et al* 2003 *IEEE Trans. on Electron Devices* **9** 568

Threshold voltage model of strained Si channel nMOSFET^{*}

Zhang Zhi-Feng[†] Zhang He-Ming Hu Hui-Yong Xuan Rong-Xi Song Jian-Jun

(Key Laboratory of Ministry of Education for Wide Band-Gap Semiconductor Materials and Devices, School of Microelectronics, Xidian University, Xi'an 710071, China)

(Received 29 September 2008; revised manuscript received 21 December 2008)

Abstract

The model of nMOSFET threshold voltage was established based on study of voltage distribution in strained Si film, which was grown on relaxed SiGe virtual substrate. The model was analyzed with reasonable parameters, and the dependence of threshold voltage on Ge fraction and channel doping was revealed. The dependence of threshold voltage shift on Ge fraction was also obtained. The relationship between threshold voltage and strained Si layer thickness and doping was studied. The results indicates, the threshold voltage increases with increasing doping concentrations of relaxed SiGe layer, decreases with increasing Ge fraction of relaxed SiGe layer, and increases with increasing strained Si layer thickness. This threshold voltage model provides valuable reference to the strained-Si device design.

Keywords: strained-Si, threshold voltage, voltage distribution, inversion layer

PACC: 7340Q, 7360L

* Project supported by the National Ministries and Commissions (Nos. 51308040203, 9140A08060407DZ0103, 9140C0905040706).

[†] Corresponding author. E-mail: zzf050210@yahoo.com.cn