

一种基于延时和带宽约束的纳米级互连线优化模型^{*}

朱樟明[†] 郝报田 李 儒 杨银堂

(西安电子科技大学微电子研究所, 西安 710071)

(2009 年 5 月 12 日收到; 2009 年 7 月 2 日收到修改稿)

基于 RLC 互连线延时模型, 通过缓冲器插入和改变互连线宽及线间距, 提出了一种基于延时和带宽约束的互连功耗-缓冲器面积的乘积优化模型. 基于 90 nm, 65 nm 和 45 nm CMOS 工艺验证了互连线优化模型, 在牺牲 1/3 和 1/2 的带宽的前提下, 平均能够节省 46% 和 61% 的互连功耗, 以及 65% 和 83% 的缓冲器面积, 能应用于纳米级 SOC 的计算机辅助设计.

关键词: 纳米互连功耗, 缓冲器面积, 延时, 带宽

PACC: 6630Q, 6185, 8160C

1. 引 言

随着硅互补金属氧化物半导体(CMOS)集成电路发展到纳米级 CMOS 阶段, 极大规模集成电路(ULSI)的频率和规模不断增大, 片上互连的延时、功耗和信号完整性已经成为影响电路性能和可靠性的决定性因素之一^[1-15]. 为了减小互连延时, 特别是顶层互连线的延时, 插入式中继缓冲器得到了广泛的应用. 通过缓冲器恢复电位, 阻止互连线上电容的累加效应, 使延迟与互连长度成线性关系降低延迟^[1-15]. 然而随着 CMOS 工艺特征尺寸的不断缩小及互连长度的不断增加, 需要插入的中继缓冲器尺寸越来越大, 数量越来越多. ITRS(国际半导体技术路线图)2007 指出^[1], 纳米级 CMOS 工艺的单位缓冲器数目将超过 100 万门, 导致互连本身在功耗及面积等方面的严重问题, 并导致芯片温度的上升以及电路性能和稳定性的下降^[2].

国外研究者提出了多种不同的方法来减小互连线的延时、功耗和面积, 但是很多方法只考虑了改变互连线宽或线间距, 或者只考虑了缓冲器插入, 并没有把二者结合起来, 而且多数研究忽略了互连线寄生电感, 不适合纳米级互连线的优化^[5-15]. 文献[5]通过改变线宽的优化方法来优化

互连延时, 但是该模型忽略了互连线电感, 不适用于顶层互连线. 对于顶层互连线, 缓冲器插入是个有效减小延时的方法, 文献[6]通过缓冲器插入的方式获得了最优化延时的缓冲器尺寸和数目的解析表达式. 基于分布式 RLC 互连线模型, 文献[12]提出在互连延迟满足目标延迟的条件下, 利用拉格朗日函数改变插入缓冲器数目与尺寸来减小互连功耗和面积的优化模型, 但是没有考虑带宽的约束. 对于 RC 互连线, 缓冲器插入优于优化互连线尺寸^[8], 然而对于纳米级集成电路中的 RLC 互连线这并不成立^[9], 所以优化互连线的延时、功耗、面积时需要同时结合缓冲器插入和互连线尺寸优化, 这势必会取得更优的效果. 基于 RC 互连延时模型, 对于任意的延时冗余约束, 文献[7]提出一种优化模型, 该模型通过改变缓冲器尺寸和互连线尺寸的方法获得最小的互连功耗. 文献[10]基于 RC 延时模型, 通过最小化 FOM (figure of merit) 函数的方法来确定带缓冲器插入的互连线尺寸, 并研究了互连线宽和线间距对互连线性能的影响. 文献[11]采用 RC 延时模型, 通过改变线宽和线间距以及通过缓冲器插入, 同时优化了互连线串扰和延时.

本文基于延时和带宽的双重约束, 通过缓冲器插入和改变互连线宽及线间距, 提出了一种互连功耗和缓冲器面积的优化模型. 首先给出了纳米级集

^{*} 国家自然科学基金(批准号:60725415, 60971066), 国家高技术研究发展计划(863 计划)(批准号:2009AA01Z258, 2009AA01Z260)资助的课题.

[†] 通讯联系人. E-mail: zmyh@263.net

成电路顶层互连线的 RLC 参数提取方法,并给出了 RLC 互连线的延时、功耗、缓冲器面积和互连带宽等解析模型. 本文第四部分基于互连线宽和线间距对延时、功耗、缓冲器面积和互连带宽的影响分析,提出了一种考虑线宽和线间距的功耗 - 面积乘积优化模型,并在第五部分进行了验证和讨论.

2. 纳米级集成电路顶层互连线的 RLC 参数提取

图 1 为顶层互连线的截面示意图,其中 w 为互连线宽度, t_m 为互连线高度, s 为互连线之间间距, t_{ins} 则为顶层互连层和下层互连层之间的介质厚度,互连线长度为 L . 未考虑趋肤效应的互连线电阻可以用下式来表示:

$$r = \frac{\rho}{w \cdot t_m} \tag{1}$$

其中 r 表示互连线的单位长度电阻,纳米级 CMOS 工艺的铜互连线的 ρ 为 $2.2 \mu\Omega\cdot\text{cm}$.

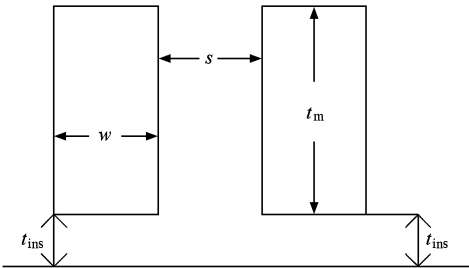


图 1 顶层互连线截面图

对于纳米级 CMOS 工艺,边缘电容在互连线电容中的比重越来越大,参考 BPTM 模型的 CMOS 工艺互连寄生电容提取方法^[16],考虑边缘电容后互连线的电容表达式为

$$c_g = \epsilon \left[\frac{w}{t_{ins}} + 2.22 \left(\frac{s}{s + 0.70t_{ins}} \right)^{3.19} + 1.17 \left(\frac{s}{s + 1.51t_{ins}} \right)^{0.76} \times \left(\frac{t_m}{t_m + 4.53t_{ins}} \right)^{0.12} \right], \tag{2}$$

其中 c_g 表示互连线的单位长度电容, ϵ 表示介质材料的介电常数. 括号内第一项表示互连线和下层互连层的平板电容,后两项则表示互连线的边缘电容. 纳米集成电路中耦合电容也很明显,同样参考 BPTM 模型的 CMOS 工艺互连寄生电容提取方

法^[16]耦合电容的表达式为

$$c_c = \epsilon \left[1.44 \frac{t_m}{s} \left(\frac{t_{ins}}{t_{ins} + 2.06s} \right)^{0.09} + 0.74 \left(\frac{w}{w + 1.59s} \right)^{1.14} + 1.16 \left(\frac{w}{w + 1.87s} \right)^{0.16} \cdot \left(\frac{t_{ins}}{t_{ins} + 0.98s} \right)^{1.18} \right], \tag{3}$$

其中 c_c 是单位长度互连线的耦合电容. 此时互连线的总电容为 c_g 和 c_c 的线性组合^[16],即

$$c = c_g + 2c_c, \tag{4}$$

其中 c 表示单位长度互连线的总电容.

为了减少互连线的延时和互连线之间的串扰,纳米级 CMOS 工艺中引入了低 k 互连介质材料, BPTM 65 nm CMOS 工艺的低 k 互连介质材料的相对介电常数为 2.2,远小于硅氧化物的介电常数,所以互连线寄生电感在延时中显得越加重要. 参考 BPTM 模型的互连寄生电感提取方法^[16],较为精确的电感表达式为

$$l = \frac{\mu_0}{2\pi} \left[\ln \left(\frac{2L}{w + t_m} \right) + \frac{1}{2} + \frac{0.22(w + t_m)}{L} \right], \tag{5}$$

其中 l 表示互连线的单位长度电感, μ_0 表示真空磁导率,其值为 $4\pi \times 10^{-7} \text{ H/m}$. 需要注意单位长度电感是互连线长度 L 的函数.

3. RLC 互连延时-功耗-面积-带宽

3.1. 延 时

图 2 是缓冲器驱动顶层互连线结构,其长度为 L . 假设已经对功耗和面积等目标参数进行了优化,优化后的互连线宽和线间距分别为 w 和 s ,互连线被等分为 k_{opt} 段,每段长度为 L_{opt} . 由第二部分的互连参数提取模型可以确定互连线的单位长度电阻 r 、单位长度电容 c 和单位长度电感 l . 假设缓冲器

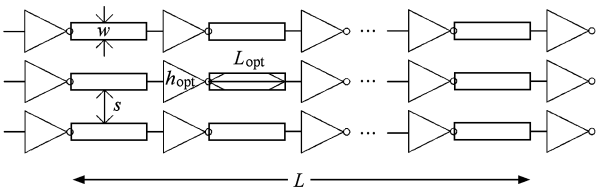


图 2 缓冲器驱动的顶层互连线结构

尺寸为 h_{opt} , 那么输入电容为 $h_{\text{opt}}c_0$, 输出电容为 $h_{\text{opt}}c_p$, 输出电阻为 r_s/h_{opt} , 其中 c_0, c_p, r_s 分别是最小尺寸缓冲器的输入电容、输出电容和输出电阻。

图 2 所示缓冲器驱动的每一段互连线的 RLC 延时为^[6]

$$T_d = (e^{-2.9\xi^{1.35}} + 1.48\xi)/\omega_n, \quad (6)$$

其中

$$\xi = \frac{rL_{\text{opt}}}{2} \sqrt{\frac{c}{l}} \times \frac{r_s/rL_{\text{opt}}h_{\text{opt}} + c_p h_{\text{opt}}/rL_{\text{opt}} + r_s c_p / (rL_{\text{opt}})^2 + 0.5}{\sqrt{1 + c_p h_{\text{opt}}/rL_{\text{opt}}}},$$

$$\omega_n = 1/\sqrt{l \cdot L_{\text{opt}}(cL_{\text{opt}} + c_p/h_{\text{opt}})}.$$

对于长度为 L 并等分为 k_{opt} 段的互连线, 总 RLC 互连延时为

$$T_{\text{total}} = T_d \cdot k_{\text{opt}} = T_d \cdot \frac{L}{L_{\text{opt}}}. \quad (7)$$

增大线宽可以有效的减小互连线单位长度电阻, 且当线宽小于某个临界值时, 增大线宽和线间距可以有效的减小互连线单位长度电容, 所以适当的增大线宽和线间距能够有效减小互连线的 RLC 延时, 从而节省插入缓冲器的数目, 降低互连线功耗。

3.2. 功耗

缓冲器驱动的互连线功耗由三部分组成: 电容翻转功耗、泄漏电流功耗和直流通路功耗。

在典型的 CMOS 电路中, 电容翻转功耗是占主导地位的因素, 是互连功耗的主要组成部分; 泄漏电流功耗随工艺尺寸的缩小而增加, 纳米级 CMOS 工艺下, 泄漏电流功耗成为关键^[12]; 直流通路功耗表示反相器的 NMOS 和 PMOS 同时导通时的功耗, 通过细心的设计可以控制在一定范围内, 但为了得到较为精确的结果, 该因素仍被包含在本文的功耗模型之中。

对于长度为 L 的互连线, 其互连功耗和单位长度互连功耗 $P_{\text{repeater}}/L_{\text{opt}}$ 成正比, $P_{\text{repeater}}/L_{\text{opt}}$ 可以写为下式:

$$\frac{P_{\text{repeater}}}{L_{\text{opt}}} = k_1 \left(\frac{h_{\text{opt}}}{L_{\text{opt}}} (c_0 + c_p) + c \right) + k_2 \frac{h_{\text{opt}}}{L_{\text{opt}}} + k_3 \tau \frac{h_{\text{opt}}}{L_{\text{opt}}}, \quad (8)$$

其中

$$k_1 = \alpha V_{\text{DD}}^2 f_{\text{clk}},$$

$$k_2 = \frac{3}{2} V_{\text{DD}} I_{\text{offn}} W_{\text{nmin}},$$

$$k_3 = \alpha V_{\text{DD}} W_{\text{nmin}} I_{\text{short-circuit}} f_{\text{clk}} \ln 3, \quad (9)$$

$$\tau = r_s (c_0 + c_p) + \frac{r_s}{h_{\text{opt}}} c L_{\text{opt}} + r L_{\text{opt}} h_{\text{opt}} c_0 + \frac{1}{2} r c L_{\text{opt}}^2.$$

等式右端第一项表示单位长度互连线的电容翻转功耗, 第二项表示泄漏电流功耗, 第三项表示直流通路功耗. P_{repeater} 表示缓冲器驱动 L_{opt} 长度互连线时的互连功耗; V_{DD} 表示电源电压; f_{clock} 表示时钟频率; α 则是开关因子, 一般取值为 0.15; I_{offn} 是 NMOS 晶体管单位尺寸的泄漏电流; W_{nmin} 表示反相器中 NMOS 晶体管的最小栅宽度, 与具体工艺的设计规则有关; $I_{\text{short-circuit}}$ 则是晶体管单位尺寸宽度的直流通路电流, 一般取其近似值为 $65 \mu\text{A}/\mu\text{m}$ 。

3.3. 缓冲器面积

集成电路设计中经常使用缓冲器插入的方法减小互连延时, 而在高性能集成电路中缓冲器尺寸巨大, 纳米级集成电路的单位缓冲器将超过 100 万门^[1]. 数以百万计的缓冲器占据了大量的硅片面积, 严重影响了芯片的结构和布局, 已经成为互连优化中不可忽略的因素。

互连线中插入的缓冲器面积和 h_{opt} 成正比, 而和 L_{opt} 成反比. 在数字集成电路设计中, 为实现面积的最小化, 一般选用最小沟道长度的器件, 只通过沟道宽度改变器件特性. 考虑 PMOS 的宽度一般为 NMOS 宽度的 2 倍, 单位长度互连线的缓冲器面积为

$$A_{\text{repeater}} = 3h_{\text{opt}} W_{\text{nmin}}. \quad (10)$$

3.4. 带宽

带宽表示单位时间内芯片所能传送的数据量, 是表征数字集成电路性能的主要参数之一, 本文中用 ψ 来表示. 对于给定的芯片尺寸, 带宽是单位长度互连延时和互连线数目的函数. 互连线传输比特流的最高速率和单位长度延时成反比, 随延时的增大而单调减小. 在给定的芯片中, 能够传送数据的互连线数目和互连线的 pitch 成反比, 其中 pitch 是互连线宽 w 和线间距 s 的和, 因此 ψ 可以写为

$$\psi = \frac{1}{(w + s) \frac{T_{\text{total}}}{L}}. \quad (11)$$

互连线设计的目标是获得尽量大的带宽,同时维持可以接受的单位长度延时. 大的带宽意味着大的数据吞吐量,小的单位长度延时则意味着高的互连线性能. 增大线宽和线间距能够减小延时,但是牺牲了部分带宽,所以二者不能同时达到最优值.

基于 ITRS 2007,表 1 列出了纳米级 COMS 下各工艺节点互连线的物理参数和电学参数.

表 1 纳米级 CMOS 互连线的物理参数和电学参数

工艺节点/nm	90	65	45
$w_{\min}/\text{nm}$	150	105	68
$s_{\min}/(\text{nm})$	150	105	68
t_{m}/nm	330	242	163
$t_{\text{ins}}/(\text{nm})$	300	221	150
ε_{r}	303	3.1	2.8
$r_{\text{s}}/\text{k}\Omega$	9.04	9.6	13.2
c_0/fF	1.1	1.03	0.9
c_{p}/fF	2.04	1.22	0.6
$V_{\text{DD}}/(\text{V})$	1.1	1.1	1
$I_{\text{offn}}/(\mu\text{A}/\mu\text{m})$	3.56	20	35.5
$f_{\text{clk}}/\text{GHz}$	3.99	6.73	11.5

4. RLC 互连线优化模型

基于文献 [6] 提出的 RC 互连线优化模型,可以得到采用最小线宽和线间距的互连线的最小延时 $T_{\text{total},\min}$,假设此时的缓冲器尺寸为 $h_{\text{opt},\min}$,缓冲器驱动的每段互连线长度为 $L_{\text{opt},\min}$,互连功耗为 $P_{\text{opt},\min}$,缓冲器面积为 $A_{\text{opt},\min}$,带宽为 $BW_{\text{opt},\min}$. 同样可以得到采用任意线宽和线间距互连线的最小延时 T_{total} ,以及此时缓冲器的尺寸 h_{opt} ,缓冲器驱动的每段互连线的长度 L_{opt} ,互连功耗 P_{opt} ,缓冲器面积 A_{opt} 和带宽 BW_{opt} . 基于表 1 所示的 ITRS 45 nm 工艺互连参数和器件参数,分析互连线宽和线间距对延时、功耗、面积和带宽等参数的影响,然后在目标延时和目标带宽的双重约束下提出了一种新的最小化互连功耗和缓冲器面积的优化模型.

图 3 给出了互连线宽和线间距对互连延时的影响,纵坐标为 $T_{\text{total}}/T_{\text{total},\min}$. 如图 3 所示,延时随互连线宽和线间距的增加而迅速下降. $(W/W_{\min}, S/S_{\min}) = (4, 4)$ 时,使用更少、更小的缓冲器可以减小 55% 的延时.

图 4 给出了互连线宽和线间距对互连功耗的影响,纵坐标为 $P_{\text{opt}}/P_{\text{opt},\min}$. 如图 4 所示,功耗随着线

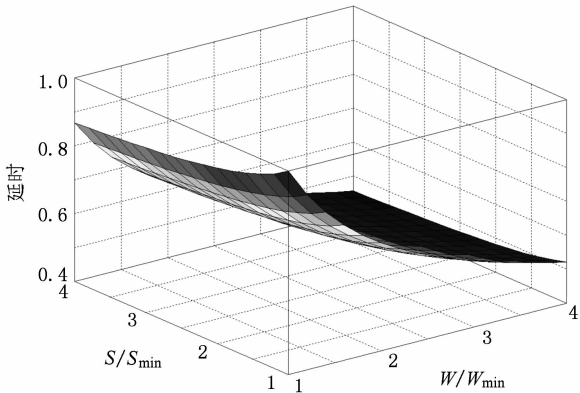


图 3 线宽和线间距对顶层互连线延时的影响

间距的增加功耗而迅速减小,随线宽的增加而缓慢上升. 这是因为增大线间距可以明显的减小耦合电容,增大线宽则轻微的增加了对地电容,从而影响了功耗. $(W/W_{\min}, S/S_{\min}) = (1, 4)$ 时,功耗可以减小 18%. 但是需要注意:互连线已经对延时进行了优化,如果不需获得最小延时则可以节省更多的功耗而远不止 18%.

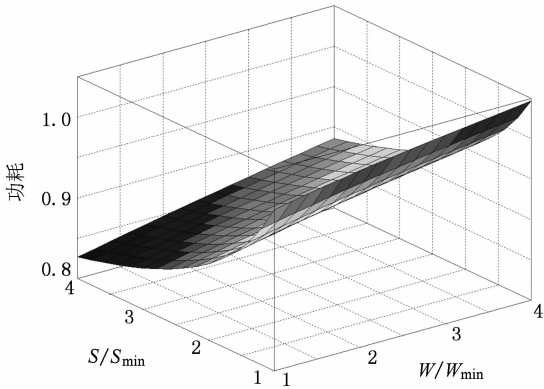


图 4 线宽和线间距对顶层互连线功耗的影响

图 5 给出了互连线宽和线间距对缓冲器面积的影响,纵坐标为 $P_{\text{opt}}/P_{\text{opt},\min}$. 和功耗类似,缓冲器面积随互连线间距的增加而明显减小,随互连线宽的增加而稍有上升. $(W/W_{\min}, S/S_{\min}) = (1, 4)$ 时最多可以节省 25% 的缓冲器面积.

图 6 给出了互连线宽和线间距对互连线带宽的影响,纵坐标为 $BW_{\text{opt}}/BW_{\text{opt},\min}$. 如图 6 所示,归一化后的带宽随互连线宽和线间距的增加而单调下降,即意味着为了节省功耗和硅片面积,必需牺牲一部分的带宽.

所以为了有效的减小功耗和缓冲器面积,在优

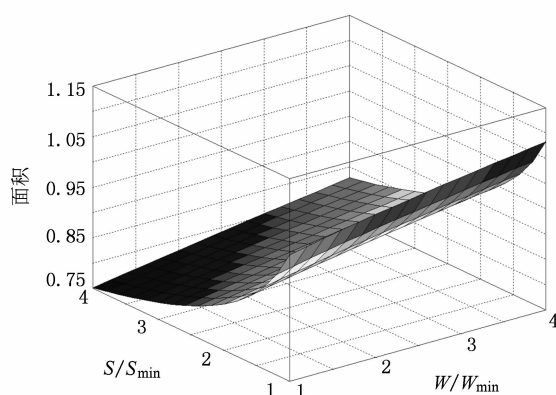


图5 线宽和线间距对顶层互连线缓冲器面积的影响

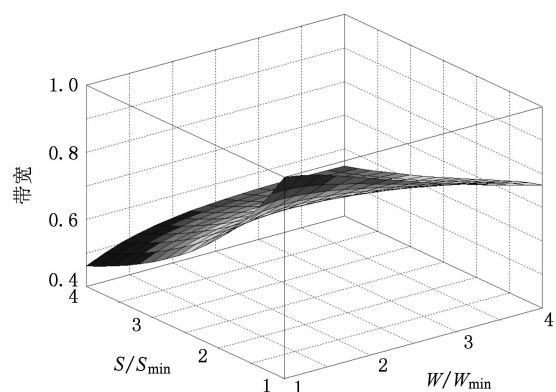


图6 线宽和线间距对顶层互连线带宽的影响

化中必须考虑线宽和线间距这两个因素。顶层互连线设计的目标为了获得小的单位长度延时、小的缓冲器面积和低的互连功耗,同时维持尽可能大的带宽。但是从图3—图6的分析发现,减小延时需要增大线宽和线间距,减小缓冲器面积和互连功耗需要减小线宽或者增大线间距,而获得更大的带宽需要减小线宽和线间距,部分参数是有所冲突的,为了优化某些参数必须牺牲另外一些参数。较小的延时冗余可以节省可观的功耗和芯片面积,而且很多情况下不需要得到最小的延时,只要延时满足需要即可,所以优化过程应该把目标延时和目标带宽作为约束条件。

基于上述分析,本文提出了一种最小化互连功耗-缓冲器面积乘积的优化模型,也是互连线宽、线间距、优化的互连线长度和缓冲器尺寸的函数,其表达式为

$$PAP = \left(\frac{P_{\text{repeater}}}{L_{\text{opt}}} \right)^i \cdot \left(\frac{A_{\text{repeater}}}{L_{\text{opt}}} \right)^j, \quad (12)$$

其中 i 和 j 分别是功耗和缓冲器面积的权因子,权因子的大小反映了对应参数的重要性,所以优化模型最终可以表示为

$$\begin{aligned} & \min. PAP \\ & \text{s. t.} \begin{cases} \psi_{\text{opt}} = \psi_{\text{tar}}, \\ T_{\text{total,opt}} = T_{\text{tar}}, \\ \begin{bmatrix} 1 & 0 \\ 0 & 1 \end{bmatrix} \begin{bmatrix} w_{\text{opt}} \\ s_{\text{opt}} \end{bmatrix} \geq \begin{bmatrix} w_{\text{min}} \\ s_{\text{min}} \end{bmatrix}, \end{cases} \end{aligned} \quad (13)$$

其中 ψ_{tar} 和 T_{tar} 分别表示目标带宽和目标延时。该优化模型约束于两个等式和两个不等式,对于每一组目标约束都存在一组最优解。这是带约束条件的多变量非线性函数的最小化问题,可以通过数值方法寻找它的解。

5. 模型验证与讨论

对于不同 CMOS 工艺下采用最小线宽和最小线间距的互连线,都可以得到其最小延时 $T_{\text{opt,min}}$ 、优化后每段互连线的长度 $L_{\text{opt,min}}$ 以及缓冲器的尺寸 $h_{\text{opt,min}}$ 。基于本文的第三部分所获得的功耗 $P_{\text{opt,min}}$ 、缓冲器面积 $A_{\text{opt,min}}$ 、带宽 $BW_{\text{opt,min}}$ 和功耗-面积乘积 $PAP_{\text{opt,min}}$,分别以 2/3 倍和 1/2 倍的最大带宽 $BW_{\text{opt,min}}$ 为目标带宽,最小延时 $T_{\text{opt,min}}$ 为目标延时,基于(13)式所示的优化模型,对 90 nm, 65 nm, 45 nm CMOS 工艺下的顶层互连线进行了优化,其互连参数如表 1 所示。

对于 $i=1, j=1$, 表 2 给出了基于本文优化模型对不同 CMOS 工艺下互连线优化所得到的互连线和缓冲器尺寸参数的结果,这些结果已经对最小线宽、最小线间距等参数进行了相应的归一化。很明显,采用最小线宽或者最小线间距都不是最优的设计作法,同样使线宽和线间距相等也不能得到最优的效果。牺牲部分带宽(即增大线宽和线间距的和)可以明显的减小缓冲器的尺寸。1/3 的带宽最多可以换取单个缓冲器 33% 的面积,平均可以换取单个缓冲器 10% 的面积。1/2 的带宽最大可以换取单个缓冲器 45% 的面积,平均可以换取单个缓冲器 36% 的面积。优化后,单个缓冲器驱动的互连线长度也明显长于未优化时的长度,这可以明显的减少所需缓冲器的数目。从表 2 可知,牺牲 1/3 的带宽最多可以减少 66% 的缓冲器,平均则减少 61% 的缓冲器,牺牲 1/2 的带宽最多可以减少 70% 的缓冲器,平均则减少 67% 的缓冲器。

表 2 不同纳米 CMOS 工艺下顶层互连线的部分优化结果

工艺节点/nm	T_{tar}/ps	$\psi_{\text{tar}}/10^4 \text{ GHz}$	W/W_{min}	S/S_{min}	$h_{\text{opt}}/h_{\text{opt,min}}$	$L_{\text{opt}}/L_{\text{opt,min}}$	$BW_{\text{opt}}/BW_{\text{opt,min}}$
90	907	2.45	1.22	1.78	0.77	2.55	0.67
65	960	3.04	1.37	1.63	1.04	3.01	0.67
45	1320	3.75	1.16	1.84	0.90	2.19	0.67
90	907	1.84	1.31	2.69	0.55	3.12	0.5
65	960	2.28	1.32	1.68	0.58	3.25	0.5
45	1320	2.81	1.62	2.38	0.80	2.68	0.5

表 3 不同工艺下顶层互连线的部分优化结果

工艺节点/(nm	T_{tar}/ps	$\psi_{\text{tar}}/10^4 \text{ GHz}$	$P_{\text{opt}}/P_{\text{opt,min}}$	$A_{\text{opt}}/A_{\text{opt,min}}$	$PAP_{\text{opt}}/PAP_{\text{opt,min}}$	$BW_{\text{opt}}/BW_{\text{opt,min}}$
90	907	2.45	0.53	0.30	0.16	0.67
65	960	3.04	0.54	0.35	0.19	0.67
45	1320	3.75	0.56	0.41	0.23	0.67
90	907	1.84	0.40	0.17	0.07	0.5
65	960	2.28	0.36	0.18	0.07	0.5
45	1320	2.81	0.40	0.27	0.11	0.5

表 3 给出了优化后的功耗、面积、功耗面积乘积和带宽等参数的结果,这些结果分别对采用最小线宽和线间距所得到的功耗、面积、功耗面积乘积和带宽进行了归一化.从表 3 可知,牺牲 1/3 带宽时,优化后功耗最多可以降低 47%,平均降低 46%;牺牲 1/2 带宽时,优化后功耗最多可以降低 64%,平均降低 61%.需要注意对于不同的 CMOS 工艺技术节点,优化后节省的功耗近似相等.同时也可以看到,1/3 的带宽最多可以换取 70% 的缓冲器面积,平均则可以换取 65% 的面积;1/2 的带宽最多可以换取 83% 的缓冲器面积,平均则可以换取 79% 的面积.在纳米级集成电路设计中,缓冲器所占用的硅资源相当巨大,而本文的优化模型则可以十分有效的降低缓冲器的数目和尺寸,从而节省非常可观的硅片面积.表 3 中同时还给出了对应于不同的约束带宽优化前后目标函数值的比值.牺牲 1/3 的带宽,目标函数最多可以降低 84%,平均可以降低 81%;牺牲 1/2 的带宽,目标函数最多可以降低 93%,平均可以降低 92%.

以上分析可知,本文所提出的优化模型所取得的结果相当显著,平均能够节省 46% 和 61% 的功

耗,65% 和 83% 的缓冲器面积,而代价仅仅是 1/3 和 1/2 的带宽,即 1/2 倍和 1 倍的最小 pitch (最小线宽和最小线间距的和).与功耗、面积等性能资源相比,带宽在集成电路设计中并不是十分重要,为了优化功耗面积而牺牲部分带宽是十分值得的.

6. 结 论

本文基于 RLC 互连线延时模型,通过缓冲器插入和改变互连线宽及线间距,提出了一种基于延时和带宽约束的互连功耗和缓冲器面积的优化模型.论文介绍了纳米级集成电路顶层互连线的 RLC 参数提取方法,给出了 RLC 互连线的延时、功耗、缓冲器面积和互连带宽等解析模型,基于互连线宽和线间距对延时、功耗、缓冲器面积和互连带宽的影响分析,提出了考虑线宽和线间距的功耗-面积乘积优化模型,并基于 90 nm,65 nm 和 45 nm CMOS 工艺验证了互连线的优化,在牺牲 1/3 和 1/2 的带宽的前提下,平均能够节省 46% 和 61% 的功耗,65% 和 83% 的缓冲器面积,对纳米级 CMOS 集成电路设计、优化有着重要的指导作用.

- [1] <http://public.itrs.net>, International technology roadmap for semiconductors 2007 edition.
- [2] Sylvester D, Keutzer K 1999 *Proc. of Int. Symp. on Physical Design* p193
- [3] El-Moursy M A, Friedman E G 2007 *Integration the VLSI Journal* **40** 461
- [4] El-Moursy M A, Friedman E G 2005 *Integration the VLSI Journal* **38** 205
- [5] Karami M A, Afzali-kusha A 2006 *Int. Conf. on Microelectronics* p99
- [6] Ismail Y I, Friedman E G 2000 *IEEE Trans. on VLSI Systems* **8** 195
- [7] Banerjee K, Mehrotra A 2002 *IEEE Trans. on Electron Devices* **49** 2001
- [8] Alpert C J, Devgan A, Fishburn J P 2001 *IEEE Trans. Computer-Aided Design Integrated Circuits and Systems* **20** 90
- [9] El-Moursy M A 2003 13th *ACM Great Lakes Symp. on VLSI* p27
- [10] Tang M, Mao J F 2008 *Int. Conf. on Microwave and Millimeter Wave Technology* **2** 479
- [11] Hasani F, Masoumi N 2008 3th *Int. Conf. on Design and technology of Integrated Systems in Nanoscale Era* p1
- [12] Zhu Z M, Qian L B, Yang Y T 2009 *Chin. Phys. B* **18** 1188
- [13] Li X, Wang J M, Tang W Q 2009 *Acta Phys. Sin.* **58** 3603 (in Chinese) [李 鑫、Janet M Wang、唐卫清 2009 物理学报 **58** 3603]
- [14] Zhu Z M, Qian L B, Yang Y T 2009 *Acta Phys. Sin.* **58** 2631 (in Chinese) [朱樟明、钱利波、杨银堂 2009 物理学报 **58** 2631]
- [15] Wang J P, Hao Y 2009 *Acta Phys. Sin.* **58** 4267 (in Chinese) [王俊平、郝 跃 2009 物理学报 **58** 4267]
- [16] <http://www.eas.asu.edu/~ptm/>

A novel nanometer CMOS interconnect optimal model with target delay and bandwidth constraint^{*}

Zhu Zhang-Ming[†] Hao Bao-Tian Li Ru Yang Yin-Tang

(Institute of Microelectronics, Xidian University, Xi'an 710071, China)

(Received 12 May 2009; revised manuscript received 2 July 2009)

Abstract

Optimization of interconnect power and repeater area is an important issue in the design of nanometer CMOS ICs. Based on RLC delay model, the paper proposes a new optimal model to minimize power and area overhead with constraints of target delay and target bandwidth. The proposed model is verified at 90 nm, 65 nm and 45 nm CMOS technology. Experimental result shows that the proposed model can save an average power consumption of 46% and 61% and can save an average area of 65% and 83% at the expense of 1/3 and 1/2 bandwidth, respectively. The proposed optimal model can be used in computer-aided design for nanometer CMOS system-on-chip.

Keywords: nanometer interconnect power, repeater area, time delay, bandwidth

PACC: 6630Q, 6185, 8160C

^{*} Project supported by the National Natural Science Foundation of China (Grant Nos. 60725415, 60971066), the National High Technology Research and Development Program of China (Grant Nos. 2009AA01Z258, 2009AA01Z260).

[†] Corresponding author. E-mail: zmyh@263.net