

源、漏到栅距离对次亚微米 ggNMOS ESD 保护电路鲁棒性的影响*

张 冰[†] 柴常春 杨银堂

(西安电子科技大学微电子学院, 宽禁带半导体材料与器件教育部重点实验室, 西安 710071)

(2010 年 3 月 3 日收到; 2010 年 4 月 6 日收到修改稿)

基于对静电放电 (electrostatic discharge, ESD) 应力下高电压、大电流特性的研究, 本文通过优化晶格自加热漂移-扩散模型和热力学模型, 并应用优化模型建立了全新的 0.6 μm CSMC 6S06DPDM-CT02 CMOS 工艺下栅接地 NMOS (gate grounded NMOS, ggNMOS) ESD 保护电路 3D 模型, 对所建模型中漏接触孔到栅距离 (drain contact to gate spacing, DCGS) 与源接触孔到栅距离 (source contact to gate spacing, SCGS) 对保护电路鲁棒性指标——开启电压、击穿电压、自热峰值等参数的影响进行了系统研究. 仿真结果表明, DCGS 和 SCGS 的改变对保护电路的开启电压和热平衡没有影响, 而 DCGS 比起 SCGS 对保护电路的击穿电压和器件的自热峰值敏感度更高, 但持续增大 DCGS 和 SCGS 并不能单调提升保护电路的击穿电压值以及降低器件的自热峰值, 因此不宜单一通过增大 DCGS 和 SCGS 的方式来改善 ESD 保护电路的鲁棒性. 仿真结果与 0.5 μm 和 0.6 μm CMOS 工艺流片的传输线脉冲 (transmission line pulse, TLP) 测试结果对比显示, 本文建立模型的仿真结果较好地反映了保护电路在 ESD 条件下的电、热特性趋势, 其结论与测试结果符合. 本文的研究结果为次亚微米 ggNMOS ESD 保护电路版图设计中的参数选取提供了依据.

关键词: 栅接地 NMOS, 静电放电, 漏接触孔到栅的距离, 源接触孔到栅的距离

PACC: 7220, 7340C, 7750, 8160C

1. 引 言

随着 CMOS IC 集成度的不断提高, MOS 器件承受高电压和大电流的能力不断下降, 从而对其静电放电 (electrostatic discharge, ESD) 保护电路设计提出了更高的要求, 由于与栅极有关的 MOSFET 源、漏接触布局会影响源、漏接触靠近栅侧前端边缘附近的电流分布^[1,2], 使得 MOSFET 源、漏接触孔与栅的相对位置进一步影响到 ESD 保护电路的鲁棒性, 因此相关尺寸的设计并不能采用常规 MOSFET 器件的设计规则, 换言之, 对 ESD 保护电路版图布局有着不同于常规器件设计的特殊要求. 鉴于此, 现阶段 ESD 设计主要分为两种方式进行: 一种是为了降低设计成本和缩短研发周期, 进行仿真模型优化的设计方法, 并以此来评估所设计电路的鲁棒性; 另一种则是以获得保护电路鲁棒性指标为目标的

设计方法, 通过版图设计-流片-传输线脉冲 (transmission line pulse, TLP) 测试-版图修改-再流片-TLP 再测试验证, 最终达到设计目标. 虽然上述方法具有明确的针对性, 但设计者通常是在缺少定量分析的指导下, 依靠经验或现有技术来设计和制定版图参数, 尤其是版图中漏接触孔到栅距离 (drain contact to gate spacing, DCGS) 与源接触孔到栅距离 (source contact to gate spacing, SCGS), 设计者惯用增大其数值的方式以达到改善 ESD 保护电路鲁棒性的目的, 并将这一设计方法作为 ESD 保护电路版图参数设计的“规则”^[3,4], 因而使得 ESD 保护电路版图参数的设计在科学性、定量化和客观性等方面有所欠缺.

本文首先给出了应用镜像极值法推导得到的 DCGS 和 SCGS 与保护电路自热峰值关系, 并指出现有理论存在的不足, 然后根据 ESD 条件下高电压、大电流对器件内部电、热特性的影响, 优化晶格自加热漂移-扩散模型和热力学模型, 并利用上述模型

* 国家自然科学基金 (批准号: 60776034) 资助的课题.

[†] E-mail: zbplus@hotmail.com

对 ISE-TCAD 仿真软件建立的 $0.6 \mu\text{m}$ CSMC 6S06DPDM-CT02 CMOS 工艺下栅接地 NMOS (gate grounded NMOS, ggNMOS) 保护电路 3D 物理结构模型进行了系统仿真, 通过与 0.5 和 $0.6 \mu\text{m}$ CMOS 工艺流片的 TLP 测试数据对比, 验证了所建模型和仿真结果的正确性.

2. DCGS 和 SCGS 与器件自热峰值的关系

图 1 给出了 MOSFET 版图俯视图, MOS 结构中的 DCGS 和 SCGS 会影响其源极和漏极结中的电流均匀性^[5,6]. 对于 silicided 工艺条件下的 MOSFET, 电流通过金属硅化物从物理接触孔流向 MOSFET 的整个源、漏区域. 通过对源、漏区中电流密度的计算, 可以了解 MOSFET 结构中源、漏端的电流分布. 利用镜像极值法推导得到的源、漏接触孔到 MOSFET 栅极距离与器件自热峰值的关系为^[7]

$$|\mathbf{J}(x, y = 0) \cdot \mathbf{E}(x, y = 0)| = \frac{\sigma V_0^2}{R^2(k^2 - 1)\ln^2(k + \sqrt{k^2 - 1})}, \quad (1)$$

其中, 变量 $k = (d + R)/R$, R 为接触孔半径, σ 为硅的电导率, V_0 为接触孔到栅边缘的电势差. 需要说明的是, 利用镜像极值法推导时, 源、漏接触孔形状等效为圆形, 虽然与实际版图中的方形接触孔存在差别, 但作者的仿真结果表明, 接触孔形状的变化不会带来保护电路器件特性的改变, 仅仅由于集边效应的影响, 使得采用圆形接触孔的保护电路二次

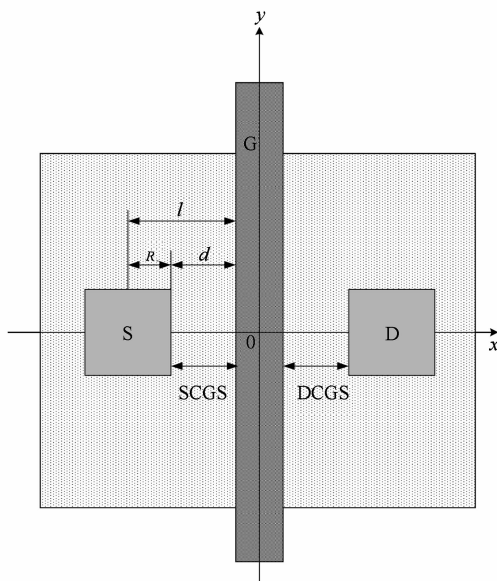


图 1 MOSFET 版图示意图

击穿电压值较高, 因此, (1) 式的结论同样适用于采用方形接触孔的 ggNMOS. (1) 式表明, 镜像极值法中, MOSFET 的自热峰值与其物理接触孔的尺寸和接触孔到栅极之间的距离有关. 图 2 给出了源和漏接触孔孔径 R , 接触孔到栅距离 d 与器件自热峰值三元函数的关系趋势图, 当 R 为定值时, 器件自热峰值随着 DCGS 和 SCGS 的增加而单调递减. 结合 (1) 式和图 2 可见, 虽然持续增大 DCGS 与 SCGC 能够减小器件的自热, 但由于 (1) 式在利用镜像极值法推导时, 将 ggNMOS 源、漏两端完全对等, 忽略了源、漏端不同的电特性, 因此 (1) 式并不足以真实反映 DCGS 和 SCGS 变化对保护电路鲁棒性的影响规律.

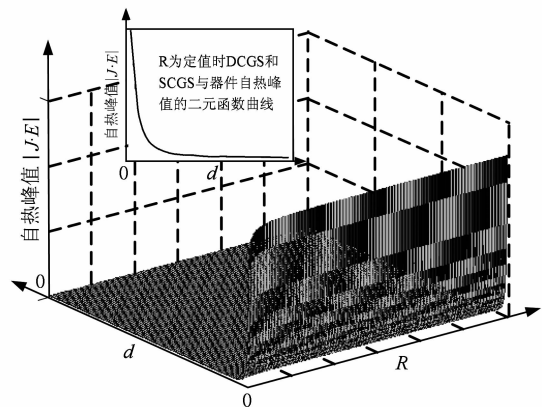


图 2 源漏接触孔孔径-接触孔到栅距离-器件自热峰值三元函数趋势图

3. 仿真分析与 TLP 测试

3.1. 基于 ISE-TCAD 的 ggNMOS 保护电路 ESD 建模

在 ESD 现象的器件仿真中, 在保证收敛的前提下, 将合理描述该现象的算法和模型加入到求解方程中, 并根据实际应用环境设定合理的边界条件, 以此获得 ESD 行为的趋势并加以分析讨论.

首先根据 CSMC 6S06DPDM-CT02 CMOS 工艺规则, 利用 ISE-TCAD 的 mdraw 模块设计出 ggNMOS 器件二维物理结构模型, 并通过 DIP 模块将器件二维结构生成三维结构. 图 3 是 3D ggNMOS 仿真结构剖面图, 其中器件的沟道长度为 $0.6 \mu\text{m}$, 沟道宽度为 $50 \mu\text{m}$, 接触孔表面到衬底的距离为 $4 \mu\text{m}$, 正方形的源、漏接触孔边长为 $0.8 \mu\text{m}$, DCGS 和 SCGS 分

别设定为 3, 4, 5, 6 μm .

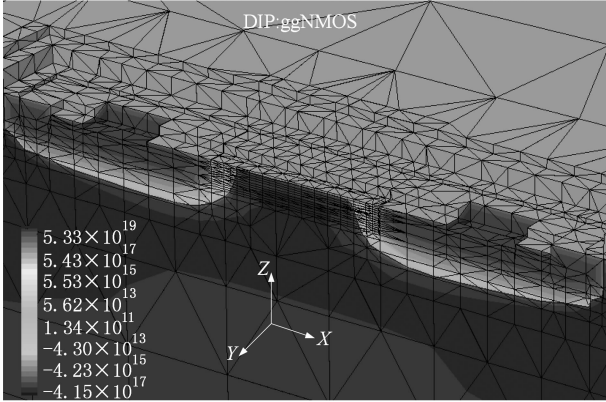


图 3 3D ggNMOS 仿真结构剖面图

ISE-TCAD 可以对器件的势场和载流子的二维、三维分布进行建模与分析,通过 dennis 模块的漂移-扩散模型求解泊松方程和载流子连续性方程,从而得到特定偏置下器件的电学特性. ESD 现象中高电压、大电流特性决定了只有当充分考虑半导体器件结构中的电、热效应,模拟器才能较为准确的模拟其特性^[8]. dennis 模块中的热力学模型是在漂移-扩散模型的基础上,考虑晶格温度的影响,联立求解晶格热方程、泊松方程以及载流子连续性方程,因此能较准确地模拟电流较大、偏置电压较高以及可能发生自热时的器件特性. 当晶格温度上升时,载流子迁移率、产生-复合率等模型会受到影响,因此加入该模型有助于提高模拟的精确度. 对漂移-扩散模型中电子和空穴电流密度,热力学模型中因温差产生的电流增益为^[1]

$$\mathbf{J}_n = -nq\mu_n(\nabla\phi_n + P_n\nabla T), \quad (2)$$

$$\mathbf{J}_p = -pq\mu_p(\nabla\phi_p + P_p\nabla T), \quad (3)$$

其中, q 为电子电荷, n 和 p 分别为电子和空穴浓度, μ_n 和 μ_p 分别为电子和空穴迁移率, ϕ_n 和 ϕ_p 为电子和空穴的准费米能级, P_n 和 P_p 分别表示电子和空穴的绝对热电功率,为了修正由自热导致的器件内部温度扩散对 dennis 热力学模型的影响,需要计算以下方程^[8]:

$$\begin{aligned} & c \frac{\partial T}{\partial t} - \nabla \cdot k \nabla T \\ &= -\nabla \cdot [(P_n T + \phi_n) \mathbf{J}_n + (P_p T + \phi_p) \mathbf{J}_p] \\ & \quad - \left(E_C + \frac{3}{2} k_B T \right) \nabla \cdot \mathbf{J}_n - \left(E_V + \frac{3}{2} k_B T \right) \nabla \cdot \mathbf{J}_p \\ & \quad + qR(E_C - E_V + 3k_B T), \end{aligned} \quad (4)$$

其中, k 为热导率, c 为晶格热容, E_C 和 E_V 分别为导

带底能量和价带顶能量, R 为复合率, k_B 为 Boltzmann 常数.

为了配合泊松方程、连续性方程和晶格温度方程的求解,并能够更精确的描述 ESD 现象的本质特征,本文加载了用 Caughey-Thomas 经验迁移率模型表征的高电场迁移率模型^[9],其零偏时电子和空穴的迁移率 μ_{0n} 和 μ_{0p} 为

$$\begin{aligned} \mu_{0n,0p} &= \mu_{n,p}^{\min} \\ & \quad + \frac{\mu_{n,p}^L - \mu_{n,p}^{\min}}{1 + [(T/300)^{-3.8} / N/N_{\text{ref}}]^{\beta_{n,p}}}, \end{aligned} \quad (5)$$

其中, $\mu_{n,p}^L$ 是与 T 相关的晶格迁移率, $\mu_{n,p}^{\min}$ 与电离杂质散射有关, N 是所仿真区域总杂质浓度, N_{ref} 是常数(结合工艺 $N_{\text{ref}} = 3.1 \times 10^{20}$), $\beta_{n,p}$ 为经验常数(结合工艺 $\beta_n = 0.5, \beta_p = 0.7$).

3.2. DCGS 和 SCGS 变化对 ggNMOS 漏端 $I-V$ 特性的影响

利用上述优化的模型,对 ESD 应力下不同 DCGS 和 SCGS 的 ggNMOS 漏端 $I-V$ 特性进行了仿真,不同 DCGS 的 ggNMOS 漏端 $I-V$ 特性仿真结果如图 4 所示,由图可见 DCGS 变化并没有改变 ggNMOS 保护电路的开启电压,而保护电路自偏置导通区的 $I-V$ 曲线斜率表明,四种 DCGS 下的 ggNMOS 具有不同的导通电阻,斜率越大其导通电阻阻值越小. 图 4 中明显看出,在相同 ESD 条件下,具有 5 和 6 μm DCGS 的 ggNMOS,在内部电压接近 9 V 时已发生二次击穿,这是由于泄放过程中栅、漏间导通电阻较大,热损伤较严重,同时当 ggNMOS 漏端电压在不断增大过程中,栅、漏交叠区会产生空穴位移电流而对栅氧化层电容进行充电,从而在交叠区内产生一个强电场,较大的 DCGS 就更有可能引发碰撞电离效应,因此该电场对漏、衬结的雪崩击穿具有很强的促进作用^[10,11].

不同 SCGS 的 ggNMOS 漏端 $I-V$ 特性仿真结果如图 5 所示. 对比图 4 和图 5 可见,与 DCGS 变化相比,SCGS 的变化对 ggNMOS 的 $I-V$ 特性影响较小,且对开启电压值没有影响,保护电路自偏置导通区的 $I-V$ 特性也仅仅由于 SCGS 的增大,引发导通电阻的增加,但并没有影响 ggNMOS 的二次击穿值,这是因为通常 ggNMOS 在泄放 ESD 脉冲时有两条电流通路:1) 漏引起的势垒降低 (drain induction barrier lower, DIBL) 效应所产生的电流通路;2) 寄生的 BJT 导通后形成的电流通路. 在栅压为 0 时,体内源、漏

间的势垒低于表面,此时 DIBL 电流注入多发生在体内,注入电子在体内流动,最后流入漏区,形成体内 DIBL 电流通路.但是在 ESD 应力条件下,当漏端的漏、衬结高电场发生雪崩倍增时,产生的空穴被衬底收集产生衬底电流,此时在空穴电流、DIBL 电流的共同作用下,源、衬结靠近沟道部分正向导通,直至保护电路进入 snapback 区,此时 BJT 完全依赖于自偏置导通而工作,不需要漏端的雪崩击穿电流,衬底电流开始减小并最终稳定在一个值,因而 DCGS 较 SCGS 对保护电路的击穿电压敏感度更高.

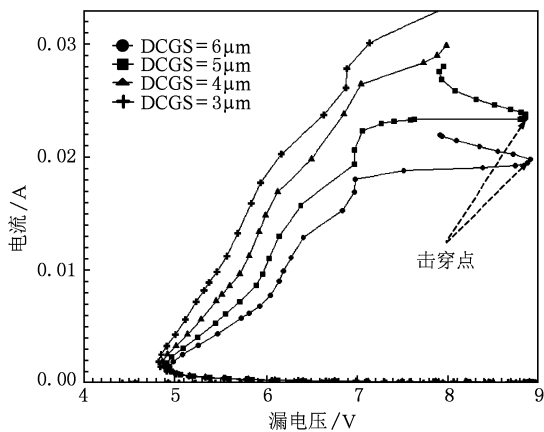


图 4 不同 DCGS 的 ggNMOS 漏端 I-V 特性仿真曲线

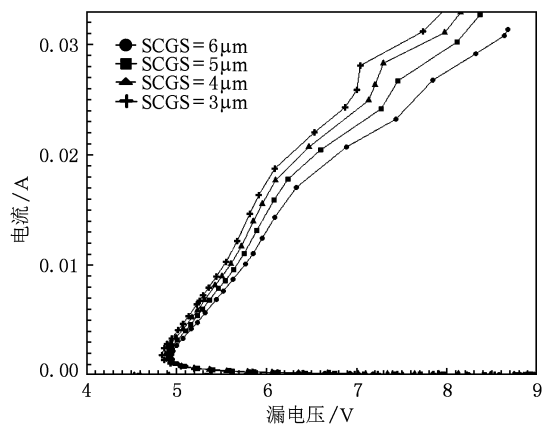


图 5 不同 SCGS 的 ggNMOS 漏端 I-V 特性仿真曲线

3.3. DCGS 和 SCGS 变化对 ggNMOS 晶格自热的影响

图 6 是不同 DCGS 条件下 ggNMOS 漏端电压与晶格温度关系的仿真结果.当 ggNMOS 工作在自偏置导通区时,相同的电应力条件下较大的 DCGS 使其晶格内部自热较小,这是由于在器件的源、漏接

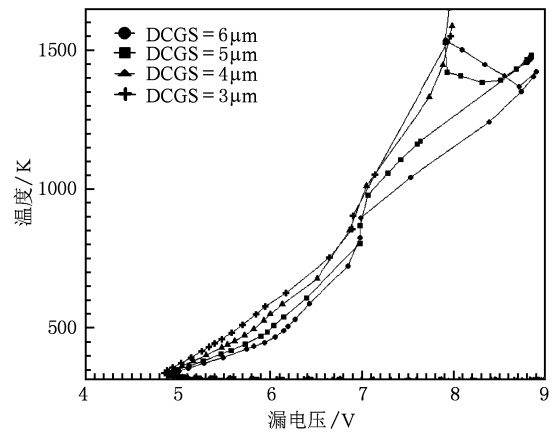


图 6 不同 DCGS 下 ggNMOS 漏端电压与晶格温度关系曲线

触区内,扩散区的电压降会使电流在接触点的前端(靠近栅侧)附近集中,导致接触孔上发生电流集中效应,即接触电阻的存在使得接触区电流在接触点的前端附近集中,形成热源点^[12,13].同样在 ESD 电流通过保护电路时,漏端靠近栅侧扩散区边缘也会因为形成电流集边效应而产生热源点^[14],因此 DCGS 的增加可以增大这两个热源点的距离,其自热峰值也就相应减小.但结合图 4 可见,在器件内部电压接近 9 V 时,5 和 6 μm DCGS 的 ggNMOS 已经击穿,这是由于 DCGS 的增加等同于漏端串联电阻长度的增加,虽然较大的串联电阻能更好的对 ESD 电流进行镇流,但较大的漏端串联电阻又会增加 ESD 电流泄放通路的电阻,使泄放过程中的热损伤更为严重,这反而降低了 ESD 保护电路的性能,甚至因其内部温度瞬间升高到硅的熔点而使保护电路失效.

不同 SCGS 条件下 ggNMOS 漏端电压与晶格温度关系的仿真曲线如图 7 所示.由图 7 可见,不同

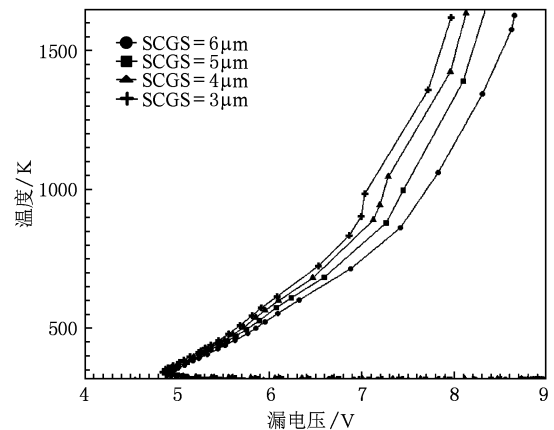


图 7 不同 SCGS 下 ggNMOS 漏端电压与晶格温度关系曲线

SCGS 对保护电路内部晶格温度带来的影响并不明显,结合图 5 中的曲线,SCGS 的增大也没有明显改变 ggNMOS 漏端的电特性,这是由于 ggNMOS 保护电路的泄放通路并不经过源区,而是直接由寄生 NPN 晶体管将 ESD 电流泄放到衬底端^[15,16].

3.4. 人体模型 (human body model, HBM) 条件下 DCGS 和 SCGS 变化对 ggNMOS 热平衡的影响

使用 ISE-TCAD 的 dssis 模块,仿真 MIL-STD 883 Method 3015.7 标准下 5KV ESD 电压放电过程. 在 HBM 下,不同 DCGS 值时的 ggNMOS 漏、栅交叠区热平衡仿真曲线如图 8 所示. DCGS 在 3,4 和 5 μm 时器件都在 $3e^{-08}$ s 左右达到晶格最高温度,这是由于从漏端来看,考虑到 BJT 瞬态开启时漏、衬结电容的延迟效应,以及漏、栅交叠区寄生电容的影响,DCGS 的增大对交叠区寄生电容的变化影响较小,使得电容放电时间相对变化不大. 但在相同 5KV ESD 应力条件下,DCGS 为 6 μm 的保护电路其内部晶格最高温度几乎达到硅的熔点 1693 K,这将导致栅氧化层提前失效或发生热击穿^[17],所以可以判定此时 DCGS 为 6 μm 的保护电路已经失效,由此可见,并非持续增大 DCGS 就可以达到改变保护电路热平衡的目的.

图 9 是 HBM 下不同 SCGS 时的 ggNMOS 漏、栅交叠区热平衡仿真曲线,值得指出的是,图 8 与图 9 纵坐标范围并不相同,和图 8 相比由图 9 可以看出,SCGS 的变化对保护电路热平衡影响并不明显,这是由 ggNMOS 保护电路中源端特殊的电特性所决定的,ggNMOS 结构中源端与栅端均接地,使得源、栅交叠区寄生电容充放电效应不明显,且 SCGS 的改

变对其寄生电容的影响较小,因此在泄放 ESD 脉冲时,SCGS 的改变对保护电路热平衡影响不大. 综合分析图 8 与图 9 的仿真结果可以得到,SCGS 与 DCGS 对保护电路热平衡的影响均较小.

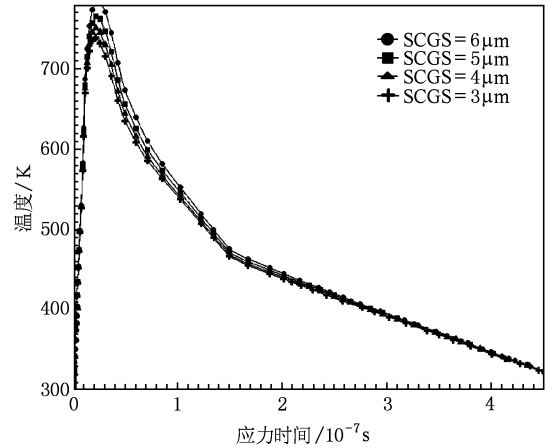


图 9 HBM 下不同 SCGS 值的 ggNMOS 热平衡曲线

3.5. 仿真结果与 TLP 测试数据对比

文献[18]报道了沟道长度为 0.5 μm ,沟道宽度为 50 μm 的 ggNMOS 保护电路芯片中,针对不同 DCGS 和 SCGS 得到的 TLP 测试结果,如图 10 和图 11 所示. 图 10 表明 DCGS 的变化对 ggNMOS 开启电压没有影响,器件二次击穿点随着 DCGS 的增加而提高,DCGS 到达一定值(5 μm)后,二次击穿电压值随着 DCGS 的增加而减小;图 11 中 SCGS 的变化对 ggNMOS 开启电压和二次击穿点的影响均较小. 虽然被测试样品的工艺条件与本文建立的模型存在差别,但实际测试结果与趋势和本文通过 ISE-TCAD 仿真得到的结果相符合,表明本文结果对次

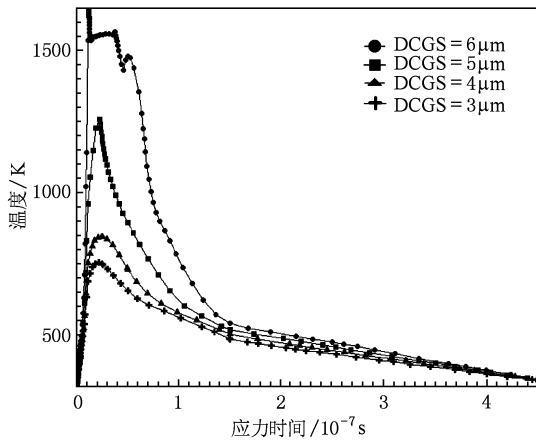


图 8 HBM 下不同 DCGS 值的 ggNMOS 热平衡曲线

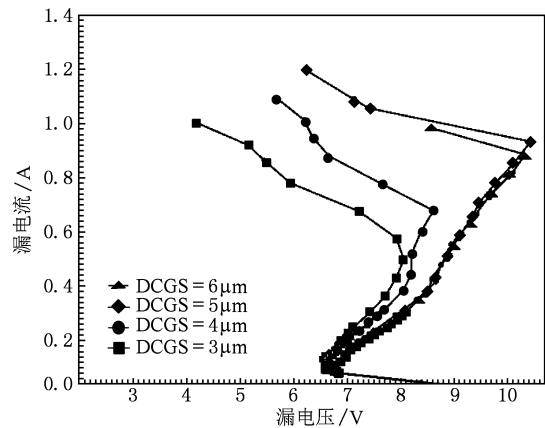


图 10 各 DCGS 下 ggNMOS TLP 测试曲线

亚微米 CMOS 工艺条件下的 ESD 保护电路版图参数的设计具有一定的参考性。

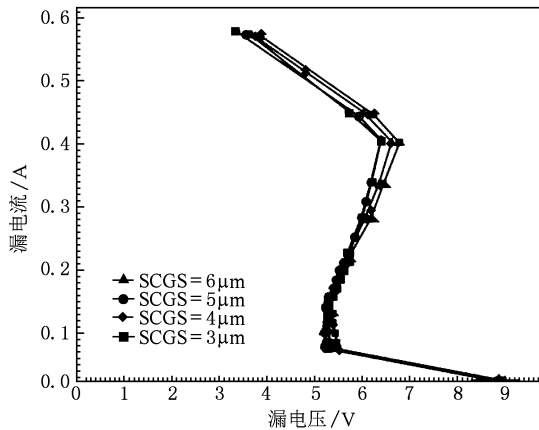


图 11 各 DCGS 下 ggNMOS TLP 测试曲线

为了得到 DCGS 对 ggNMOS 保护电路鲁棒性影响的规律,以及进一步验证本文建立的模型和方法的正确性,本文通过 $0.6 \mu\text{m}$ CSMC 6S06DPDM-CT02 CMOS p 阱工艺,制造了 DCGS 分别为 5 和 $6 \mu\text{m}$ 的两组 ggNMOS 保护电路芯片样品,其中两组保护电路的宽长比为 $50:0.6 \mu\text{m}$,SCGS 为 $1 \mu\text{m}$,图 12 示出了该 ggNMOS 保护电路的版图.流片后进行的 TLP 测试(测试中 TLP 测试仪电流最大值为 8 A ,漏电流达到 1 mA 时器件二次击穿^[19])结果如图 13 和图 14 所示(图中下端的横坐标为施加在器件上的电压,纵坐标为施加在器件上的电流,上端横坐标为漏电流大小,测试时 V_{DD} 接地).这两组 ggNMOS 保护电路已经分别应用于 HC132 芯片的 I/O 部分.

对比图 13 和图 14 可以明显看出,DCGS = $5 \mu\text{m}$

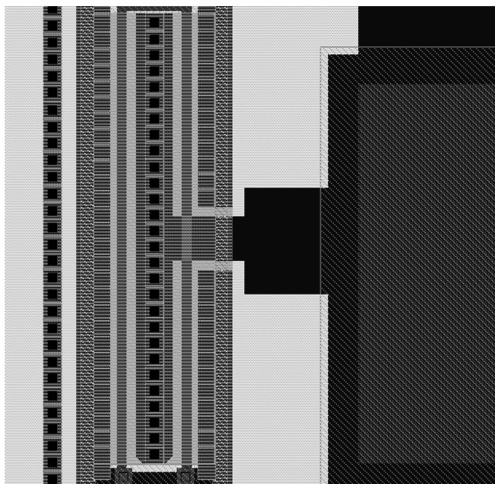


图 12 应用于 HC132 芯片输入端的 ggNMOS 保护电路版图

的器件导通电阻比 DCGS = $6 \mu\text{m}$ 更低,且抗 ESD 电压更高.综上所述,通过与不同工艺条件下次亚 μm ggNMOS 的芯片 TLP 测试结果对比,均表明本文建立的模型和仿真结果是正确的.

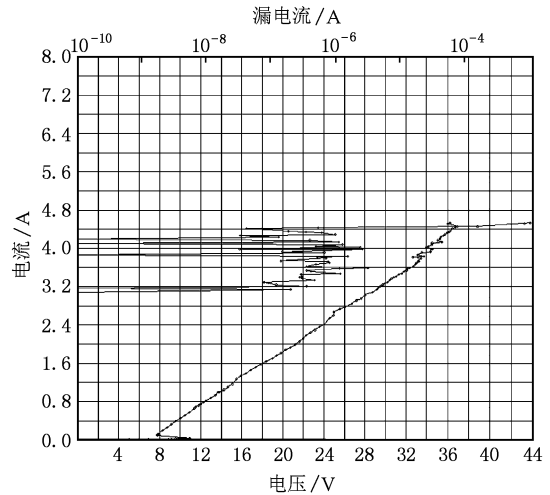


图 13 DCGS = $5 \mu\text{m}$ 的 ggNMOS TLP 曲线

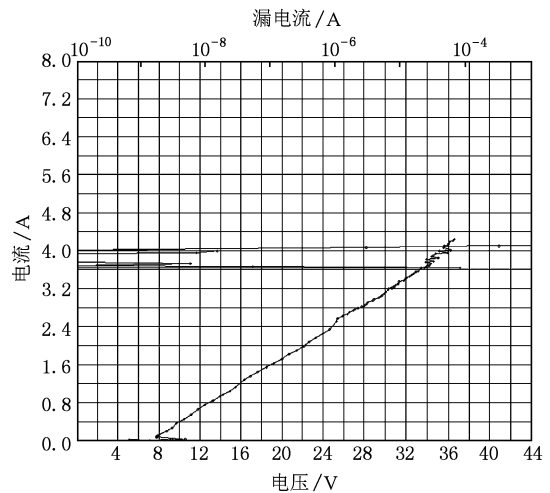


图 14 DCGS = $6 \mu\text{m}$ 的 ggNMOS TLP 曲线

4. 结 论

本文根据对 ggNMOS 保护电路在 ESD 条件下的电、热特性分析,建立了基于 $0.6 \mu\text{m}$ CSMC 6S06DPDM-CT02 CMOS 工艺条件下的 ggNMOS 保护电路 3D 优化模型,通过对此模型的仿真,得到了改变 DCGS 和 SCGS 对保护电路的电流、电压、自热以及热平衡等的影响规律.研究表明 DCGS 和 SCGS 的改变对保护电路开启电压和热平衡没有影响,持

续增大 DCGS 和 SCGS 并不能单调提升保护电路击穿电压值和降低器件自热峰值. 与 SCGS 相比, DCGS 对保护电路击穿电压和器件自热峰值影响更为显著, 单纯以增大 DCGS 和 SCGS 来改善 ESD 保护电路的鲁棒性也并不可取. 几种 ggNMOS 芯片的

TLP 测试结果证明了本文所建模型和仿真结果的正确性, 本文的研究工作不仅建立了一种能够反映保护电路在 ESD 条件下电、热特性趋势的优化模型, 其仿真结果也为次亚微米 ggNMOS ESD 保护电路版图设计中的参数选取提供了一定的参考依据.

- [1] Ameraskera A, Duvvury C 2002 *ESD in silicon integrated circuits* (2nd ed) (New York: John Wiley and Sons) p56
- [2] A B Ai M, Bai S, Hali M 2008 *Chin. Phys. B* **57** 1161
- [3] Fichtner W, Esmark K, Stadler W *Electron Devices Meeting IEDM* Washington, D. C., USA, Dec. 3—5, 2001 p14
- [4] Xie H L, Zhan R Y, Albert W 2004 *Proceedings of the Fifth IEEE International Caracas Conference on Device, Circuits and Systems* Punta Cana, Dominican Republic, Nov. 3—5, 2004 p61
- [5] Steven H V, Gross V 1993 *Proceedings of the Electrical Overstress/Electrostatic Discharge (EOS/ESD) Symposium* Lake Buena Vista, FL, USA, 1993 p251
- [6] Fang J P, Hao Y, Liu H X, Zhang J F, Zhu Z W 2006 *Acta Phys. Sin.* **55** 5878 (in Chinese) [方建平、郝跃、刘红侠、张金凤、朱志炜 2006 物理学报 **55** 5878]
- [7] Steven H V 2006 *ESD Circuits And Devices* (New York: John Wiley and Sons) p82
- [8] Integrated Systems Engineering Corp. 2005 *ISE-TCAD Dessis Simulation User's Manual* Zurich, Switzerland, 2005 p55
- [9] Selberher S 1984 *Analysis and Simulation of Semiconductor Device* (Berlin: Springer-Verlag) p72
- [10] Ma W, Hao Y 2003 *Chinese Journal of Semiconductors* **24** 892 (in Chinese) [马巍、郝跃 2003 半导体学报 **24** 892]
- [11] Duan X R, Tan C H, Wang Y G, Xu M Z 2005 *Acta Phys. Sin.* **54** 3884 (in Chinese) [段小蓉、谭长华、王彦刚、许铭真 2005 物理学报 **54** 3884]
- [12] Pimbley J M, Cumberbatch E, Hagan P S 1987 *IEEE Trans. Electron Device* p834
- [13] Varahramyan K, Verret E J 1996 *Solid-State Electronic* **39** 1601
- [14] Cao Y R, Hao Y, Liu H X, Ma X H, Zhu Z W 2007 *Acta Phys. Sin.* **56** 1075 (in Chinese) [曹艳荣、郝跃、刘红侠、马晓华、朱志炜 2007 物理学报 **56** 1075]
- [15] Russ C C, Mergens M P J, Verhagel K G 2001 *Proceedings of the Electrical Overstress/Electrostatic Discharge (EOS/ESD) Symposium Oregon*, Portland, Sept. 11—13, 2001 p22
- [16] Mergens M P, Russ C C, Armer J *Proceedings of the Electrical Overstress/Electrostatic Discharge (EOS/ESD) Symposium Oregon*, Portland, Sept. 11-13, 2001 p11
- [17] Jia R X, Liu H X, Luan S Z 2008 *Acta Phys. Sin.* **57** 2524 (in Chinese) [贾仁需、刘红侠、栾苏珍 2008 物理学报 **57** 2524]
- [18] Jiang Y X, Li J, Ran F 2009 *Chinese Journal of Semiconductors* **30** 084007 (in Chinese) [姜玉稀、李娇、冉峰 2009 半导体学报 **30** 084007]
- [19] Lee J C, Hoque M A 2000 *Proceedings of the Electrical Overstress/Electrostatic Discharge (EOS/ESD) Symposium Anaheim, USA*, Sept. 26—28, 2000 p97

Effect of distances from source or drain to the gate on the robustness of sub-micron ggNMOS ESD protection circuit^{*}

Zhang Bing[†] Chai Chang-Chun Yang Yin-Tang

(Key Laboratory of Ministry of Education for Wide Band-Gap Semiconductor Materials and Devices,
School of Microelectronics, Xidian University, Xi'an 710071, China)

(Received 3 March 2010; revised manuscript received 6 April 2010)

Abstract

In this paper, based on the research of the features about high voltage and high current under electrostatic discharge (ESD), the new 3D model of 0.6 μm gate-grounded NMOS (ggNMOS) ESD protection circuit with CSMC 6S06DPDM-CT02 CMOS technology have been derived from the optimization of lattice self-heating drift/diffusion model and its thermal model; systematic study about the effect of drain contact to gate spacing (DCGS) and the source contact to gate spacing (SCGS) on the relative protection circuit robustness index (turn-on voltage, breakdown voltage, self-heating peak, etc) have been done based on this model. The simulation results show that turn-on voltage and thermal balance are not influenced by the change of DCGS and SCGS, and compared to SCGS, DCGS is more sensitive to the breakdown voltage and the self-heating peak value of protection circuit. To improve the robustness of ESD protection circuit, it is not appropriate to monotonic increase the DCGS and SCGS for the reason that the breakdown voltage cannot be increased and the self-heating peak value of devices cannot be reduced by increasing DCGS and SCGS continuously. Compared to the TLP test results of 0.5 μm and 0.6 μm CMOS, a better reflection about the trend of electrical and heating features is derived from the simulation results, and the conclusions and test results are fully consistent. The reference for sub-micrometer ggNMOS ESD protection circuit layout parameter can be provided by the study.

Keywords: gate grounded NMOS (ggNMOS), electrostatic discharge (ESD), drain contact to gate spacing (DCGS), source contact to gate spacing (SCGS)

PACC: 7220, 7340C, 7750, 8160C

^{*} Project supported by the National Natural Science Foundation of China (Grant No. 60776034).

[†] E-mail: zbplus@hotmail.com