

基于梯度掺杂策略的碳纳米管场效应管性能优化*

周海亮[†] 池雅庆 张民选 方 粮

(国防科学技术大学计算机学院 PDL 重点实验室, 长沙 410073)

(2010 年 1 月 30 日收到; 2010 年 3 月 3 日收到修改稿)

双极性传输特性是制约碳纳米管场效应管(carbon nanotube field effect transistors, CNFETs)性能提高的一个重要因素. 为降低器件的双极性传输特性并获得较大的开关电流比, 提出了一种漏端梯度掺杂策略, 该策略不仅适合于类 MOS 碳纳米管场效应管(C-CNFETs), 同时也适合于隧穿碳纳米管场效应管(T-CNFETs). 基于非平衡格林函数的数值研究结果表明, 该策略不仅能有效降低器件的双极传输特性, 而且能将器件开关电流比提高数个数量级. 进一步研究发现, 该掺杂策略在这两类碳纳米管场效应管器件结构中的应用存在诸多差异: C-CNFETs 中可能发生的能级钉扎将削弱器件导通状态性能, 而 T-CNFETs 中无此现象; C-CNFETs 中源、漏两端均采用梯度掺杂能进一步提高器件性能, 而该策略并不适于 T-CNFETs; 梯度掺杂后的 T-CNFETs 器件性能受轻度掺杂区域宽度的影响较 C-CNFETs 更为显著. 同时, 该梯度掺杂策略会造成一定的面积开销, 因此在实际应用中应合理选取器件结构、掺杂浓度、掺杂区域宽度等参数, 以获得速度、功耗与面积之间的最佳折中.

关键词: 梯度掺杂, 带间隧穿, 双极性传输, 碳纳米管场效应管

PACC: 7335C, 7320D, 7115P

1. 引 言

碳纳米管场效应管具有较硅基 MOS 管更优越的器件性能^[1]及尺寸压缩前景^[2,3], 因而备受中外学者的广泛关注, 并被认为是极有可能成为构建未来纳电子系统的基元器件^[4]. 根据源/漏端构建方式的不同, 碳纳米管(carbon nano-tube, CNT)与源/漏电极之间的接触可分为欧姆接触^[5]和肖特基接触^[6]两种, 分别对应类 MOS 碳纳米管场效应管(C-CNFETs)与肖特基势垒碳纳米管场效应管(SB-CNFETs), 为了获得尽可能小的亚阈值斜率, 后来又出现了隧穿碳纳米管场效应管(T-CNFETs).

一般认为, C-CNFETs 具有较为理想的单极性传输特性, 而 SB-CNFETs 中肖特基势垒的存在将导致器件的双极性传输特性, 从而大大降低器件性能^[6]. 为此, 已有许多学者为消除 SB-CNFETs 的双极性传输特性展开了广泛而深入的研究. 文献[7]将制备好的 CNFETs 浸泡了 $(C_2H_5)_3O^+SbCl_6$ 稀释放液中对 CNT 做 p 型掺杂处理, 这不仅能有效调节器件的阈值电压、提高器件开关电流比 I_{ON}/I_{OFF} , 而

且能有效消除 SB-CNFETs 的双极性传输特性; 在文献[8]中, Lin 等人提出了重叠式双栅器件结构以消除 SB-CNFETs 的双极性传输特性; 文献[9]提出另一种平行式双栅结构以以获得单极性 SB-CNFETs.

事实上, 由于源/漏-沟道界面处可能发生的带间隧穿, C-CNFETs 也呈现出双极性传输特性. 为了减小 C-CNFETs 中的双极性传输特性以获得更优的器件性能, Hassaninia 等人提出了一种线性掺杂策略^[10], 但模拟结果表明该策略所获得的器件性能提高十分有限. 本研究小组在之前的研究中曾提出一种基于异质栅结构的碳纳米管场效应管器件设计方法^[11], 该方法能有效降低 C-CNFETs 的双极性传输特性从而极大提高器件开关电流比、减小器件静态功耗, 但该方法仅适合于 C-CNFETs, 且异质栅结构给工艺实现带来了较大的技术挑战.

T-CNFETs 呈现的双极性传输较 C-CNFETs 更为严峻, 严重影响其在低功耗领域中的应用. 为此 Pourfath 等人通过降低漏端掺杂浓度以降低器件双极性传输特性^[11], 但该设计方法并未考虑漏端接触电阻对器件性能的影响, 同时忽略了漏端轻度掺杂所带来的极大的面积开销.

* 国家高技术研究发展计划(批准号:2009AA01Z114)资助的课题.

[†] E-mail: zhouhailiang198481@gmail.com

为尽可能降低 C-CNFETs 中的双极性传输特性以获得较大的开关电流比,同时考虑轻度掺杂对器件面积开销所带来的影响,本文首先提出了一种梯度掺杂策略;研究发现,该策略不仅能有效降低 C-CNFETs 中的双极性传输特性,而且同样能作用于 T-CNFETs;进一步研究表明,该策略在这两类 CNFETs 器件结构中的应用呈现出诸多不同的特性.

2. 碳纳米管场效应管中的梯度掺杂策略

本文所提出的基于漏端梯度掺杂策略的 C-CNFETs 与 T-CNFETs 器件结构分别如图 1(a),(b) 所示. 为增大栅电极对沟道导电能力的控制,同时减小计算量,本文采用圆柱形器件结构. 近年来对该圆柱形结构制备技术的研究取得了突破性进展,IBM 公司已于 2008 年成功制备出圆柱形栅氧层与栅电极^[12].

在图 1(a)中,“i”所标注部分表示本征 CNT;其左端采用分子^[13]或金属离子^[14]n 型重掺杂处理后的 CNT 作为源端,其掺杂浓度用 ρ_1 表示,如图左端“N+”所标注矩形所示;为消除漏端-导电沟道界面处的带间隧穿,漏端左半部分采用轻度掺杂,掺杂浓度为 ρ_2 ,该区域用 D-light 表示,如图中“N”所标注矩形所示. 然而我们注意到,一方面漏电极接触电阻与接触界面两端材料功函数之差密切相关,因此,若漏端仅由 D-light 构成,必将改变其与临近器件接触界面处的肖特基势垒的高度,从而影响电流传输特性,另一方面 D-light 区域中的轻度掺杂将导致导电沟道-漏端接触界面处的耗尽区急剧增大,若漏端仅由 D-light 构成,为屏蔽栅电压在导电沟道-漏端方向所形成的电场,必须确保一定的 D-light 区域宽度,从而造成极大的面积开销. 因此,本文在 D-light 区域的右端设置一重掺杂区域,其掺杂浓度与源端相同,为 ρ_1 ,该区域用 D-heavy 表示,如图中右端“N+”所标注矩形所示. 为更形象描述 D-light 区域的“轻度”掺杂, ρ_1 与 ρ_2 之间的关系用 $\rho_2 = f \times \rho_1$ 表示,其中 f 为浓度因子. 重掺杂区、轻掺杂区、导电沟道的长度分别用 a, b, c 表示. 在本征 CNT 外,采用原子层沉积等方法生成栅电极,栅电极与碳纳米管由一层 2 nm 厚的栅氧层隔开.

碳纳米管的掺杂较为复杂,目前主要采用电化

学方法将气相^[15]或液相^[16]施主(或受主)注入在碳纳米管之间(多壁碳纳米管层与层之间)^[17],或在范德华力的作用下黏附在管壁的外侧^[18]或内侧^[19]. 碳纳米管的梯度掺杂可采用分步掺杂的方法来实现^[20],通过掩模技术,每次将碳纳米管的不同区域暴露给掺杂环境,从而实现梯度掺杂. 另外,随着背栅及埋栅技术的日渐成熟,通过给埋栅充电从而改变碳纳米管相应区域能带结构的电学掺杂方法也日渐成为科研与实际应用中的一种新的梯度掺杂处理方法^[8,21],该方法简洁方便,且能得到理想分布的掺杂结构,杜绝了非理想分布对器件性能的影响.

除源端采用 p 型掺杂且重、轻掺杂浓度分别为 ρ_3, ρ_4 外($\rho_4 = f \times \rho_3$),基于漏端梯度掺杂策略的 T-CNFETs 与基于漏端梯度掺杂策略的 C-CNFETs 具有相同的器件结构.

在传统碳纳米管场效应管设计中,为获得理想的开关电流比,C-CNFETs 中源、漏端掺杂浓度一般较大;而在 T-CNFETs 中,为了获得尽可能小的亚阈值斜率,源、漏端掺杂浓度的选取与碳纳米管直径密切相关^[22],其值往往较 C-CNFETs 中小. 本文中 ρ_1, ρ_3 的值分别为 $15 \times 10^8 \text{ m}^{-1}$ 与 $4 \times 10^8 \text{ m}^{-1}$ (通过调节反应温度、反应时间或埋栅电压等参数完全可以完成该掺杂浓度的实现^[23]). 同时,为比较研究梯度掺杂对 SDC-CNFETs 与 SDT-CNFETs 器件性能的

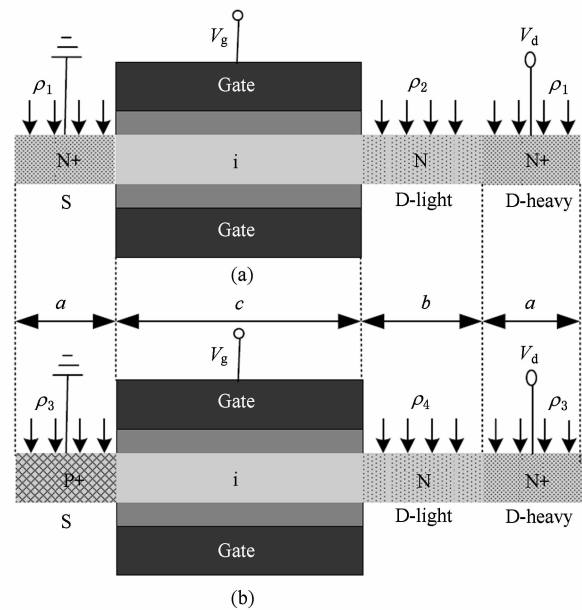


图 1 基于漏端梯度掺杂策略的器件结构示意图 (a) SDC-CNFETs 器件结构纵向剖面示意图; (b) SDT-CNFETs 器件结构纵向剖面示意图

影响,因此这两类器件结构取相同的浓度因子(即 f 值).

为便于描述,分别用 SDC-CNFETs 与 SDT-CNFETs 表示本文所提出的基于漏端梯度掺杂策略的 C-CNFETs 与 T-CNFETs 器件结构.同时,将基于传统均匀掺杂策略的 C-CNFETs 与 T-CNFETs 器件结构用 UDC-CNFETs 与 UDT-CNFETs 表示,将基于文献[10]所提出的线性掺杂策略的 C-CNFETs 与 T-CNFETs 器件结构用 LDC-CNFETs 与 LDT-CNFETs 表示.

3. 数值建模

为充分考虑电子隧穿、量子电容等量子现象^[24,25],本文采用非平衡格林函数方法(non-

equilibrium green's function, NEGF)对 CNFETs 建模^[26].NEGF 通过循环迭代求解薛定谔方程与泊松方程来模拟电子输运情况,为量子器件的建模提供了一种科学有效的方法,并已成为该领域公认的成熟的建模方法.

在基于 NEGF 所建立的 CNFET 数值模型中,行业内公认为较为成熟且被国内外学者广泛使用 Jing 研究小组所创建的“moscnt”以及 Fiori 等所创建的“NANOTCAD”^[27],两者均开源.大量对比研究表明,这两个模拟器能基本准确地反映 CNFET 中的电子输运情况^[28].如图 2 所示为“moscnt”模拟所得 CNFET 转移特性、输出特性与实验测试结果比较表明,模拟结果与实际情况基本符合.本文在所有研究均在“moscnt”模拟平台上进行,以确保模拟结果的准确性.

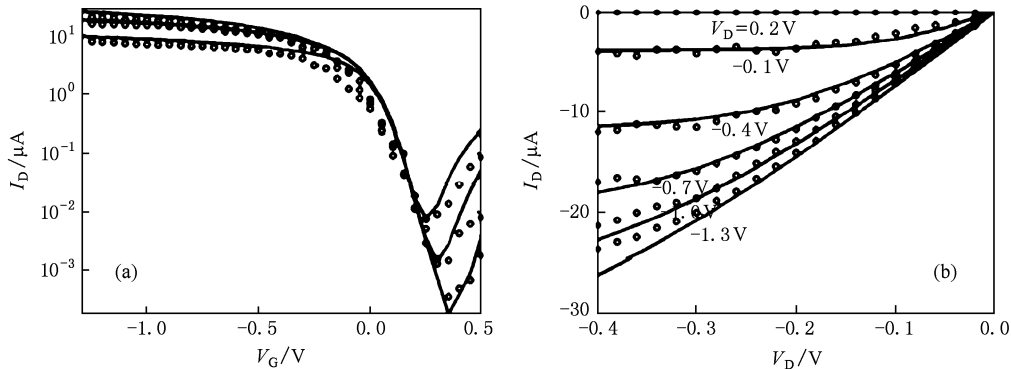


图2 moscnt 模拟结果与试验测试结果比较示意图(虚线表示试验测试结果,实线表示模拟结果,图引自文献[28]) (a) 转移特性; (b) 输出特性

4. 性能分析

当器件取图 3 注释所示参数值时,SDC-CNFETs 所对应的能带结构如图 3(a)所示,其中 E_c 、 E_v 分别表示第一级子能带的导带底与价带顶.

在 SDC-CNFETs 中,由于 D-light 区域采用轻度掺杂,其能带结构较 D-heavy 区域高,整个器件区域内的能带呈现出图 3(a)所示结构.当栅源偏置电压 V_g 较小时(如 -0.1 V),导电沟道的 E_v 高于 D-heavy 区域的 E_c ,若源漏端采用传统的均匀掺杂策略,漏端中的空穴将通过带间隧穿进入导电沟道并在其中堆积.导电沟道中堆积过多的空穴将降低源漏端热激发电子所面临的势垒高度,从而导致较大的关断电流与亚阈值斜率,这对器件在电路中的推广应用极为不利^[29].因此,为了防止载流子堆积导

致器件性能有较大下降,在器件设计时,往往使源漏偏置电压满足关系 $V_d \gg E_g/2$ ^[21].在本文中,碳纳米管的手性设定为 $(13,0)$,所对应的能隙宽度约 0.8 eV,因此,本文将 C-CNFETs 中的源漏偏置电压设定为 0.4 V.降低源漏偏置电压虽能有效减小导电沟道中载流子堆积对器件性能的影响,但随着栅电压的继续减小,导电沟道的 E_v 将高于 D-heavy 区域的 E_c ,于是在源漏端之间形成一条隧穿通道,从而导致如图 4(a)中圆圈曲线所示的双极性传输特性的发生.然而在 SDC-CNFETs 中,由于导电沟道的 E_v 低于 D-light 区域的 E_c ,导电沟道-D-light 界面处无载流子带间隧穿发生,而 D-heavy 区域中的空穴若想以带间隧穿的形式进入导电沟道需隧穿通过整个 D-light 区域,该势垒宽度为一个较大常量,由隧穿系数与势垒宽度的关系可知,该隧穿概率几乎为零.此时,源漏电流 I_d 主要由热激发电子传输构

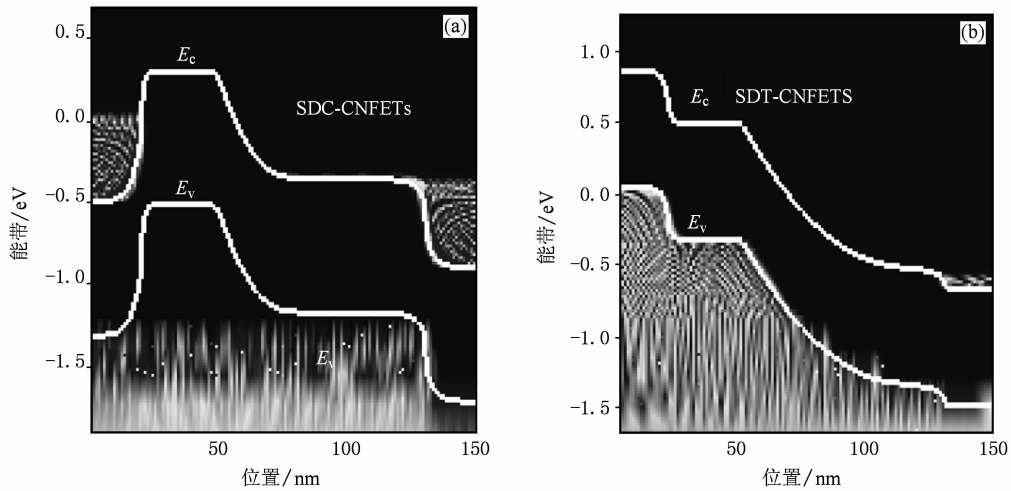


图3 能带结构对比示意图(其中 $f=0.02, a=20\text{ nm}, b=80\text{ nm}, c=30\text{ nm}$, 栅氧介电常数 $\epsilon=16$, 氧化层厚度 $t=2\text{ nm}$, CNT手性为 $(13,0)$) (a) $\rho_1=15\times 10^8\text{ m}^{-1}, V_d=0.4\text{ V}, V_g=-0.1\text{ V}$ 时 SDC-CNFETs 能带结构示意图;(b) $\rho_3=4\times 10^8\text{ m}^{-1}, V_d=0.6\text{ V}, V_g=-0.1\text{ V}$ 时 SDT-CNFETs 能带结构示意图

成,其值随 V_g 减小继续减小,如图4(a)中加号曲线右半部分所示;当 V_g 继续减小时,导电沟道所对应 E_v 将在栅电压的作用下超越源端(或\和 D-light 区域)所对应 E_c ,发生在导电沟道-源(漏)端界面处的带间隧穿将类似 C-CNFETs 中的双极性传输特性,如图4(a)中加号曲线左半部分所示,但其双极性传输特性明显较 C-CNFETs 弱.

比较图4(a)中的圆圈曲线、三角曲线与加号曲线可知,文献[10]所提出的线性掺杂策略虽然能在一定程度上改善 C-CNFETs 的双极性传输特性,但效果并不明显,在本文所设定参数条件下,器件开关电流比仅提高0.2个数量级;而本文所提出的基于梯度掺杂策略不仅能有效减弱器件的双极性传输特性,而且将器件开关电流比由原来的 1.23×10^7 增大到 4×10^9 ,从而可使关断电流所导致的静态功耗降低约2.5个数量级.

进一步研究表明,该漏端梯度掺杂策略同样适用于 T-CNFETs.

为获得理想的开关电流比及亚阈值斜率,隧穿碳纳米管场效应管中的源漏偏置条件与 CNT 手性、源漏掺杂浓度等密切相关^[30],在本文所选定的参数条件下,源漏偏置电压设为0.6 V 较为合适.当 SDT-CNFETs 选取图3 注释所示参数值时,其能带结构如图3(b)所示.与 C-CNFETs 中类似, D-light 区的存在有效抑制了导电沟道-漏端的带间隧穿电流,从而极大提高器件开关电流比、降低双极性传输特性.但由于 D-light 区的掺杂浓度较 SDT-

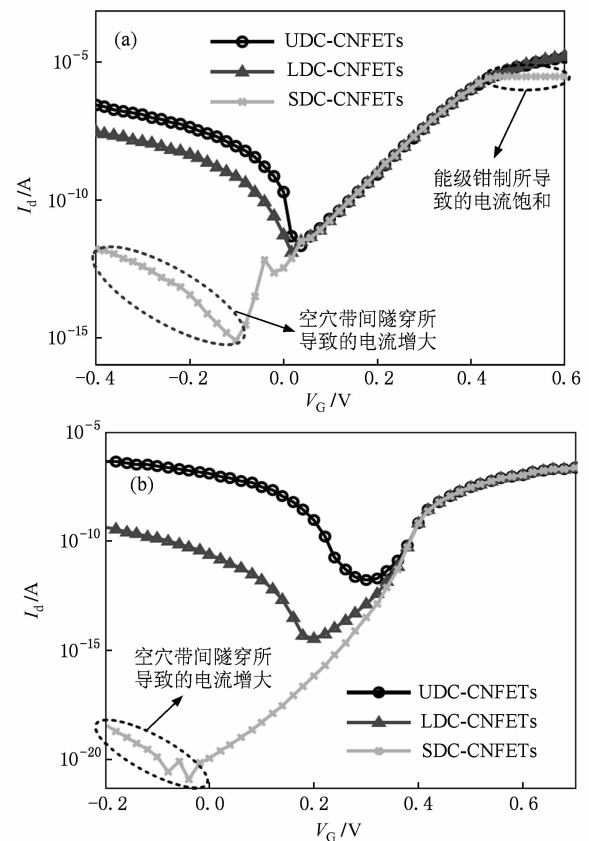


图4 漏端掺杂策略对转移特性的影响示意图 (a) $V_d=0.4\text{ V}$ 时 C-CNFETs 中不同漏端掺杂策略所对应的器件转移特性曲线;(b) $V_d=0.6\text{ V}$ 时 T-CNFETs 中不同漏端掺杂策略所对应的器件转移特性曲线

CNFETs 小, D-light-导电沟道界面处的耗尽区较大,在图3 注释所示偏执条件下,整个器件区域内的能

带呈现出图 3(b) 所示结构,漏端空穴带间隧穿进入导电通道所需穿越的势垒宽度不再为一常量,而是与偏执条件密切相关.

比较图 4(b) 中的圆圈曲线、三角曲线与加号曲线可知,与 C-CNFETs 中类似,文献[10]所提出的线性掺杂策略虽能在一定程度上改善 T-CNFETs 的双极性传输特性,但效果十分不明显;而本文所提出的基于梯度掺杂策略不仅能有效减弱器件的双极性传输特性,而且将器件开关电流比由原来的 1.6×10^5 增大到 2.14×10^{14} ,降低约 9.1 个数量级,其效果较 SDC-CNFETs 更好,从而更大降低器件的静态功耗.更重要的是该梯度掺杂策略能减小器件亚阈值斜率,这对于提高器件的性能十分有利:为了获得相同的开关电流比,较小的亚阈值斜率所需器件工作电压 V_{DD} 的值较小,由门延时的计算表达式 $\tau = C_g V_{DD}/I_d$ 可知,较小的亚阈值斜率能有效提高器件的工作频率;另一方面,动态功耗的计算表达式为 $P_{dyn} = C_L V_{DD}^2 f_{0 \rightarrow 1}$,其中 $f_{0 \rightarrow 1}$ 代表能量的翻转频率,其值由器件工作频率决定,因此该梯度掺杂策略所导致的较小的 V_{DD} 能极大降低器件动态功耗.同时, T-CNFETs 以较小的亚阈值斜率著称, $f_{0 \rightarrow 1}$ 值较大,因此 T-CNFETs 中动态功耗所占的比重明显较 C-CNFETs 及 SB-CNFETs 大,降低器件动态功耗对于降低器件的整体功耗意义更为显著.

5. 梯度掺杂策略在 T-CNFETs 与 C-CNFETs 中的比较研究

梯度掺杂策略虽然应用于 T-CNFETs 与 C-CNFETs 并取得明显的性能改善,但该策略在这两类 CNFETs 器件类型中的应用存在诸多差异,如上节所述,漏端梯度掺杂不仅能有效减弱 T-CNFETs 的双极性传输特性,而且能在一定程度上减小器件亚阈值斜率,而 SDC-CNFETs 并无此效果.除此之外,在器件性能、应用范围、参数选取等方面尚存在一定差异.

5.1. 能级钳制

如图 4(a) 中右上方椭圆标定区域所示,当 V_g 增大到一定程度时 I_d 出现“饱和”.为更好地了解该电流“饱和”的产生机理,将 $V_d = 0.6$ V, V_g 分别为 0.4 V 与 0.7 V 时 SDC-CNFETs 的能带结构与电子分布展示如图 5 所示,其中导电通道中的电子密度

即为传输载流子密度.

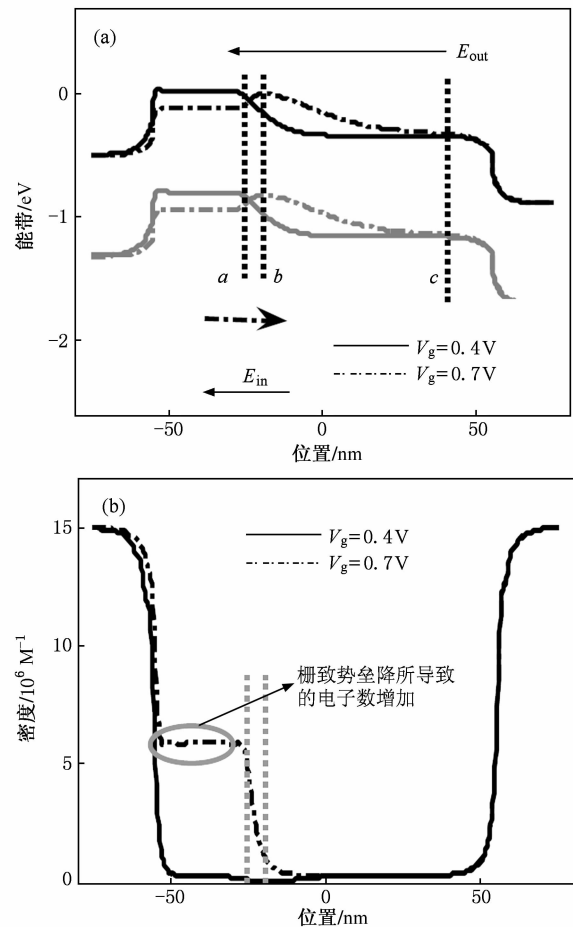


图 5 $V_d = 0.4$ V, 栅电压偏置电压分别为 0.4 V (实线) 与 0.7 V (虚线) 时 SDC-CNFETs 中能带结构及电子分布示意图 (a) 能带结构示意图,其中黑线表示导带底、灰线表示价带顶; (b) 电子分布示意图

当 V_g 较小时,如本例中的 0.4 V,导电通道能带结构所对应的势垒较高,源漏端热激发电子进入导电通道的概率较小,因此导电通道中的电子密度小于 D-light 区域的电子密度.此时,导电通道-D-light 等效于一 NN^+ 结, D-light 区中的电子在浓度梯度的作用下向导电通道中扩散,形成如图 5(a) 中下方实线箭头所示方向的内建电场 E_{in} ,同时导电通道中的电子在 E_{in} 的作用下向 D-light 区域中漂移,并最终与电子扩散达到平衡.在平衡情况下,图 5(a) 中虚线 a, b 之间形成一耗尽区,在该耗尽区内,电子的电势由左至右逐渐降低.同时该 NN^+ 结处于如图 5(a) 中上方实线箭头所示方向的外建电场 E_{out} 中,因此,整个器件的能带呈现出图 5(a) 实线所示结构.此时,源、漏端热激发电子所面临的势垒高度由导电通道的能带结构决定,而导电通道的能带结构随

栅电压变化而变化,因此,当 V_g 较小时 I_d 随 V_g 增大而增大。

当 V_g 较大时,如本例中的 0.7 V,导电沟道能带结构所形成的势垒较低,源、漏端电子进入导电沟道的概率增大,如图 5(b) 中椭圆所标定区域所示,导电沟道中的电子密度增大. 当导电沟道中的电子密度大于 D-light 区时,导电沟道-D-light 接触界面处的电子由导电沟道向 D-light 区扩散,所形成的内建电场 E_{in} 方向与 $V_g = 0.4$ V 时相反,如图 5(a) 虚线箭头所示. 在虚线 a, b 区域内电子的电势由左至右逐渐增大,但由于外建电场 E_{out} 的存在,在虚线 b, c 区域内由左至右逐渐减低,因此整个器件的能带呈现出图 5(a) 点划线所示结构. 此时,源、漏端热激发电子所面临的势垒高度由虚线 b 处能带结构决定,而该处能带结构基本不受栅电压的影响,即出现能级“钳制”. 相应地, I_d 随 V_g 的增大基本保持不变,出现电流饱和。

众所周知,器件的切换速度取决于对其输出电容的充放电速度,而该速度一方面取决于输出电容的大小,另一方面取决于导通电流的大小. 在 SDC-CNFETs 中,能级钳制所导致的电流饱和将使器件导通电流减小,从而影响器件切换速度,这在高频电路设计中是不可容忍的. 因此,为了防止较低 D-light 区域掺杂浓度所导致的电流过早饱和,SDC-CNFETs 中 D-light 区域的掺杂浓度不可过低。

而在 SDT-CNFETs 中,如图 6(b) 所示,导电沟道中的载流子密度远小于 SDC-CNFETs 中载流子密度,且小于 D-light 区域中的电子密度. 因此在所考虑的整个栅电压变化范围内,器件的能带结构均呈现出图 6(a) 所示形态,无类似 SDC-CNFETs 中能级钳制产生. 同时,T-CNFETs 中的电流主要来自载流子带间隧穿,而并非热激发电子,因此在 SDT-CNFETs 根本不可能出现类似于 SDC-CNFETs 的电流饱和现象。

5.2. 源端梯度掺杂的选取

漏端采用梯度掺杂策略虽能在一定程度上降低器件的双极性传输特性、提高器件开关电流比,然而,源端-导电沟道界面处可能发生的载流子带间隧穿又将导致双极性传输特性的产生,从而抑制器件开关电流比的进一步增大. 因此,为尽可能提高器件开关电流比,我们对 C-CNFETs 的源端也做梯度掺杂处理,如图 7(a) 所示,对应的器件结构用

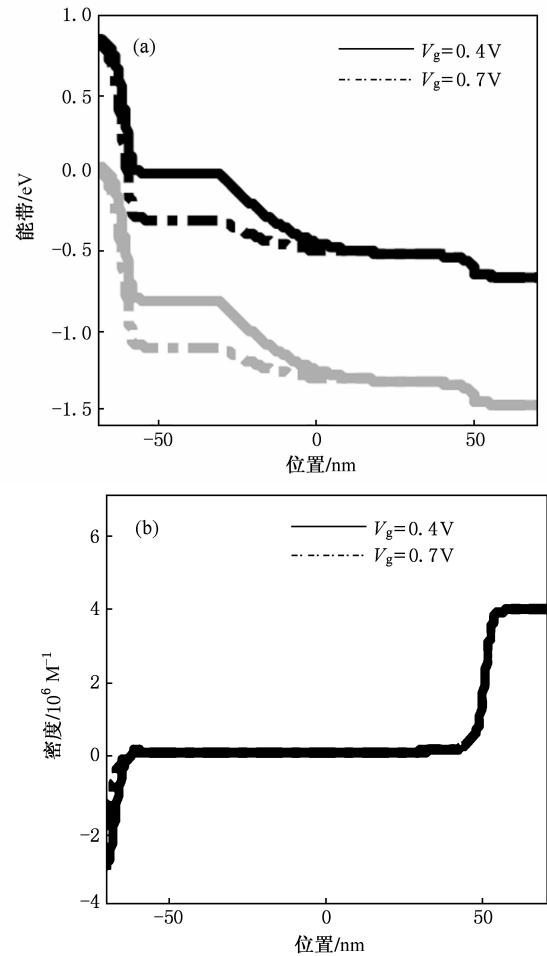


图6 $V_d = 0.6$ V,栅电压偏置电压分别为 0.4 V(实线)与 0.7 V(虚线)时 SDT-CNFETs 中电子分布及能带结构 (a) 能带结构示意图,其中黑线表示导带底、灰线表示价带顶;(b) 电子分布示意图

DSDC-CNFETs 表示. 图 7(b) 所示为 $V_d = 0.4$ V 偏置条件下 DSDC-CNFETs, SDC-CNFETs 与传统 C-CNFETs 所对应的转移特性曲线. 通过比较可知,在本文所考虑的栅极偏置范围内, DSDC-CNFETs 能获得理想的单极性传输特性,器件开关电流比由 SDC-CNFETs 的 4×10^9 进一步增大到 2.62×10^{14} ,器件关断电流较传统 C-CNFETs 降低了约 7.4 个数量级,较 SDC-CNFETs 降低了约 4.8 个数量级。

而 SDT-CNFETs 中的传输电流主要来自源端-导电沟道界面处的载流子带间隧穿,若对 SDT-CNFETs 的源端实现梯度掺杂,则拓宽后的耗尽区将极大影响传输载流子的隧穿率,降低器件导通状态性能,如图 7(c) 中的圆圈曲线所示,从而削弱器件驱动能力,降低器件切换速度。

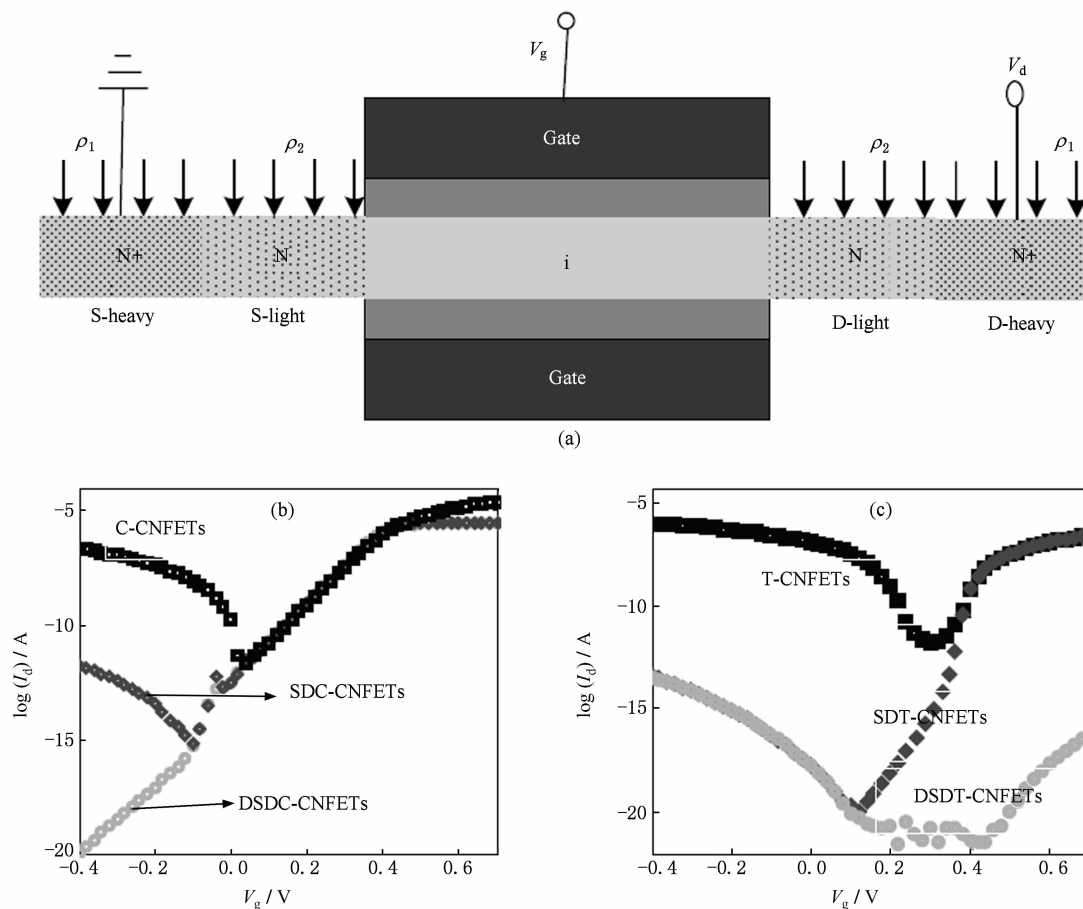


图7 DSDC-CNFETs 器件结构其对器件性能的影响 (a) DSDC-CNFETs 纵向剖面结构示意图; (b) C-CNFETs 中不同掺杂策略所对应的转移特性; (c) T-CNFETs 中不同掺杂策略所对应的转移特性

可见,源、漏两端梯度掺杂策略只适合 C-CNFETs,而不能在 T-CNFETs 中采用.同时我们需注意,梯度掺杂将增大工艺制备成本,同时增加器件面积开销,若在源漏两端均采取梯度掺杂策略,该影响更为显著.因此在实际应用中,应根据实际需求合理选择掺杂浓度、器件结构,以求在功耗、面积间取得最佳折中.

5.3. 轻掺杂区域宽度的影响

图8所示为 D-light 宽度对 SDT-CNFETs, SDT-CNFETs 器件性能的影响.在 SDT-CNFETs 中,为获得尽可能小的亚阈值斜率 D-heavy 区域的掺杂浓度较小,为有效消弱器件双极性传输特性, D-light 区域的掺杂浓度更小,因而导电沟道-D-light 接触界面

处的耗尽区较宽,导电沟道-D-light 接触界面处带间隧穿概率受 D-light 区域宽度的影响较为明显.如图8(a)所示,当 D-light 区域宽度由 20 nm 逐渐增大至 90 nm 时,开始时,器件的双极性传输特性逐渐减弱,开关电流比逐渐增大,但变化幅度逐渐随 b 的增大而逐渐减小,当 $b = 80$ nm 时,基本上不再有性能上的改善.而在 SDC-CNFETs 中,由于 D-light 区域掺杂浓度较 SDT-CNFETs 中要大,导电沟道-D-light 接触界面处耗尽区宽度较小.当 D-light 区域宽度达到 40 nm 后,器件电流传输能力基本上不再受 D-light 区域宽度增大的影响,如图8(b)所示.比较图8(a)与图8(b)可知,SDT-CNFETs 的电流传输特性更易受 D-light 区域宽度的影响.类似地,增大 D-light 区域宽度同时也将造成更大的面积开销.

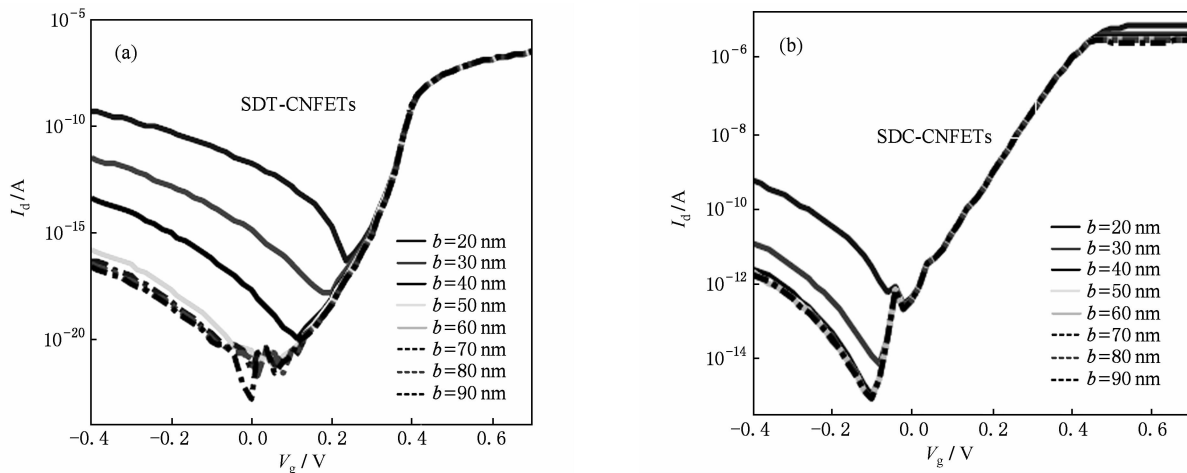


图8 D-light 区域宽度对器件转移特性的影响 (a) SDT-CNFETs 中不同 D-light 区域宽度所对应的转移特性; (b) SDC-CNFETs 中不同 D-light 区域宽度所对应的转移特性曲线

6. 结 论

本文提出的梯度掺杂策略能大大减小 C-CNFETs 与 T-CNFETs 的双极性传输特性、提高器件开关电流比。进一步研究发现,该策略在这两类碳纳米管场效应管器件结构中的应用存在诸多较大差异:首先,SDC-CNFETs 中的能级钳制将导致的电流过早饱和从而将影响器件切换速度,而 SDT-CNFETs 不受该现象的制约;其次,对 C-CNFETs 的

源、漏两端分别进行梯度掺杂能进一步提高器件性能,而对 T-CNFETs 的源、漏两端均采用该梯度掺杂策略将严重损坏器件性能;再次,SDT-CNFETs 器件性能对轻度掺杂区域宽度的依赖明显较 SDC-CNFETs 高。该梯度掺杂策略虽然能有效减小器件双极性传输特性、极大提高器件开关电流比,但会造成一定的面积开销。因此,在实际应用中,应根据实际需求合理选取器件结构(源端是否梯度掺杂)、轻度掺杂区域掺杂浓度、轻度掺杂区域宽度等,以获得速度、功耗、面积等性能参数之间的最佳折中。

- [1] Zhang Z X, Hou S M, Zhao X Y, Zhang J, Sun J P, Liu W M, Xue Z Q, Shi Z J, Gu Z N 2002 *Acta Phys. Sin.* **51** 434 (in Chinese) [张兆祥、侯士敏、赵兴钰、张浩、孙建平、刘惟敏、薛增泉、施祖进、顾镇南 2002 物理学报 **51** 434]
- [2] ITRS 2008 <http://public.itrs.net> [2007-10-16]
- [3] Tang N S, Yan X H, Ding J H 2004 *Acta Phys. Sin.* **53** 333 (in Chinese) [唐娜斯、颜晓红、丁建文 2004 物理学报 **53** 333]
- [4] Li J P, Zhang W J, Zhang Q F, Wu J L 2007 *Acta Phys. Sin.* **56** 1054 (in Chinese) [李剑萍、张文静、张琦锋、吴锦雷 2007 物理学报 **56** 1054]
- [5] Javey A, Guo J, Wang Q, Lundstron M, Dai H 2003 *Lett. to Nature* **424** 654
- [6] Heinze S, Tersoff J, Martel R, Derycke V, Appenzeller J, Avouris Ph 2002 *Phys. Rev. Lett.* **89** 106801
- [7] Chen J, Klinke C, Afzali A, Avouris Ph 2005 *Appl. Phys. Lett.* **86** 123108
- [8] Lin Y M, Appenzeller J, Knoch J, Avouris Ph 2005 *IEEE Trans. Nano.* **4** 481
- [9] Pourfath M, Ungersboeck E, Gehring A, Kosina H 2005 *J. Comput Electron* **4** 75
- [10] Hassaninia I, Sheikhi M H, Kordrostami Z 2008 *Solid-State Electronics* **52** 980
- [11] Pourfath M, Kosina H, Selberherr S 2007 *J. Comput Electron* **6** 243
- [12] Chen Z H, Farmer D, Xu S, Gordon R, Avouris P, Appenzeller J 2008 *IEEE Trans. Device Letters* **29** 183
- [13] Noshio Y, Ohno Y, Kishimoto S, Mizutani T 2006 *International Microprocess and Nanotechnology Conference Kamakura city of Japan* 2006 Oct p247
- [14] Javey A, Tu R, Farmer D, Guo J, Gordon D, Dai H 2005 *Nano Lett.* **5** 345
- [15] Lee R S, Kim H J, Fischer J E, Thess A, Smalley R E 1997 *Nature* **388** 255
- [16] Takenobu T, Kanbara T, Akima N, Takahashi T, Shiraishi M, Tsukagoshi K, Kataura H, Aoyagi Y, Iwasa Y 2005 *Advanced Materials* **17** 2430

- [17] Rao A M, Eklund P C, Bandow S, Thess A, Smalley R E 1997 *Nature* **388** 257
- [18] Afzali A, Phaendon A, Jia C, Christian K, Paul M US 2007 *Patent* 7253431 [2007-8-7]
- [19] Fan X, Dickey E C, Eklund P C, Williams K A, Grigorian L, Buczko R 2000 *Phys. Rev. Lett.* **84** 4621
- [20] Zhou C, Kong J, Yenilmez E, Dai H 2000 *Science* **290** 1552
- [21] Knoch J, Appenzeller J, 2008, *Phys. Stat. Sol.* **205** 679
- [22] Knoch J, Mantl S, Appenzeller J 2007 *Solid-State Electronics* **51** 572
- [23] Duclaux L 2002 *Carbon* **40** 1751
- [24] Luryi S 1988 *Appl. Phys. Lett.* **52** 501
- [25] Zhou H L, Zhang M X, Hao Y 2009 *IEEE INEC*, HongKong China 2009 p56
- [26] Venugopal R, Ren Z, Datta S, Lundstrom M S, Jovanovic D 2002 *J. Appl. Phys.* **92** 3730
- [27] Fiori G, Iannaccone G, Klimeck G 2007 *IEEE Trans. Electron Device* **6** 475
- [28] Guo J, Ali J, Dai h J, Mark L 2004 *IEDM Tech Digest San Francisco*, Dec, 2004 p703—706
- [29] Tong J N, Zou X C, Shen X B 2004, *Chin. Phys.* **13** 1815
- [30] Appenzeller J, Lin Y M, Knoch J, Chen Z H, Avouris P 2005 *IEEE Trans. Electron Device* **52** 2568

Performance optimization of carbon nanotube field effect transistors based on stair-case doping strategy*

Zhou Hai-Liang[†] Chi Ya-Qing Zhang Min-Xuan Fang Liang

(Key Laboratory of Parallel and Distribution Processing, School of Computer, National University of Defense Technology, Changsha 410073, China)

(Received 30 January 2010; revised manuscript received 3 March 2010)

Abstract

The ambipolar transporting characteristic is one of the most important factors that prevent the performance of Carbon Nanotube Field Effect Transistors (CNFETs) from further being improved. In order to reduce the ambipolar conductance and increase the ON-OFF current ratio of the device, a stair-case doping strategy in drain lead, which is suitable for not only the Conventional MOS-like CNFETs (C-CNFETs) but also Tunneling CNFET (T-CNFETs), is proposed in this paper. The non-equilibrium Green's function based simulation results show that this strategy can reduce the ambipolar conductance and increase the ON-OFF current ratio of the device effectively. Further study shows that many differences exist with using this stair-case doping strategy applied in C-CNFETs and T-CNFETs. First, the potential band pinning in stair-case doped C-CNFETs would weaken the ON-state performance of the device, while no band pinning exists in stair-case doped T-CNFETs. Second, applying such a stair-case doping strategy to both source and drain leads can further increase the device performances in C-CNFETs but not T-CNFETs. Third, the transport property of T-CNFETs is dependent more strongly on the width of lightly doped drain region than that of C-CNFETs. However, certain device area would be costly because of using this stair-case doping strategy. So, much attention should be paid to the choice of device structure, doping concentration and lightly doped drain region width, to obtain a best tradeoff among speed, power and device area, in application.

Keywords: stair-case doping, band-to-band-tunneling, ambipolar conductance, CNFETs

PACC: 7335C, 7320D, 7115P

* Project supported by the National High Technology Research and Development Program of China (Grant No. 2009AA01Z114).

[†] E-mail: zhouhailiang198481@gmail.com