

高 k 栅介质应变 Si SOI MOSFET 的 阈值电压解析模型*

李 劲[†] 刘红侠 李 斌 曹 磊 袁 博

(西安电子科技大学微电子学院, 宽禁带半导体材料与器件教育部重点实验室, 西安 710071)

(2009 年 10 月 27 日收到; 2010 年 2 月 6 日收到修改稿)

在结合应变 Si, 高 k 栅和 SOI 结构三者的优点的基础上, 提出了一种新型的高 k 栅介质应变 Si 全耗尽 SOI MOSFET 结构. 通过求解二维泊松方程建立了该新结构的二维阈值电压模型, 在该模型中考虑了影响阈值电压的主要参数. 分析了阈值电压与弛豫层中的 Ge 组分、应变 Si 层厚度的关系. 研究表明阈值电压随弛豫层中 Ge 组分的提高和应变 Si 层的厚度增加而降低. 此外, 还分析了阈值电压与高 k 栅介质的介电常数和应变 Si 层的掺杂浓度的关系. 研究表明阈值电压随高 k 介质的介电常数的增加而增大, 随应变 Si 层的掺杂浓度的提高而增大. 研究了该结构的短沟道效应 SCE (short channel effect) 和漏致势垒降低 DIBL (drain induced barrier lowering) 效应, 结果表明该结构能够很好地抑制 SCE 和 DIBL 效应.

关键词: 应变 Si, 高 k 栅, 短沟道效应, 漏致势垒降低

PACC: 7340Q, 7300, 7360H

1. 引 言

随着集成电路集成度的不断提高, MOS 器件的特征尺寸进入到纳米领域时, 短沟道效应、漏致势垒降低效应成为纳米器件发展的严重限制因素^[1-3], 并且随着器件特征尺寸的不断缩小器件性能逐渐趋近与物理极限. 因此, 必须采用新的方法和新的技术提高器件的综合性能. 应变 Si 技术可使应变 Si 中的电子和空穴的迁移率得到显著提高, 与常规工艺有良好的兼容性, 已得到广泛的研究^[4-6]. 同时, 为了获得良好的器件性能, 栅氧化层厚度也要相应的缩小. 对于纳米尺度的 MOS 器件, 其栅氧化层厚度必须低于 3 nm, 如此薄的氧化层会导致直接隧穿等一系列问题. 所以, 选取高 k 材料代替传统的 SiO₂ 层, 可以提高栅氧化层的物理厚度, 大大减小直接隧穿电流^[7-9]. 此外, SOI 结构的器件克服了传统结构器件的缺点, 表现出良好的电特性^[10,11], 如电容减小、载流子迁移率增大、电流驱动能力提高、跨导增强和 SCE 效应减弱.

本文结合了应变工程、栅工程和 SOI 结构三者的优点, 提出了高 k 栅介质全耗尽应变 Si SOI MOSFET (SSOI MOSFET) 新结构, 通过求解二维泊松方程建立了该结构的二维阈值电压模型, 模型中考虑了影响阈值电压模型的主要参数. 分析结果表明该结构的器件对 DIBL 效应、SCE 现象有很好的抑制作用.

2. 二维阈值电压模型的建立

考虑到器件的特征尺寸进入到纳米级以后, 一维器件模型已不能描述器件真实情况, 于是本文建立了该新结构器件的二维阈值电压模型. 该模型建立的主要过程是, 首先建立了沟道中电势分布的泊松方程; 然后通过求解泊松方程得到了关于前沟道表面势的方程; 再通过求解表面势并确定其最小值; 最后根据阈值电压的定义得到了二维阈值电压模型.

图 1 给出了高 k 栅介质全耗尽 SSOI MOSFET 的结构示意图, 假设沟道区均匀掺杂, 氧化层中的

* 国家自然科学基金 (批准号: 60976068, 60936055), 教育部科技创新工程重大项目培育基金 (批准号: 708083), 教育部博士点基金 (批准号: 200807010010) 资助的课题.

[†] E-mail: lijipower@126.com

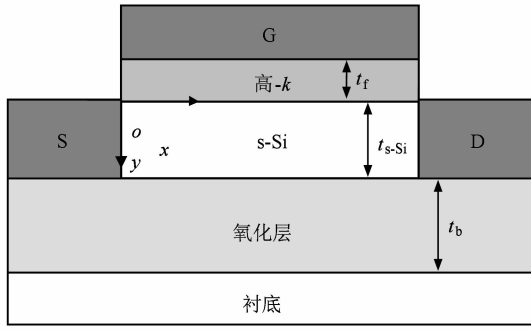


图1 SSOI MOSFET结构示意图

固定电荷对沟道电势的影响可忽略. 在强反型开启前, 应变 Si 层中电势分布的泊松方程可以表示为

$$\frac{\partial^2 \phi(x, y)}{\partial x^2} + \frac{\partial^2 \phi(x, y)}{\partial y^2} = \frac{qN_A}{\epsilon_{\text{Si}}}, \quad (1)$$

$$0 \leq x \leq L, 0 \leq y \leq t_{\text{s-Si}},$$

其中 N_A 是沟道中的掺杂浓度, ϵ_{Si} 是硅的介电常数, $t_{\text{s-Si}}$ 是应变 Si 层厚度, L 为器件的沟道长度. 垂直方向上 (y 方向上) 的电势, 可用抛物线函数近似描述^[12]

$$\phi(x, y) = c_0(x) + c_1(x)y + c_2(x)y^2, \quad (2)$$

其中 $c_0(x), c_1(x), c_2(x)$ 为任意常函数.

求解泊松方程, 边界条件如下:

1) $\phi(x, 0) = \phi_f(x) = c_0(x)$, 其中 $\phi_f(x)$ 为前沟道表面势.

2) 应变 Si 层和高 k 介质层界面处的电通量分别连续, 即

$$\left. \frac{d\phi(x, y)}{dy} \right|_{y=0} = \frac{\epsilon_f}{\epsilon_{\text{s-Si}}} \frac{\phi(x, 0) - V'_{\text{gs}}}{t_f}, \quad (3)$$

其中 ϵ_f 是高 k 介质的介电常数, t_f 是高 k 栅介质的厚度, 考虑到应变的作用其相应的参数得到了修正^[13, 14] $V'_{\text{gs}} = V_{\text{gs}} - (V_{\text{FB},f})_{\text{s-Si}}$. 而 V_{gs} 是栅源电压,

$$(V_{\text{FB},f})_{\text{s-Si}} = (V_{\text{FB},f})_{\text{Si}} + \Delta V_{\text{FB},f},$$

$$(V_{\text{FB},f})_{\text{Si}} = \phi_M - \phi_{\text{Si}},$$

$$\phi_{\text{Si}} = \chi_{\text{Si}} + E_{\text{g,Si}}/2q + \phi_{\text{f-Si}},$$

$$\phi_{\text{f-Si}} = V_T \ln(N_A/n_{\text{i,Si}}),$$

$$\Delta V_{\text{FB},f} = \frac{-(\Delta E_C)_{\text{s-Si}}}{q} + \frac{(\Delta E_g)_{\text{s-Si}}}{q} - V_T \ln\left(\frac{N_{\text{V,Si}}}{N_{\text{V,s-Si}}}\right),$$

$$(\Delta E_C)_{\text{s-Si}} = 0.57x,$$

$$(\Delta E_g)_{\text{s-Si}} = 0.4x,$$

$$V_T \ln\left(\frac{N_{\text{V,Si}}}{N_{\text{V,s-Si}}}\right) = V_T \ln\left(\frac{m_{\text{h,Si}}^*}{m_{\text{h,s-Si}}^*}\right)^{\frac{3}{2}} = 0.075x,$$

ϕ_M 是栅金属的功函数, V_T 是热电势.

3) 应变 Si 层和埋氧层界面处的电通量分别连续, 即

$$\left. \frac{d\phi(x, y)}{dy} \right|_{y=t_{\text{s-Si}}} = \frac{\epsilon_{\text{ox}}}{\epsilon_{\text{Si}}} \frac{V'_{\text{SUB}} - \phi(x, t_{\text{s-Si}})}{t_b}, \quad (4)$$

其中 t_b 是埋氧层厚度, $V'_{\text{SUB}} = V_{\text{SUB}} - (V_{\text{FB},b})_{\text{s-Si}}$. 而 V_{SUB} 是衬底电压, 考虑应变的作用相应参数得到了修正^[13, 14]

$$(V_{\text{FB},b})_{\text{s-Si}} = (V_{\text{FB},b})_{\text{Si}} + \Delta V_{\text{FB},b},$$

$$(V_{\text{FB},b})_{\text{Si}} = \phi_{\text{sub}} - \phi_{\text{Si}},$$

$$\phi_{\text{sub}} = \frac{\chi_{\text{Si}}}{q} + \frac{E_{\text{g,Si}}}{2q} + \phi_{\text{f-sub}},$$

$$\phi_{\text{f-sub}} = V_T \ln\left(\frac{N_{\text{sub}}}{n_{\text{i,Si}}}\right).$$

$$\Delta V_{\text{FB},b} = \frac{-(\Delta E_C)_{\text{s-Si}}}{q} + \frac{(\Delta E_g)_{\text{s-Si}}}{q} - V_T \ln\left(\frac{N_{\text{V,Si}}}{N_{\text{V,s-Si}}}\right).$$

通过边界条件 1), 2), 3) 可得到 $c_0(x), c_1(x), c_2(x)$ 的表达式. 将其代入到 (2) 式中然后代入 (1) 式可得到

$$\left. \frac{d^2 \phi_f(x)}{dx^2} \right|_{y=0} - \alpha_f^2 \phi_f = \beta_f, \quad (5)$$

其中

$$\alpha_f^2 = \frac{2(C_b C_{\text{s-Si}} + C_f C_{\text{s-Si}} + C_b C_f)}{t_{\text{s-Si}}^2 C_{\text{s-Si}} (2C_{\text{s-Si}} + C_b)},$$

$$\beta_f = \frac{qN_A}{\epsilon_{\text{Si}}} - 2V'_{\text{gs}} \frac{C_f (C_{\text{s-Si}} + C_b)}{t_{\text{s-Si}}^2 C_{\text{s-Si}} (2C_{\text{s-Si}} + C_b)} - 2V'_{\text{SUB}} \frac{C_b}{t_{\text{s-Si}}^2 (2C_{\text{s-Si}} + C_b)},$$

而 $C_{\text{s-Si}} = \epsilon_{\text{Si}}/t_{\text{s-Si}}, C_f = \epsilon_f/t_f, C_b = \epsilon_{\text{ox}}/t_b$.

方程 (5) 为简单的二阶常微分方程, 其解的形式如下:

$$\phi_f(x) = A \exp(\alpha_f x) + B \exp(-\alpha_f x) - \frac{\beta_f}{\alpha_f^2}, \quad (6)$$

同时注意到源漏区电势的边界条件:

1) 源端的边界条件

$$\phi(0, 0) = V_{\text{bi,s-Si}},$$

考虑到应变的作用相应的参数得到了修正^[13]

$$V_{\text{bi,s-Si}} = V_{\text{bi,Si}} + (\Delta V_{\text{bi}})_{\text{s-Si}},$$

$$V_{\text{bi,Si}} = \frac{E_{\text{g,Si}}}{2q} + \phi_{\text{f,Si}},$$

$$(\Delta V_{\text{bi}})_{\text{s-Si}} = \frac{-(\Delta E_g)_{\text{s-Si}}}{q} - V_T \ln\left(\frac{N_{\text{V,Si}}}{N_{\text{V,s-Si}}}\right).$$

2) 漏端的边界条件

$$\phi(L, 0) = V_{bi, s-Si} + V_{DS},$$

其中 V_{DS} 是漏源电压. 通过边界条件可以确定 (6) 式中的 A 和 B 分别为

$$A = \gamma \frac{(V_{bi, s-Si} - \sigma + V_{DS}) - \gamma(V_{bi, s-Si} + \sigma)}{1 - \gamma^2},$$

$$B = \frac{(V_{bi, s-Si} + \sigma) - \gamma(V_{bi, s-Si} + \sigma + V_{DS})}{1 - \gamma^2},$$

其中 $\gamma = \exp(-\alpha_f L)$ $\sigma = -\frac{\beta_f}{\alpha_f}$.

从 (6) 式可得到前沟道的最小表面势的及其位置, 即

$$\phi_{Si, \min} = 2\sqrt{AB} + \sigma_1, \quad (7)$$

$$x_{\min} = \frac{1}{2\alpha} \ln\left(\frac{B}{A}\right). \quad (8)$$

沿沟道的电场决定了电子的通过沟道的输运速度, 金属栅下的电场为

$$E(x) = A\alpha \exp(\alpha x) - B\alpha \exp(-\alpha x). \quad (9)$$

阈值电压 V_{th} 是金属栅下面的半导体表面呈现强反型并且出现导电沟道时所需加的栅源电压. 在全耗尽 SOI MOSFET 中, V_{th} 是前沟道导通而背沟道未开启时的栅源电压. 因此在常规的 Si 器件中通常阈值电压定义为 $\phi_{s, \min} = 2\phi_{f, Si}$ 时的栅源电压. 而应变 Si SOI 中前栅表面势的最小值修正为^[12]

$$\phi_{s, \min} = 2\phi_{f, Si} + \Delta\phi_{s-Si} \equiv \phi_{th}, \quad (10)$$

其中 $\Delta\phi_{s-Si} = \frac{-(\Delta E_g)_{s-Si}}{q} + V_T \ln\left(\frac{N_{V, Si}}{N_{V, s-Si}}\right)$, ϕ_{th} 是阈值电压时应变 Si 层的表面势. 把 (10) 式代入到 (9) 式中求出 V_{GS} 得到

$$V_{th} = K\left(\frac{-\eta + \sqrt{\eta^2 - 4\zeta\xi}}{2\zeta}\right), \quad (11)$$

其中

$$\zeta = 2\cosh(\alpha_f L) - 2 - \sinh^2(\alpha_f L),$$

$$\eta = V_{bi1}(1 - \exp(\alpha_f L)) + (2(\phi_{th} - 2u) \times \sinh^2(\alpha_f L) - V_{bi2}(1 - \exp(-\alpha_f L))),$$

$$\xi = V_{bi1}V_{bi2} - (\eta - u)^2 \sinh^2(\alpha_f L),$$

$$V_{bi1} = (V_{bi, s-Si} - u)(1 - \exp(-\alpha_f L)) + V_{DS},$$

$$V_{bi2} = (V_{bi, s-Si} - u)(\exp(-\alpha_f L) - 1) - V_{DS},$$

$$u = \frac{V'_{SUB}}{\left(1 + \frac{C_f}{C_b} + \frac{C_f}{C_{Si}}\right)} - \frac{qN_A}{\varepsilon_{Si}\alpha_f}$$

$$- \frac{\left(\frac{C_f}{C_b} + \frac{C_f}{C_{Si}}\right)}{\left(1 + \frac{C_f}{C_b} + \frac{C_f}{C_{Si}}\right)} (V_{FB, f})_{s-Si},$$

$$k = \frac{\left(1 + \frac{C_f}{C_b} + \frac{C_f}{C_{Si}}\right)}{\left(\frac{C_f}{C_b} + \frac{C_f}{C_{Si}}\right)}.$$

而 ζ 是与沟道长度有关的物理量; u 是与掺杂浓度、栅电容、埋氧层电容、应变 Si 层电容和平带电压有关的物理量; k 是栅电容、埋氧层电容和应变 Si 层电容有关的物理量; V_{bi1} , V_{bi2} 是与沟道长度, 内建电势和漏源电压有关的物理量; ξ 和 η 是与 V_{bi1} , V_{bi2} 及沟道长度有关的物理量.

3. 模型验证与分析讨论

本文对上面得到的阈值电压模型进行了分析和验证. 文中采用的高 k 材料为 HfO_2 , 介电常数为 20. 栅电极采用功函数 $\phi_m = 4.77$ eV 的金属材料, 源漏掺杂浓度为 $N_D = 1 \times 10^{20} \text{ cm}^{-3}$, 衬底掺杂浓度为 $N_{sub} = 1 \times 10^7 \text{ cm}^{-3}$.

图 2 给出的是弛豫层中不同 Ge 组分下, 阈值电压随栅长的变化的关系. 从图中可以看出在栅长小于 80 nm 时出现了短沟道效应, 在栅长小于 40 nm 时阈值电压随栅长的减小迅速减小, 导致此现象的主要原因是源端和漏端的耗尽区占沟道的比重越来越大. 同时也可以看出阈值电压随弛豫层中 Ge 组分的增加而降低. 当 Ge 组分小于 0.37 时阈值电压大于 0, 而当 Ge 组分大于 0.37 时阈值电压小于 0.

图 3 给出了弛豫层中不同 Ge 组分下 HfO_2 栅介质器件和 SiO_2 栅介质器件的阈值电压随沟道长度变化的关系. 从图中可以看出, 在 Ge 组分相同并且长度大于 80 nm 的情况下 HfO_2 栅介质器件的阈值

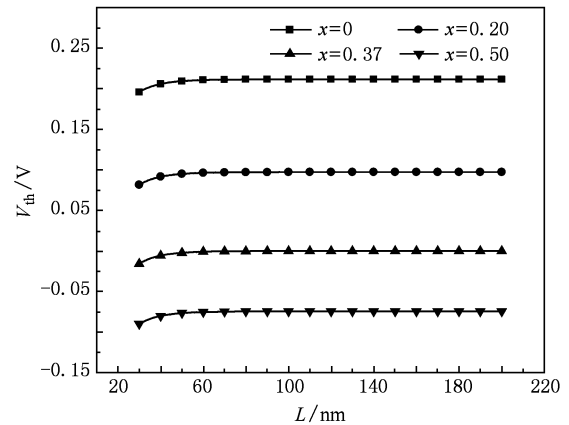


图 2 不同 Ge 组分下 V_{th} 随 L 变化曲线 ($V_{DS} = 50$ mV, $V_{SUB} = 0$ V, $N_A = 1 \times 10^{18} \text{ cm}^{-3}$, $\varepsilon_f = 20$, $t_{s-Si} = 25$ nm, $t_f = 2$ nm)

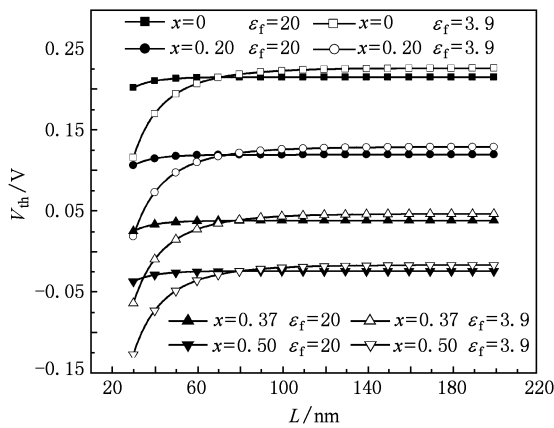


图 3 不同 ϵ_f 和 Ge 组分下 V_{th} 随 L 变化曲线 ($V_{DS} = 50$ mV, $V_{SUB} = 0$ V, $N_A = 1 \times 10^{18}$ cm $^{-3}$, $t_{s-Si} = 25$ nm, $t_f = 2$ nm, $t_b = 100$ nm)

电压比 SiO₂ 栅介质器件的阈值电压. 但是当沟道的长度小于 80nm 时, HfO₂ 栅介质器件的阈值电压比 SiO₂ 栅介质器件的阈值电压大, 并且沟道长度越短二者的差别相差越大. 因此可以得到 HfO₂ 栅介质比 SiO₂ 栅介质有较好的抑制 SCE 的能力.

图 4 给出了 SiO₂ 栅介质、Al₂O₃ 栅介质和 HfO₂ 栅介质这三种器件阈值电压随着应变 Si 层厚度的变化关系曲线. 从图中可以看出, SiO₂ 栅介质器件的阈值电压随应变 Si 层厚度的增加而减小的量比 Al₂O₃ 栅介质和 HfO₂ 栅介质器件阈值电压随应变 Si 层厚度的变化量大. 这说明随着高 k 介质的介电常数的增加器件的阈值电压减小随应变 Si 层厚度的增加越来越不明显.

图 5 给出的是阈值电压随高 k 介质的介电常数的变化关系曲线, 假设高 k 介质的介电常数连续变化. 从图中可以看出当高 k 介质的介电常数小于 10

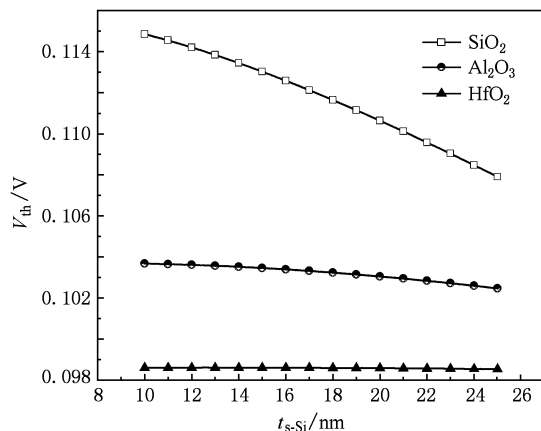


图 4 不同 ϵ_f 下 V_{th} 随 t_{s-Si} 变化的曲线 ($V_{DS} = 50$ mV, $V_{SUB} = 0$ V, $N_A = 1 \times 10^{18}$ cm $^{-3}$, $x = 0.2$, $t_f = 2$ nm, $t_b = 100$ nm, $L = 100$ nm)

时, 阈值电压随着高 k 介质的介电常数的增加迅速增大; 而当高 k 介质的介电常数大于 10 时, 高 k 介质的介电常数对阈值电压的影响很小, 阈值电压基本保持不变.

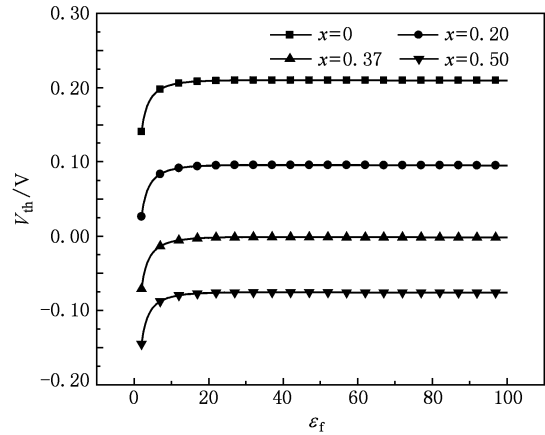


图 5 不同 Ge 组分下 V_{th} 随 ϵ_f 变化曲线 ($V_{DS} = 50$ mV, $V_{SUB} = 0$ V, $N_A = 1 \times 10^{18}$ cm $^{-3}$, $t_f = 2$ nm, $t_b = 100$ nm, $L = 100$ nm)

图 6 给出了不同应变 Si 层的掺杂浓度 N_A 的情况下 HfO₂ 栅介质器件和 SiO₂ 栅介质器件阈值电压随弛豫层 Ge 组分的变化关系. 从图中可以看出在弛豫层中 Ge 组分相同的情况下阈值电压随着 N_A 的浓度增加而提高. 在其他条件不变和 N_A 浓度一定的情况下, 阈值电压随着高 k 介质的增加而增加, 阈值电压随弛豫层 Ge 组分的增加而降低.

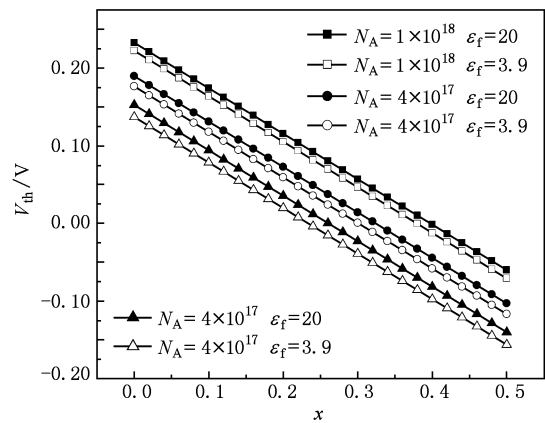


图 6 不同 N_A , ϵ_f 下 V_{th} 随 Ge 组分变化关系 ($V_{DS} = 50$ mV, $V_{SUB} = 0$ V, $t_f = 2$ nm, $t_b = 100$ nm, $L = 100$ nm)

图 7 给出了该新结构器件的 DIBL 随沟道长度的变化, 其中 DIBL 表示为 $\Delta V_{th} / \Delta V_{DS}$. 其中 $\Delta V_{th} = V_{th} |_{V_{DS}=0.05} - V_{th} |_{V_{DS}=2}$. 从图中可以看出在栅长小于 40 nm 时 HfO₂ 栅介质器件的 DIBL 比 Al₂O₃ 栅介质

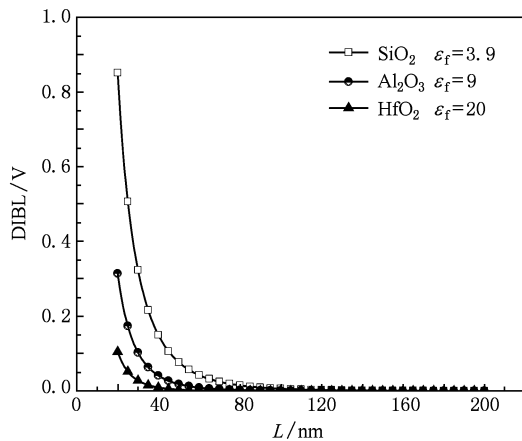


图7 不同 ϵ_f DIBL 随 L 变化关系 ($V_{\text{SUB}} = 0 \text{ V}$, $N_A = 1 \times 10^{18} \text{ cm}^{-3}$, $t_f = 2 \text{ nm}$, $t_b = 100 \text{ nm}$, $x = 0.2$)

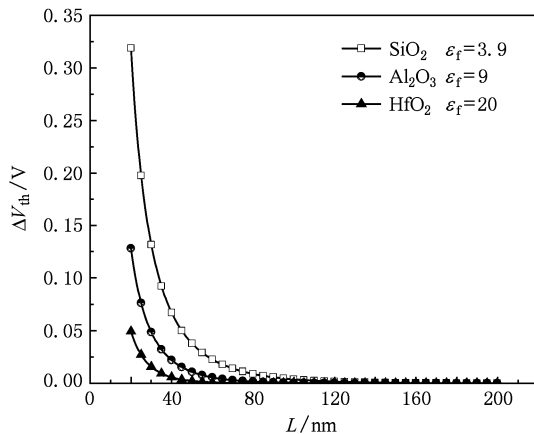


图8 不同 ϵ_f 下 ΔV_{th} 随 L 变化关系 ($V_{\text{DS}} = 50 \text{ mV}$, $V_{\text{SUB}} = 0 \text{ V}$, $N_A = 1 \times 10^{18} \text{ cm}^{-3}$, $t_f = 2 \text{ nm}$, $t_b = 100 \text{ nm}$, $x = 0.2$)

器件的 DIBL 小, 而 Al_2O_3 栅介质器件的 DIBL 比

SiO_2 栅介质器件的 DIBL 小. 即, 器件的 DIBL 随着栅介质的增大而减小. 而当栅长大于 40 nm 时, 三者的 DIBL 量比较接近都趋近于零. 因此, 分析结果表明提出的高 k 栅介质结构器件有更好的 DIBL 抑制能力.

图 8 给出了该新结构器件在不同沟长下的阈值电压漂移. 这里阈值电压漂移定义为短沟道阈值电压与沟长 200 nm 的阈值电压的偏离. 从图中可以看出, 在栅长小于 40 nm 时 HfO_2 栅介质器件的阈值电压漂移比 Al_2O_3 栅介质器件的阈值电压漂移小, 而 Al_2O_3 栅介质器件的阈值电压漂移要比 SiO_2 栅介质器件小. 即器件的阈值电压漂移随着栅介质的增大而减小. 在栅长大于 40 nm 时两者的漂移量都很小趋近于零. 因此, 分析结果表明高 k 栅介质结构的器件可以较好的抑制短沟道效应.

4. 结 论

在结合应变工程、栅工程和 SOI 结构三者的优点的基础上, 本文提出了一种新的高 k 栅介质应变 Si 全耗尽 SOI MOSFET 结构, 并为新型结构器件通过求解二维泊松方程建立了精确的阈值电压模型. 模型中考虑了影响阈值电压模型的主要参数, 其中包括弛豫层中的 Ge 组分、应变 Si 层的厚度、高 k 栅介质的介电常数、应变 Si 层中掺杂浓度、DIBL 效应、SCE 等. 阈值电压随应变 Si 层的增加, 弛豫层中 Ge 组分的增加而减小, 阈值电压随应变 Si 层的掺杂浓度的增加和在短沟道时随高 k 介质的介电常数的增加而增大, 该新型结构的器件可以很好的抑制 DIBL 和 SCE 效应.

- [1] Chaudhry A, Kummer M J 2004 *IEEE Trans. on Devices Mater. Rel.* **4** 99
- [2] Coling J P 1993 *Silicon-on-Insulator Technology* (Boston: Kluwer Academic Publishers) p5
- [3] Luan S Zh, Liu H X, Jia R X, Cai N Q 2008 *Acta Phys. Sin.* **57** 3807 (in Chinese) [栾 苏、刘红侠、贾仁需、蔡乃琼 2008 物理学报 **57** 3807]
- [4] Fitzgerald E A, Lee M L, Yu B, Lee K L, Dohrman C L, Isaacson D, Langdo T A, Antoniadis D A 2005 *International Electron Devices Meeting* p355
- [5] Sanuki T, Oishi A, Morimasa Y 2003 *International Electron Devices Meeting* p351
- [6] Zhang Zh F, Zhang H M, Hu F Y, Xuan R X, Song J J 2009 *Acta Phys. Sin.* **58** 4948 (in Chinese) [张志锋、张鹤鸣、胡辉勇、宣荣喜、宋建军 2009 物理学报 **58** 4948]
- [7] Liu X Y, Kang J F, Sun L 2002 *IEEE Electron Lett.* **23** 270
- [8] Tezuka T, Sugiyama N 2003 *IEEE Trans. on Electron Devices* **50** 1328
- [9] Kingon A I, Maria J P, Streiffe S K 2000 *Nature* **406** 1032
- [10] Liu S, White T, 2004 *IEEE Trans. on Nuclear Science* **51** 3475
- [11] Wu W, Li X, Gildenblat G, Workman G, Veeraraghavan S, McAndrew C, Langevelde R V, Smit G D J, Scholten A J, Klaassen D B M, Watts J 2009 *Solid-State Electron.* **53** 18
- [12] Young K K 1989 *IEEE Trans. on Electron Devices* **36** 399

[13] Venkataraman V, Nawal S, Kummer M J 2007 *IEEE Trans. on Electron Devices* **54** 554

[14] Kummer M J, Venkataraman V, Nawal S 2006 *IEEE Trans. on Electron Devices* **53** 364

Threshold voltage analytical model for strained Si SOI MOSFET with high- k dielectric *

Li Jin[†] Liu Hong-Xia Li Bin Cao Lei Yuan Bo

(Key Laboratory for Wide Band Gap Semiconductor Materials and Devices of Education, School of Microelectronics, Xidian University, Xi'an 710071, China)

(Received 27 October 2009; revised manuscript received 6 February 2010)

Abstract

A strained Si fully depleted SOI MOSFET, which has the advantages of strained Si, high- k gate and SOI structure, is presented in this paper. A two-dimensional analytical model for the threshold voltage in strained Si fully depleted SOI MOSFET with high- k dielectric is proposed by solving Poisson's equation. Several important parameters are taken into account in the model. Relationships between threshold voltage, Ge Profile and thickness of strained silicon are investigated. The result shows that the threshold voltage decreases with Ge Profile and strained silicon thickness increasing. Relationships between threshold voltage, dielectric constant of high k gate and doping concentration of strained silicon are also investigated. The result shows that the threshold voltage increases with dielectric constant of high- k and doping concentration of strained silicon increasing. SCE and DIBL are analyzed finally, which also demonstrate that this novel device can suppress SCE and DIBL effect greatly.

Keywords: strained-silicon, high- k gate, short channel effect, drain induced barrier lowering

PACC: 7340Q, 7300, 7360H

* Project supported by the National Natural Science Foundation of China (Grant Nos. 60976068, 60936005), the Cultivation Fund of the Key Scientific and Technical Innovation Project, Ministry of Education of China Program (Grant No. 708083), the Specialized Research Fund for the Doctoral Program of Higher Education, China (Grant No. 200807010010).

[†] E-mail: lijinp@126.com