

# 应变绝缘层上硅锗 p 型金属氧化物场效应 晶体管的阈值电压解析模型\*

刘红侠<sup>†</sup> 尹湘坤 刘冰洁 郝 跃

(西安电子科技大学微电子学院, 宽禁带半导体材料与器件教育部重点实验室, 西安 710071)

(2010 年 3 月 12 日收到; 2010 年 6 月 18 日收到修改稿)

分析研究了应变绝缘层上硅锗 p 型金属氧化物场效应晶体管(SGOI pMOSFET)的阈值电压模型,修正了应变作用下 SGOI pMOSFET 的能带模型,并提取了主要的物理参量. 这些典型的参量包括禁带宽度、电子亲和能、内建势等. 给出了应变硅 SGOI pMOSFET 内部电势分布的二维泊松方程,通过边界条件求解方程,得出了准确的阈值电压模型,并且验证了该模型的正确性.

**关键词:** 应变硅, 绝缘层上硅锗, p 型金属氧化物场效应晶体管, 阈值电压解析模型

**PACC:** 7340Q, 7320A, 7360H

## 1. 引 言

随着集成电路产业的迅速发展,晶体管的尺寸越来越小,单位面积上的晶体管数量遵循摩尔定律随时间呈现指数增长,晶体管的性能不断提升,器件的成本持续下降. 当特征尺寸缩小到纳米尺度后,传统的平面结构器件面临着许多难题. 首先,纳米金属氧化物场效应晶体管的短沟道效应非常严重. 其次,当栅介质厚度逐渐减小到接近 1 nm 时,沟道隧穿特性增强、关态漏电增加、功耗密度增大、迁移率退化等物理极限效应使器件的性能急剧恶化. 同时,结深的进一步减小导致驱动电流大幅度减小,多晶硅栅电阻随着栅长的变短急剧增大. 采用传统的减小特征尺寸提高器件性能的方法越来越受到制造成本和工艺技术的限制,等比例缩小技术面临越来越严峻的挑战<sup>[1,2]</sup>.

为了进一步提高晶体管的性能,人们开始更多地去寻找增强器件性能的方法,其中应变硅技术备受关注. 应变硅技术将应变引入 Si 基器件和集成电路,利用应变导致的 Si/SiGe 能带不连续性,可以设计出新型的半导体器件,制作高频、高速器件和电

路<sup>[3]</sup>. 同时,利用 Si 和 SiGe 材料的晶格失配产生的张应变或压应变效应可以获得具有特殊性能的应变材料,提高载流子的迁移率<sup>[4,5]</sup>,应变硅技术使 Si 基的互补金属氧化物场效应晶体管在相同晶体管尺寸条件下获得更大的性能提升. 此外,应变硅还具有能带结构可调、与传统体硅工艺兼容等的优点<sup>[6]</sup>.

近年来出现的应变绝缘层上硅锗 p 型金属氧化物场效应晶体管(SGOI pMOSFET)是解决纳米尺度器件性能退化的有效替代物,它结合了绝缘体上外延硅器件和体硅器件的优势,具有亚阈斜率陡峭、结点电流低、迁移率高、掺杂含量引起的阈值电压起伏小等特点<sup>[7-10]</sup>.

本文主要研究应变 SGOI pMOSFET 的阈值电压模型,修正了应变硅的能带模型和应变 SiGe 的材料参数,建立了应变 SGOI pMOSFET 电势分布的二维泊松方程,通过代入边界条件求解方程,得到了准确的阈值电压模型,并且证明了所建立模型的正确性.

## 2. 应变 SGOI pMOSFET 结构和能带

应变硅 SGOI pMOSFET 结构及求解过程中所用

\* 国家自然科学基金(批准号: 60976068, 60936005)、教育部科技创新工程重大项目培育基金(批准号: 708083)和中央高校基本科研基金(批准号: 200807010010)资助的课题.

<sup>†</sup> E-mail: hxliu@mail.xidian.edu.cn

的坐标如图 1 所示. 在衬底上生长埋氧, 在沟道引入应变 SiGe, 再生长 SiO<sub>2</sub> 作为栅介质. 在弛豫 Si<sub>1-x</sub>Ge<sub>x</sub> 衬底上生长 Si 外延层, 即可以引入双轴张应变. 双轴张应变作用下应变硅的能带模型如图 2 所示.

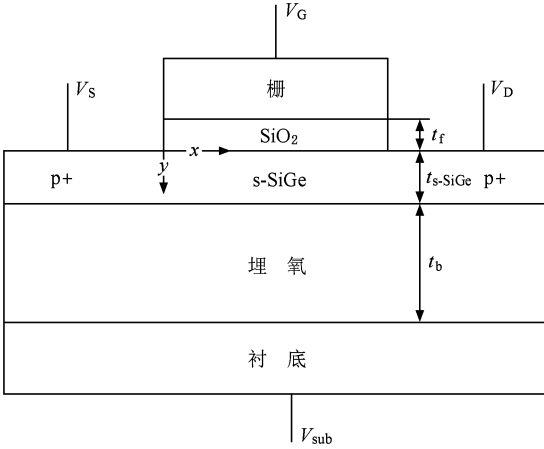


图 1 应变硅 SGOI pMOSFET 结构示意图

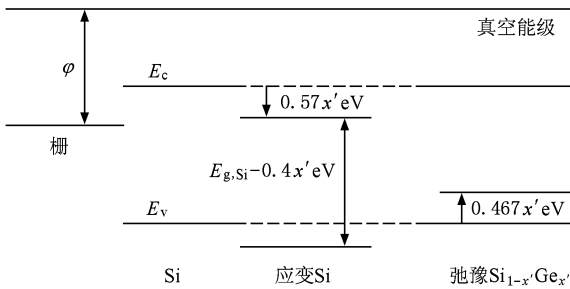


图 2 双轴张应变条件下应变硅的能带结构

在双轴张应变作用下, 应变硅的导带分裂, 导带底附近的六度简并能谷  $\Delta_6$  分裂成两组能谷: 一组为二重简并能谷  $\Delta_2$ , 其能量极小值降低; 另一组是四重简并能谷  $\Delta_4$ , 其能量极小值升高. 由于电子优先占据能级较低的能谷, 双轴张应变使应变硅的导带能级  $E_{c,s-Si}$  降低, 导带能级降低的幅度与 Ge 含量呈线性关系<sup>[11]</sup>,  $\Delta E_{c,s-Si} = 0.57x'$ , 其中  $x'$  为应变 Si<sub>1-x</sub>Ge<sub>x</sub> 中 Ge 的含量; 而价带主要发生能带扭曲, 空穴分布较多的重空穴逐渐表现轻空穴带的性质, 使整个价带能级减小, 最后得到的禁带宽度值为  $\Delta E_{g,s-Si} = 0.4x'$ .

在压应变作用下, 应变硅的导带变化很小, 约为 0.02x' eV. 在压应变作用下却可以得到较大的能带变化量, 双轴压应变作用下的能带结构如图 3 所示.

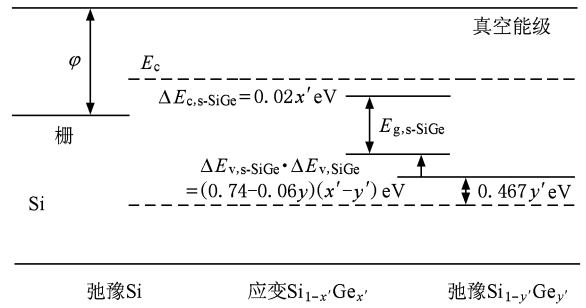


图 3 双轴压应变条件下应变硅的能带结构

为了得到位错较少的应变 SiGe 薄层, 通常不在 Si 衬底上直接生长 Ge 含量固定的 SiGe 层, 而是先在 Si 衬底上外延生长 Ge 含量逐渐增加的缓变 Si<sub>1-y</sub>Ge<sub>y</sub> 层作为过渡层, 充分弛豫后再在过渡层上生长固定 Ge 含量的应变 Si<sub>1-x</sub>Ge<sub>x</sub>, 其中  $y'$  为弛豫 Si<sub>1-y</sub>Ge<sub>y</sub> 中 Ge 的含量.

### 3. 应变 SGOI pMOSFET 的阈值电压模型

本文采用求解二维泊松方程的方法, 考虑了沿沟道方向横向电场的影响, 建立应变硅 SGOI pMOSFET 的阈值电压模型. 建立的应变 SiGe 层的二维泊松方程如下:

$$\frac{d^2\phi(x,y)}{dx^2} + \frac{d^2\phi(x,y)}{dy^2} = \frac{qN_D}{\epsilon_{SiGe}} \quad (0 \leq x \leq L, 0 \leq y \leq t_{s-SiGe}), \quad (1)$$

其中  $x$  为沿沟道水平方向的位置,  $y$  为垂直于沟道平面方向的位置,  $N_D$  为应变 SiGe 层掺杂含量,  $\epsilon_{Si}$  为硅的介电常数,  $\phi(x,y)$  为应变 SiGe 层中的电势分布,  $t_{s-SiGe}$  为应变 SiGe 层的厚度,  $L$  为沟道长度. 应变 SiGe 层电势分布可以用如下二次函数近似表示:

$$\phi(x,y) = \phi_s(x) + C_1(x)y + C_2(x)y^2 \quad (0 \leq x \leq L, 0 \leq y \leq t_{s-SiGe}), \quad (2)$$

其中  $\phi_s(x)$  为应变 SiGe 表面电势, 系数  $C_1(x)$ ,  $C_2(x)$  是只与  $x$  有关的函数. 由电位移矢量连续性原理可知, 在应变 SiGe 层的上表面处, 电势分布

$$\left. \frac{d\phi(x,y)}{dy} \right|_{y=0} = \frac{\epsilon_{ox}}{\epsilon_{SiGe}} \left( \frac{\phi_s(x) - V'_{CS}}{t_f} \right). \quad (3)$$

这里  $t_f$  和  $\epsilon_{ox}$  分别为栅氧化层的厚度和介电常数,  $V'_{CS} = V_{CS} - (V_{FB,f})_{s-SiGe}$ , 其中  $V_{CS}$  为栅源电压,  $(V_{FB,f})_{s-SiGe}$  为应变 SiGe 层的平带电压. 在应变 SiGe 层的下表面处, 电势分布

$$\left. \frac{d\phi(x, y)}{dy} \right|_{y=t_{s-SiGe}} = \frac{\varepsilon_{ox}}{\varepsilon_{SiGe}} \left( \frac{V'_{sub} - \phi_s(x, t_{s-SiGe})}{t_b} \right). \quad (4)$$

这里  $t_b$  为埋层氧化层的厚度,  $V'_{sub} = V_{sub} - (V_{FB, f})_{s-SiGe}$ , 其中  $V_{sub}$  为衬底电压. 源端的表面电势为

$$\phi(0, 0) = \phi_s(0) = V_{bi, s-SiGe}, \quad (5)$$

其中  $V_{bi, s-SiGe}$  为应变 SiGe 层的内建电势. 漏端的表面电势为

$$\phi(L, 0) = \phi_s(L) = V_{bi, s-SiGe} + V_{DS}. \quad (6)$$

由边界条件(3), (4)式可求得

$$C_1(x) = \frac{\varepsilon_{ox}}{\varepsilon_{SiGe}} \frac{\phi_s(x) - V'_{GS}}{t_b},$$

$$C_2(x) = \frac{\varepsilon_{ox}}{\varepsilon_{SiGe}} \frac{V'_{GS} - \phi_s(x)}{t_{ox} t_{s-SiGe}}.$$

将  $C_1(x)$ ,  $C_2(x)$  代入(2)式可得  $\phi(x, y)$ , 再把  $\phi(x, y)$  代入(1)式, 可以得到

$$\frac{d^2\phi_s(x)}{dx^2} - \alpha\phi_s(x) = \beta. \quad (7)$$

这里

$$\alpha = \frac{2\left(1 + \frac{C_f}{C_b} + \frac{C_f}{C_{SiGe}}\right)}{t_{s-SiGe}^2 \left(1 + \frac{2C_{SiGe}}{C_b}\right)},$$

$$\beta = \frac{qN_A}{\varepsilon_{SiO_2}} - \frac{2V'_{GS} \left(\frac{C_f}{C_b} + \frac{C_f}{C_{SiGe}}\right)}{t_{s-SiGe}^2 \left(1 + \frac{2C_{SiGe}}{C_b}\right)} - \frac{2V'_{sub}}{t_{s-SiGe}^2 \left(1 + \frac{2C_{SiGe}}{C_b}\right)},$$

其中

$$C_f = \frac{\varepsilon_{ox}}{t_f},$$

$$C_{SiGe} = \frac{\varepsilon_{ox}}{t_{s-SiGe}},$$

$$C_b = \frac{\varepsilon_{ox}}{t_b}.$$

方程(7)为二阶常系数非齐次线性微分方程, 微分方程的解具有如下形式:

$$\phi_s(x) = A \exp(\lambda x) + B \exp(-\lambda x) - \sigma, \quad (8)$$

其中

$$\lambda = \sqrt{\alpha},$$

$$\sigma = \frac{\beta}{\alpha}.$$

将边界条件(5), (6)式代入(8)式, 可以得到

$$A = \frac{(V_{bi, s-SiGe} + \sigma + V_{DS}) - (V_{bi, s-SiGe} + \sigma) \exp(-\lambda L)}{1 - \exp(-2\lambda L)}$$

$$\times \exp(-\lambda L), \quad (9)$$

$$B = \frac{(V_{bi, s-SiGe} + \sigma) - (V_{bi, s-SiGe} + \sigma + V_{DS}) \exp(-\lambda L)}{1 - \exp(-2\lambda L)}. \quad (10)$$

令

$$\frac{d\phi_s(x)}{dx} = 0,$$

可得最低表面电势  $\phi_{s, \min}(x)$ , 即

$$\phi_{s, \min} = 2 \sqrt{AB} - \sigma. \quad (11)$$

在应力作用下, 器件达到强反型的条件是

$$\phi_{s, \min} = 2\phi_{F, Si} + \Delta\phi_{s-SiGe}, \quad (12)$$

其中  $\phi_{F, Si}$  为体硅材料的费米势,  $\Delta\phi_{s-SiGe}$  为应变作用对于反型电势的修正.

$$\phi_{F, Si} = \frac{k_B T}{q} \ln\left(\frac{n_i}{N_D}\right),$$

$$\Delta\phi_{s-SiGe} = \frac{-\Delta E_{g, s-SiGe}}{q} \frac{k_B T}{q} \ln\left(\frac{N_{v, Si}}{N_{v, s-SiGe}}\right),$$

式中  $k_B$  为玻尔兹曼常数,  $T$  为绝对温度,  $n_i$  为本征载流子含量,  $\Delta E_{g, s-SiGe}$  为应力作用下的禁带宽度变化量,  $N_{v, Si}$  为体硅的价带态密度,  $N_{v, s-SiGe}$  为应变 SiGe 的价带态密度. 联立(11)和(12)式可以得到阈值电压  $V_{th}$  的表达式

$$V_{th} = k \left( \frac{-b - \sqrt{b^2 - 4ac}}{2a} \right). \quad (13)$$

这里  $a$ ,  $b$ ,  $c$ ,  $u$ ,  $k$ ,  $V_{bi1}$ ,  $V_{bi2}$  为拟合系数,

$$a = 2 \cosh(\lambda L) - 2 - \sinh^2(\lambda L),$$

$$b = V_{bi1} (1 - \exp(\lambda L)) + 2(\phi_{th} - u) \sinh^2(\lambda L) - V_{bi2} (1 - \exp(-\lambda L)),$$

$$c = V_{bi1} V_{bi2} - (\phi_{th} - u)^2 \sinh^2(\lambda L),$$

$$V_{bi1} = (V_{bi, s-SiGe} - u) (1 - \exp(-\lambda L)) + V_{DS},$$

$$V_{bi2} = (V_{bi, s-SiGe} - u) (\exp(\lambda L) - 1) - V_{DS},$$

$$u = \frac{V'_{sub}}{\left(1 + \frac{C_f}{C_b} + \frac{C_f}{C_{SiGe}}\right) - \frac{qN_D}{\varepsilon_{SiGe} \alpha}}$$

$$- \frac{\left(\frac{C_f}{C_b} + \frac{C_f}{C_{SiGe}}\right)}{\left(1 + \frac{C_f}{C_b} + \frac{C_f}{C_{SiGe}}\right)} (V_{FB, f})_{s-SiGe},$$

$$k = \frac{\left(1 + \frac{C_f}{C_b} + \frac{C_f}{C_{SiGe}}\right)}{\left(\frac{C_f}{C_b} + \frac{C_f}{C_{SiGe}}\right)}.$$

#### 4. 模型验证与分析讨论

为了验证所得模型的正确性,对推导得到的模型进行了计算,分析了模型中的阈值电压随器件各个关键参数的变化关系.

如果将应变 SiGe 沟道的厚度控制在临界厚度以内,则应变 SiGe 沟道中的应力与其中 Ge 的掺杂含量成正比<sup>[12]</sup>,而空穴迁移率会随着应力的增大而增大.因此在 SGOI MOSFET 中,器件的迁移率和漏源电流应该随 SiGe 沟道层中 Ge 含量的增大而增大<sup>[13]</sup>,阈值电压应该随 Ge 含量的增大而减小.图 4 为计算得到的阈值电压  $V_{th}$  随 Ge 含量  $x'$  的变化曲线.从图 4 可以看出,随着 Ge 含量的增大,阈值电压的绝对值呈线性减小.这与上述理论分析结果相符,证实了本模型的正确性.

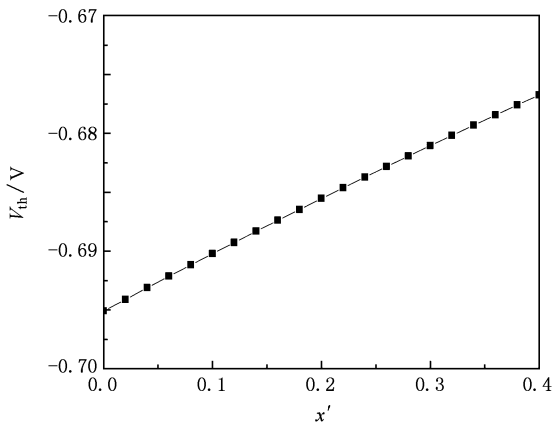


图 4 阈值电压  $V_{th}$  随 Ge 含量  $x'$  的变化  $N_D = 1.0 \times 10^{18} \text{ cm}^{-3}$ ,  $t_f = 2 \text{ nm}$ ,  $t_b = 100 \text{ nm}$ ,  $V_{DS} = 50 \text{ mV}$ ,  $L = 50 \text{ nm}$ ,  $\phi = 4.35 \text{ eV}$ ,  $t_{SiGe} = 25 \text{ nm}$

由于 SGOI MOSFET 的导电沟道由应变 SiGe 薄层单独构成,因而其导电电流与应变 SiGe 薄层厚度密切相关<sup>[14]</sup>.当应变 SiGe 层厚度较小时,器件导通时的导电载流子数目随着厚度的增大而增大,从而引起漏源电流增大.当应变 SiGe 层厚度较大时,尤其是当应变 SiGe 层厚度大于饱和导通时的反型层厚度时,随着厚度的继续增大,漏源电流趋向饱和,其增幅变小.在本文建立的模型中,阈值电压  $V_{th}$  随 SiGe 厚度  $t_{SiGe}$  变化如图 5 所示.从图 5 可见,当 SiGe 的厚度比较小时,阈值电压随厚度的增大而增大.当 SiGe 的厚度较大时,阈值电压逐渐趋向饱和.这同样证明了所建模型的正确性.

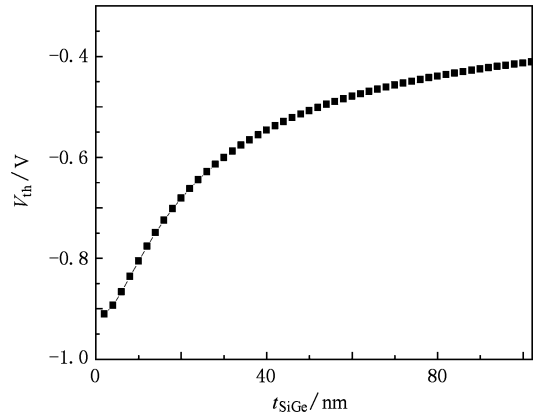


图 5 阈值电压  $V_{th}$  随 SiGe 厚度的变化  $N_D = 1.0 \times 10^{18} \text{ cm}^{-3}$ ,  $t_f = 2 \text{ nm}$ ,  $t_b = 100 \text{ nm}$ ,  $V_{DS} = 50 \text{ mV}$ ,  $L = 50 \text{ nm}$ ,  $\phi = 4.35 \text{ eV}$ ,  $x' = 0.3$

在 pMOSFET 中,随着沟道中施主杂质掺杂浓度的增大,沟道反型层厚度减薄,漏源电流逐渐减小,沟道开启所需的阈值电压变大.图 6 给出了利用本文模型计算得到的阈值电压  $V_{th}$  随沟道中施主杂质掺杂浓度  $N_D$  的变化关系.从图 6 可以看出,阈值电压随着沟道中施主杂质掺杂浓度的增大而增大.上述结果也证明了本模型的正确性.

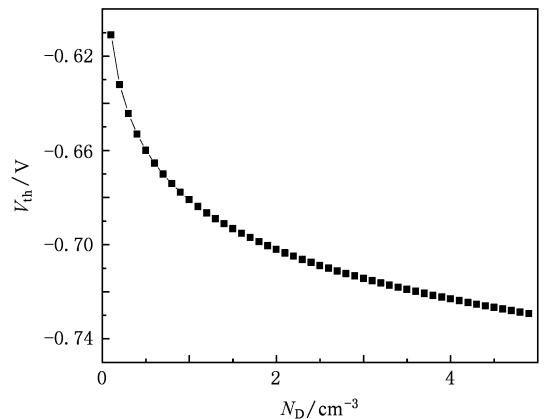


图 6 阈值电压  $V_{th}$  随沟道掺杂浓度  $N_D$  的变化  $t_f = 2 \text{ nm}$ ,  $t_b = 100 \text{ nm}$ ,  $V_{DS} = 50 \text{ mV}$ ,  $\phi = 4.35 \text{ eV}$ ,  $x' = 0.3$ ,  $L = 50 \text{ nm}$

对于给定的沟道掺杂浓度,随沟道长度的减小,源结和漏结耗尽层宽度对器件中沟道的影响越来越大,它使有效沟道长度减小,导致漏源电流增大,从而引起阈值电压的降低,其降低幅度随沟道长度的减小而增大.根据本文模型计算得到的阈值电压  $V_{th}$  随沟道长度  $L$  的变化关系如图 7 所示.从图 7 可见,阈值电压的绝对值随着沟道长度的减小而

减小, 并且减小的幅度越来越大. 因此, 本文的结果进一步验证了建立的阈值电压模型的正确性.

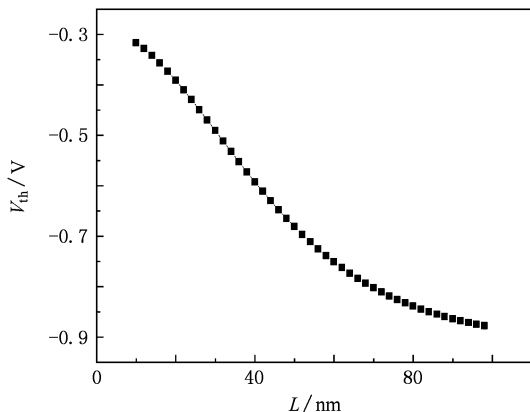


图7 阈值电压  $V_{th}$  随沟道长度  $L$  的变化  $t_f = 2$  nm,  $t_b = 100$  nm,  $V_{DS} = 50$  mV,  $\phi = 4.35$  eV,  $x' = 0.3$ ,  $N_D = 1.0 \times 10^{18}$  cm<sup>-3</sup>

## 5. 结 论

本文研究了应变硅 SGOI pMOSFET 的阈值电压模型, 对应变器件的主要物理参数进行了修正, 这些主要的物理参数包括禁带宽度、电子亲和势和内建势场等. 此外, 还研究了应变硅/弛豫  $\text{Si}_{1-x}\text{Ge}_x$  结构、应变  $\text{Si}_{1-x'}\text{Ge}_{x'}$ /弛豫  $\text{Si}_{1-y'}\text{Ge}_{y'}$  结构, 分析了张应变和压应变对应变硅器件能带结构的影响, 给出了应变后的导带和价带费米能级以及能带模型, 为阈值电压的建模和分析提供了依据. 在给出了器件的能带模型和参数的基础上, 建立了应变 SGOI pMOSFET 电势分布的二维泊松方程, 通过边界条件求解方程, 得出了准确的阈值电压模型. 对得到的阈值电压模型进行了计算和分析, 证明了该模型的正确性.

- [1] Ma X B, Liu W L, Liu X Y, Du X F, Liu Z T, Lin C L, Chu P K 2009 *J. Electrochem. Soc.* **157** 104
- [2] Balestra F 2008 *Acta Phys. Polon. A* **114** 945
- [3] Minjoo L L, Engene A 2005 *J. Appl. Phys.* **97** 1
- [4] Olsen S H, Yan L, Agaiby R, Escobedo C E, O'Neill A G, Hellstroem P E, Oestling M, Lyutovich K, Kasper E, Claeys C, Parker E H C 2009 *Microelectron. Eng.* **86** 218
- [5] Venkataraman V, Nawal S, Kumar M J 2007 *IEEE Trans. Electron Dev.* **54** 554
- [6] Aberg I, Chleirigh C N, Hoyt J L 2006 *IEEE Trans. Electron Dev.* **53** 1021
- [7] Toshifumi I, Toshinori N, Tsutomu T 2006 *IEEE Trans. Electron Dev.* **53** 2809

- [8] Song J J, Zhang H M, Hu H Y, Dai X Y, Xuan R X 2007 *Chin. Phys.* **16** 3827
- [9] Luan S Z, Liu H X 2008 *Chin. Phys. B* **17** 3077
- [10] Song J J, Zhang H M, Dai X Y, Hu H Y, Xuan R X 2008 *Acta Phys. Sin.* **57** 7228 (in Chinese) [宋建军、张鹤鸣、戴显英、胡辉勇、宣荣喜 2008 物理学报 **57** 7228]
- [11] Jung J W 2009 *Current Appl. Phys.* **9** 47
- [12] Lin C N, Yang Y L, Chen W T, Lin S C, Chuang K C, Hwu J G 2008 *Microelectron. Eng.* **85** 1915
- [13] Batwani H, Gaur M, Kumar M J 2009 *J. Compt. Math. Electr. Electron. Eng.* **28** 353
- [14] Yeh L Y, Liao M H, Chen C H, Wu J, Lee J Y M, Liu C W, Lee T L, Liang M S 2009 *IEEE Trans. Electron Dev.* **56** 2848

# Threshold voltage analytic model for strained SiGe-on-insulator p-channel metal-oxide-semiconductor-field-effect-transistor<sup>\*</sup>

Liu Hong-Xia<sup>†</sup> Yin Xiang-Kun Liu Bing-Jie Hao Yue

(*Key Laboratory for Wide Band Gap Semiconductor Materials and Devices of Ministry of Education, School of Microelectronics, Xidian University, Xi'an 710071, China*)

(Received 12 March 2010; revised manuscript received 18 June 2010)

## Abstract

This paper investigates the threshold voltage analytic model of strained SiGe-on-insulator p-channel metal-oxide-semiconductor-field-effect-transistor (SGOI pMOSFET), revises the energy band model of strained-silicon, and extracts the main physical parameters of strained-SiGe devices. These parameters include the energy gap, electron affinity, build-up potential, etc. In this paper, the two-dimensional Poisson's equation of build-in potential in strained silicon SGOI pMOSFET is also presented. By using the boundary conditions to solve these equations, an accurate threshold voltage analytic model is proposed and its validity is verified.

**Keywords:** strained silicon, SiGe-on-insulator, p-channel metal-oxide-semiconductor-field-effect-transistor, threshold voltage analytic model

**PACC:** 7340Q, 7320A, 7360H

---

<sup>\*</sup> Project supported by the National Natural Science Foundation of China (Grant Nos. 60976068, 60936005), the Cultivation Foundation of Major Program of Science and Technology Innovation of Ministry of Education, China (Grant No. 708083) and the Fundamental Scientific Research Foundation for the Central Universities of China (Grant No. 200807010010).

<sup>†</sup> E-mail: hxliu@mail.xidian.edu.cn