

基于 SOI 技术的单层多晶 EEPROM 和 SONOS EEPROM 抗总剂量辐照特性研究^{*}

肖志强^{1)2)†} 李蕾蕾²⁾³⁾ 张波¹⁾ 徐静²⁾ 陈正才²⁾

1)(电子科技大学电子薄膜与集成器件国家重点实验室, 成都 610054)

2)(中国电子科技集团公司第五十八研究所, 无锡 214035)

3)(西安电子科技大学微电子学院, 西安 710071)

(2010 年 4 月 6 日收到; 2010 年 5 月 24 日收到修改稿)

在自行研发的 0.8 μm SOI 工艺平台上开发了基于 SOI 技术的单层多晶硅 EEPROM (electrically erasable programmable read only memory) 和 SONOS (silicon-oxide-nitride-oxide-silicon) EEPROM, 并进行了抗总剂量辐照实验研究, 分析了各种 EEPROM 结构在抗总剂量辐照下的失效机理. 结果表明基于 SOI 技术的 SONOS EEPROM 具有良好的抗总剂量辐照性能, 为抗辐照 EEPROM 电路中的存储单元结构选取提供了依据.

关键词: EEPROM, SOI SONOS, 辐照, 浮栅

PACS: 85.40.-e

1. 引言

随着信息产业的迅猛发展, 对低功耗、大容量、高可靠性存储器的需求越来越大^[1,2]. 然而, 随着微电子器件沿着摩尔定律的不断发展, 等比例缩小原则逐渐表现出其对技术水平的挑战性. 而业界广泛使用的浮栅 EEPROM (electrically erasable programmable read only memory) 结构, 随着工艺尺寸不断缩小, 其浮栅下氧化层的厚度已接近极限而难以再缩小, 不能满足存储器进一步发展要求^[3]. 因此业界将焦点重新投注在曾经备受争议的 SONOS (silicon-oxide-nitride-oxide-silicon) 结构上, 采用 SONOS 结构有机会进一步缩小器件尺寸, 从而实现更大容量的存储器^[3,4].

近年来, 随着航空航天以及军事武器装备的发展, 对其微电子器件及电路系统的高可靠抗辐照能力提出了更高的要求. 国外诸多学者对常用的双层多晶 EEPROM, 单层多晶硅 EEPROM 以及抗辐照特性进行了研究^[5,6], 国内也有许多研究机构、学者致力于不同结构的 EEPROM 特性及其抗辐照特性的

研究^[7-13], 但是对基于 SOI (silicon on insulator) 衬底的 SONOS 结构的抗总剂量辐照特性还未见报道. 本文在自行研发的 0.8 μm SOI 工艺平台上开发了基于 SOI 技术的单层多晶硅 EEPROM 和 SONOS EEPROM 结构并研究了其抗总剂量辐照特性, 分析了各种器件的失效机理. 为了便于对比研究, 本文同时在 0.8 μm 工艺平台上开发了体硅单层多晶 EEPROM 结构并进行了抗总剂量辐照特性研究.

2. 器件结构及工作原理

2.1. 体硅单层多晶 EEPROM

图 1 是体硅单层多晶 EEPROM 结构示意图, 图 2 是具有 H 型栅的体硅单层多晶 EEPROM 版图. 其中, CG 是控制栅, tun 是隧道孔, WE 是擦写控制端. 其工作原理是: “写入”时将 CG 上的电势耦合到隧道二极管上, 提供电子, 并使电子发生隧穿, 通过隧道氧化层 (隧道孔下的氧化层) 存储在隧道氧化层上的浮栅上. 反之, 可耦合产生一个反向强电场, 把电荷拉出氧化层完成“擦除”. 由于浮栅上的电荷数

^{*} 国家科技重大专项 (批准号: 2009ZX02306-04) 资助的课题.

[†] E-mail: xiaosteven@sohu.com

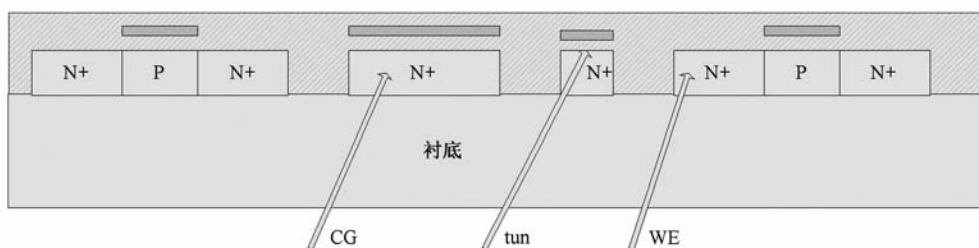


图1 体硅单层多晶 H 型栅 EEPROM 单元剖面图

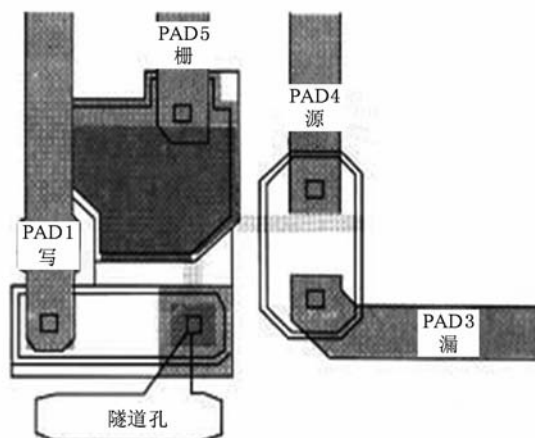


图2 体硅单层多晶 H 型栅 EEPROM 单元版图

量在“写入”和“擦除”后不同,影响了读取选择管的阈值,并反映在读取电流(即漏端电流)上,由此判断存储信息是“1”或“0”. 由于在隧道孔下做了埋层,故在该单元进行“写入”和“擦除”时主要还是依靠 FN 隧道效应^[14].

2.2. SOI 单层多晶 EEPROM

如前所述,在航空航天等空间环境中使用的电子器件需要有抗辐照能力. 由于 SOI 技术具有天然的抗单粒子翻转和抗瞬时辐照能力^[15],因此我们将单层多晶硅 EEPROM 结构与 SOI 技术相结合,开发

了基于 SOI 的单层多晶硅 EEPROM 器件. 图 3 是基于 $0.8\ \mu\text{m}$ SOI 工艺平台的单层多晶 EEPROM 剖面图,图中隐埋氧化层(Box)厚度(t_{Box})为 375 nm,顶层氧化层厚度(t_{Tox})为 205 nm,场氧化层厚度(t_{Fox})为 320—400 nm. 图 4 是 SOI 单层多晶 H 型栅 EEPROM 单元版图及存储管等效电容图,该单元由读取选择管、写选择管、隧道二极管和 BN 埋层电容组成. SOI 单层多晶 EEPROM 的工作原理与体硅单多晶 EEPROM 相同.

2.3. SOI SONOS EEPROM

随着 EEPROM 器件尺寸不断缩小,至 20 世纪 90 年代初期,人们发现广泛使用的浮栅 EEPROM 器件的集成度受到了限制,为了维持其正常工作特性,7 nm 的隧道氧化层厚度几乎已经成为浮栅器件所能承受的极限^[3]. 随着集成度的进一步提高,EEPROM 器件的尺寸持续缩小,SONOS 结构存储器件又重新被重视. 图 5 为本文所开发的 SOI SONOS EEPROM 器件结构示意图. SONOS EEPROM 不同于浮栅 EEPROM 将电荷存储在浮栅上,而是将被存储的电荷存储在 Si_3N_4 绝缘介质层上. 由于信息存储在绝缘介质中,一个单独缺陷将不再会导致器件存储信息的失效^[3],这大大提高了器件的耐久性. 目前国际普遍认为 SONOS EEPROM 工作由两种机制决定^[3]. 在进行“写入”时:1)电子依靠 FN 隧穿效应

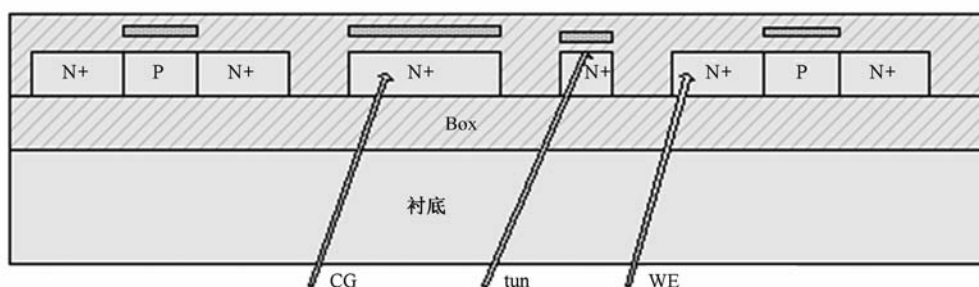


图3 SOI 单层多晶硅 EEPROM 单元剖面图

从衬底穿越由氧化层导带弯曲形成的三角形势垒,到达 Si_3N_4 层;2) 沟道载流子直接隧穿到 Si_3N_4 层. “擦除”时:1) Si_3N_4 中的电荷利用 Frenkel-Poole 机

制发射至衬底;2) Si_3N_4 中的电荷直接隧穿至衬底. 而 SONOS EEPROM 的耐久特性及保持特性与 FN 隧穿效应和 Frenkel-Poole 发射两种机制有关.

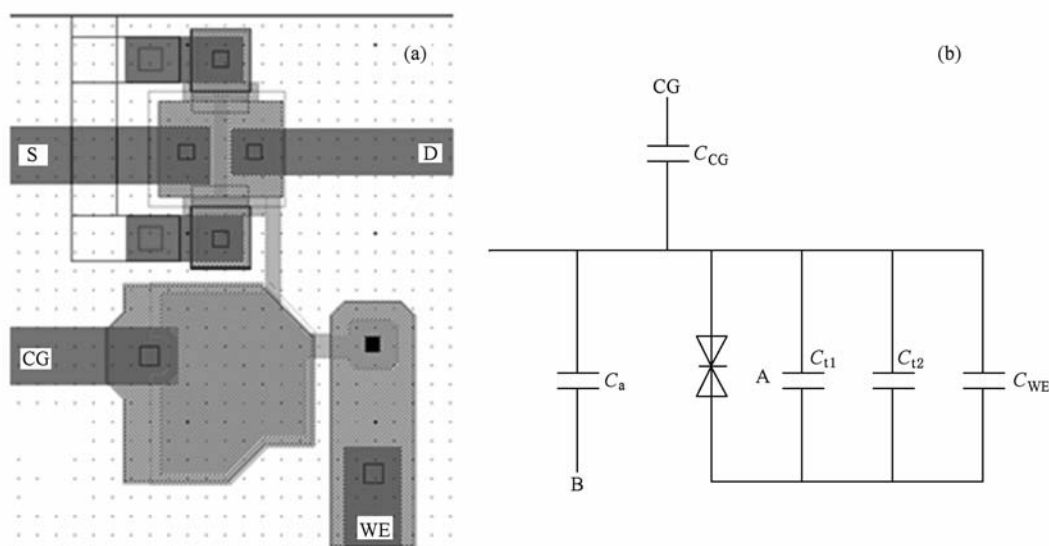


图4 SOI 单层多晶 H 型栅 EEPROM 单元版图及存储管等效电容图 (a) 单元版图, (b) 存储管等效电容图

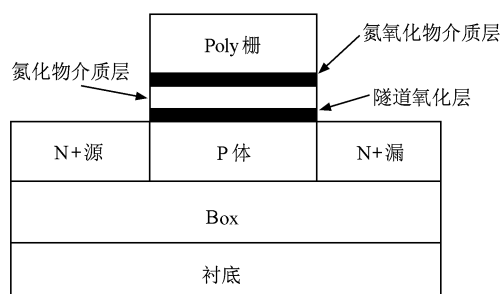


图5 SOI SONOS EEPROM 器件结构示意图

3. 抗总剂量辐照实验及结果讨论

文献[5]表明,与浮栅 EEPROM 结构相比,单层多晶硅 EEPROM 结构具有更好的抗辐照能力,故本文对浮栅 EEPROM 结构的抗辐照能力不再赘述. 而大量研究表明,SOI 结构具有良好的抗单粒子特性^[16],基于此,本文将 SOI 技术与单层多晶硅 EEPROM 结构相结合,开发了基于 SOI 衬底的单层多晶 EEPROM 器件. 由于 SONOS EEPROM 结构有望成为下一代存储器的主流结构,而目前对基于 SOI 衬底的 SONOS EEPROM 结构的抗总剂量辐照特性研究甚少,因此本文开发了 SOI SONOS EEPROM 器件. 同时,便于对比研究,也开发了体硅单层多晶 EEPROM 结构. 对上述 3 种器件结构进行

了总剂量辐照实验,从辐照前后的擦写阈值电压变化来考察器件的抗总剂量辐照能力. 进行辐照实验时,器件所有端口接地.

3.1. 体硅单层多晶 EEPROM 辐照实验

实验所需器件在自行研发的 $0.8\ \mu\text{m}$ 硅基工艺平台上实现,其主要参数如下:隧道窗口尺寸为 $0.8\ \mu\text{m} \times 0.8\ \mu\text{m}$,隧道氧化层厚度为 $8\ \text{nm}$,场氧化层厚度(t_{Fox})为 $320\text{--}400\ \text{nm}$. 辐射源为 X 射线,辐照剂量率为 $100\ \text{rad}(\text{Si})/\text{s}$,辐照总剂量分别为 $12, 24, 60, 102, 204, 300, 504\ \text{krad}(\text{Si})$. 器件阈值电压(V_t)随辐照总剂量的变化关系如图 6 所示. 从图中可见,随着辐照总剂量的增加,“擦写”阈值电压逐渐减小,而“写入”阈值电压逐渐增大. 当辐射总剂量达到 $300\ \text{krad}(\text{Si})$ 时,器件的擦写阈值窗口仍有 $3\ \text{V}$; 辐射总剂量达到 $504\ \text{krad}(\text{Si})$ 时阈值窗口仍有 $1.9\ \text{V}$.

3.2. SOI 单层多晶 EEPROM 辐照实验

实验中所用的 SOI 单层多晶 EEPROM 器件是基于自行研发的 $0.8\ \mu\text{m}$ SOI 工艺平台上实现的. 其中隧道窗口尺寸为 $0.8\ \mu\text{m} \times 0.8\ \mu\text{m}$,隧道氧化层厚度为 $8\ \text{nm}$,结构如图 4 所示. 实验所用辐射源为 X 射线,辐照剂量率为 $100\ \text{rad}(\text{Si})/\text{s}$,辐照总剂量分别为 $5, 10, 20, 60, 100, 200\ \text{krad}(\text{Si})$. 器件阈值电

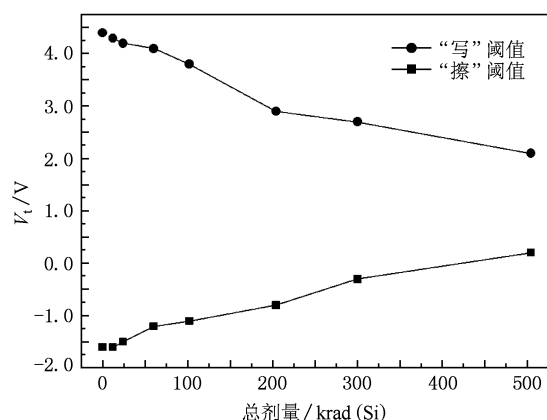


图6 体硅单层多晶 EEPROM 阈值电压变化曲线

压(V_t)随辐照总剂量的变化关系如图7所示. 图7表明:器件在经过总剂量为5 krad (Si)的X射线照射后,性能发生显著退化. 当器件经过“写”操作后,阈值电压应较原始状态的阈值电压(没有经过辐照)升高,但在经过5 krad (Si)的X射线照射后,该器件的阈值电压降至负值,说明器件经辐射后损坏. 同样,被“擦”过的器件经辐照后,阈值电压从负值变为正值,也表明器件已损坏.

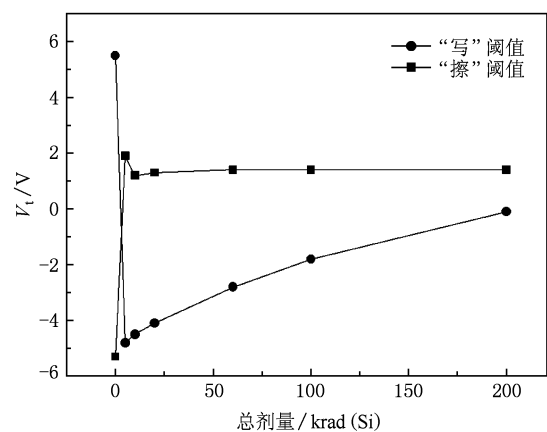


图7 SOI 单多晶 EEPROM 阈值电压变化曲线

这是因为,经辐照后,被写过的器件的氧化层中产生了大量的电子-空穴对,而此时浮栅电势为负,电子-空穴对经过快速中和后,剩余电子在氧化层电场的作用下漂移至有源区;而剩余空穴一部分缓慢地固定下来,另一部分跃至浮栅,致使阈值电压降低. 被擦过的器件在被辐照时,其氧化层中也产生大量的电子-空穴对,由于此时浮栅电势为正,经快速中和后,剩余空穴一部分固定在氧化层中,另一部分在电场作用下向有源区漂移;而剩余电子

在电场作用下移动至浮栅,导致浮栅电势降低,阈值电压增大. 但是当辐射总剂量超过器件承受能力范围后,不仅在氧化层中充斥着大量的电子-空穴对,同时导致栅氧被破坏,产生缺陷,形成通道,使得因辐照产生的电子或者空穴极易通过该缺陷从氧化层进入浮栅,而此种电子、空穴的数量又远远大于浮栅上本来存储的电荷数,因此超剂量的辐照不仅使得器件状态发生反转,并且将其状态长期固定下来.

3.3. SOI SONOS EEPROM 辐照实验

鉴于 γ 射线比X射线有更强的穿透力,更能反映器件的抗辐照性能,在对SOI SONOS EEPROM进行总剂量辐照实验时,采用 Co^{60} - γ 射线源,剂量率为50 rad(Si)/s,使用HP4145A参数分析仪对器件进行参数测量. 该器件同样采用0.8 μm SOI CMOS工艺加工,器件的衬底材料主要参数见表1. 器件阈值电压(V_t)随辐照总剂量的变化关系如图8所示. 实验发现,SOI SONOS EEPROM的阈值电压在经首次辐照后变化平缓,当总剂量达到300 krad(Si)时,该器件仍然保持2.3 V的阈值电压窗口,较初始状态阈值电压减小34%,较首次经辐照时的阈值电压减小8%;而单层多晶EEPROM器件在辐照总剂量达到300 krad(Si)时,其阈值电压较初始状态减少50%,较首次被辐照时的阈值窗口减小49.1%. 这说明SOI SONOS EEPROM器件在满足工作要求时,抗总剂量特性更加稳定,更适合应用于空间环境. 其原因在于SOI SONOS EEPROM被辐照时, Si_3N_4 层中产生了电子-空穴对,由于电子迁移较大,在电场作用下电子离开了 Si_3N_4 层,而迁移率较低的空穴却留在 Si_3N_4 层中,导致 Si_3N_4 电势升高,此时阈值电压朝负方向变化.

表1 SOI SONOS EEPROM 的衬底材料主要参数

	顶层硅	埋氧层
厚度/nm	205 $\pm$ 5	375 $\pm$ 5
均匀性/nm	$\pm$ 5	$\pm$ 5

对以上3种结构的EEPROM进行的辐照实验表明,SOI单层多晶EEPROM的抗总剂量特性最差,实验所用的体硅单层多晶EEPROM和SOI单层多晶EEPROM的根本区别在于基底材料不同,致使SOI单层多晶EEPROM存储单元中形成了较多的 SiO_2 层. 俘获陷阱的数量与 SiO_2 层的体积成正比,即在相同能量下, SiO_2 层体积越大,载流子俘获陷

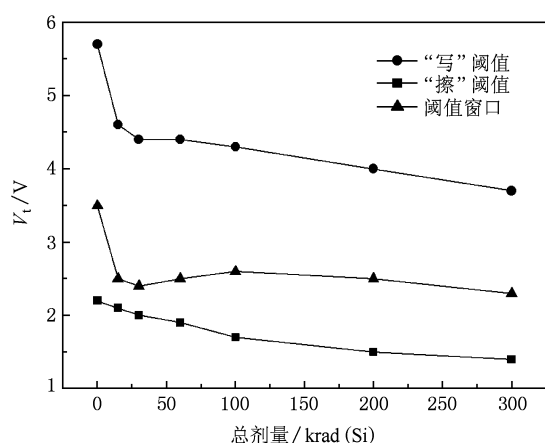


图8 SOI SONOS EEPROM 阈值电压变化曲线

阱越多. 最终, 在器件经过辐照后, 留在器件体内的额外载流子多少, 直接影响器件的抗总剂量性能.

综上所述, 基于 SOI 技术的单层多晶 EEPROM 结构在抗总剂量辐照方面较之体硅单层多晶 EEPROM 结构具有劣势. 但是, 本文所开发的 SOI SONOS EEPROM 结构, 却表现出较优异的抗总剂量辐照能力. 因此, 通过结构优化, 采用诸如本文所开发的 SOI SONOS EEPROM 结构等, 不仅可以回避 SOI 单层多晶 EEPROM 在抗总剂量辐照方面的劣势, 而且在其他很多方面都表现突出, 尤其是在耐久性方面:

1) 由于 SOI SONOS EEPROM 采用 ONO 堆栈结构, 电荷存储在绝缘体介质中, 介质材料的单个缺陷不会导致存储单元信息泄露;

2) SOI SONOS EEPROM 生长在 SOI 衬底上, 各器件间被物理隔离, 其电路具有天生的良好抗单粒子能力;

3) SOI SONOS EEPROM 工艺与标准 CMOS 工艺兼容, 工业化推广应用难度小, 成本低, 利于系统集成;

4) SOI SONOS EEPROM 存储单元面积较小, 且利于等比例缩小, 可应用到 130 nm 以下工艺中, 利于提高集成度;

5) SOI SONOS EEPROM 工作电压较低, 功耗较小, 可用于移动通信, RF ID 等便携电子产品;

6) SOI SONOS EEPROM 存储单元的抗总剂量特性在经过本征退化后, 基本保持平稳状态, 具有良好的耐久性, 可用于军事、航天、航空等高可靠需求领域^[17].

4. 结 论

SONOS 的存储器早在 30 年以前就已应用于实际产品^[18], 小规模应用于高工作温度和高可靠性领域. 随着 SONOS 技术不断改进, 它已成为浮栅存储器的强劲对手. 最新的 SONOS 存储器读取速度快, 数据维持时间久, 有更多的读/写周期. 更重要的是, 相对于浮栅存储器, SONOS 在等比例缩减方面物理限制小, 使其成为非挥发性存储器件的首选. 再加之 SOI 工艺本身就具有抗门锁、低功耗、抗单粒子效应等优点, SOI SONOS EEPROM 在抗辐照要求较高的军民领域都将是重要的存储单元选取对象.

[1] Kuesters K H, Ludwig C, Mikolajick T, Nagel N, Specht M, Pissors V, Schulze N, Stein N, Willer J 2006 *ICSICT'06. 8th International Conference on Solid-State and Integrated Circuit Technology* Shanghai, Oct. 23—26 p740

[2] Fang S H, Cheng X L, 2007 *Chinese Journal of Electron Devices* **30** 1211 (in Chinese) [房少华、程秀兰 2007 电子器件 **30** 1211]

[3] White M H, Adams D A, Bu J 2000 *IEEE Circuit. Devic.* **16** 22

[4] Takeuchi H, King T J 2003 *IEEE Electr. Device Lett.* **24** 309

[5] Wellekens D, Groeseneken G, Houdt J V, Maes H E 1993 *IEEE Trans. Nuc. Sci.* **40** 1619

[6] Cellere G, Pellati P, Chimerton A, Modelli A, Larcher L, PACSagrella A 2001 *IEEE Trans. Nuc. Sci.* **48** 2222

[7] Fang S H, Cheng X L, Huang Y, Gu H H 2007 *Acta Phys. Sin.* **56** 6634 (in Chinese) [房少华、程秀兰、黄 晔、顾怀怀 2007 物理学报 **56** 6634]

[8] Guo H X, Chen Y S, Zhang Y M, Han F B, He C H, Zhou H 2002 *Acta Phys. Sin.* **51** 2315 (in Chinese) [郭红霞、陈雨生、张义门、韩福斌、贺朝会、周 辉 2002 物理学报 **51** 2315]

[9] He B P, Guo H X, Gong J C, Wang G Z, Luo Y H, Li Y H 2004 *Acta Phys. Sin.* **53** 3125 (in Chinese) [何宝平、郭红霞、龚建成、王桂珍、罗尹虹、李永宏 2004 物理学报 **53** 3125]

[10] Li L L, Liu H X, Yu Z G, Hao Y 2006 *Acta Phys. Sin.* **55** 2459 (in Chinese) [李蕾蕾、刘红侠、于宗光、郝 跃 2006 物理学报 **55** 2459]

[11] Yu Z G, Lu F, Xu Z, Ye S Y, Huang W, Wang W Y, Xu J Y,

- 2000 *Acta Electr. Sin.* **28** 90 (in Chinese) [于宗光、陆 锋、徐 征、叶守银、黄 卫、王万业、许居衍 2000 电子学报 **28** 90]
- [12] He C H, Geng B, Yang H L, Chen X H, Wang Y P, Li G Z 2003 *Acta Phys. Sin.* **52** 180 (in Chinese) [贺朝会、耿 斌、杨海亮、陈晓华、王燕萍、李国政 2003 物理学报 **52** 180]
- [13] He C H, Geng B, Yang H L, Chen X H, Li G Z, Wang Y P 2003 *Acta Phys. Sin.* **52** 2235 (in Chinese) [贺朝会、耿 斌、杨海亮、陈晓华、李国政、王燕萍 2003 物理学报 **52** 2235]
- [14] Du P Y, Lue H T, Wang S Y, Huang T Y, Hsieh K Y, Liu R, Lu C Y 2008 *IEEE Tran. Elect. Dev.* **55** 2230
- [15] Wu A M, Chen J, Zhang E X, Yang H, Zhang Z X, Wang X 2007 *Functional Materials Information* **38** 866 (in Chinese) [武爱民、陈 静、张恩霞、杨 慧、张正选、王 曦 2007 功能材料信息 **38** 866]
- [16] Cai J R 2004 *Electronics and Packaging* **4** 20 (in Chinese) [蔡菊容 2004 电子与封装 **4** 20]
- [17] White M H, Adams D A, Murray J R, Wrazien S, Zhao E, Wang Y, Khan B, Miller W, Mehrotra R 2004 *Non-Volatile Memory Technology Symposium* Orlando, USA, November 15—17, 2004 p51
- [18] Wallinger T 2007 *Semiconductor International* **30** 49

Total dose characteristics of single poly EEPROM and SONOS EEPROM on SOI *

Xiao Zhi-Qiang^{1)2)†} Li Lei-Lei²⁾³⁾ Zhang Bo¹⁾ Xu Jing²⁾ Chen Zheng-Cai²⁾

1) (State Key Laboratory of Electronic Thin Films and Integrated Devices, University of Electronic Science and Technology of China, Chengdu 610054, China)

2) (The 58th Research Institute of China Electronics Technology Group Corporation, Wuxi 214035, China)

3) (School of Microelectronics, Xidian University, Xi'an 710071, China)

(Received 6 April 2010; revised manuscript received 24 May 2010)

Abstract

Devices of single poly electrically erasable programmable read only memory (EEPROM) and silicon-oxide-nitride-oxide-silicon (SONOS) EEPROM on silicon on insulator (SOI) are fabricated on self-built 0.8 μm SOI process. And through a set of experiments on EEPROMs of these configurations and comparisons, SOI SONOS EEPROM is successfully developed with good and stable total dose radiation hardened characteristics. These provide stronger proofs to choose EEPROM in radiation hardened circuits.

Keywords: electrically erasable programmable read only memory, silicon on insulator silicon-oxide-nitride-oxide-silicon, radiation, floating gate

PACS: 85.40.-e

* Project supported by the National Science and Technology Major Project of the Ministry of Science and Technology of China (Grant No. 2009ZX02306-04).

† E-mail: xiaosteren@sohu.com