

# 基于双电源电压和双阈值电压的全局互连性能优化\*

董刚<sup>†</sup> 刘嘉 薛萌 杨银堂

(西安电子科技大学微电子所宽禁带半导体材料与器件教育部重点实验室, 西安 710071)

(2010年5月31日收到; 2010年7月21日收到修改稿)

基于双电源电压和双阈值电压技术, 提出了一种优化全局互连性能的新方法. 文中首先定义了一个包含互连延时、带宽和功耗等因素的品质因子用以描述全局互连特性, 然后在给定延时牺牲的前提下, 通过最大化品质因子求得优化的双电压数值用以节省功耗. 仿真结果显示, 在 65 nm 工艺下, 针对 5%, 10% 和 20% 的允许牺牲延时, 所提方法相较于单电压方法可分别获得 27.8%, 40.3% 和 56.9% 的功耗节省. 同时发现, 随着工艺进步, 功耗节省更加明显. 该方法可用于高性能全局互连的优化和设计.

**关键词:** 全局互连, 双电源电压, 双阈值电压, 功耗

**PACS:** 66.30.-h, 72.15.-v

## 1. 引言

随着集成电路工艺的不断改进, 芯片的特征尺寸越来越小而规模越来越大, 全局互连性能如延时、功耗和信号完整性已成为决定电路性能的主要因素<sup>[1-4]</sup>. 为了改善顶层全局互连的延时特性, 缓冲器插入作为一种有效的手段得到了广泛的应用. 通过缓冲器恢复电位, 阻止互连上电容的累加效应, 使延时与互连长度成线性关系, 降低延时<sup>[4-9]</sup>. 在纳米集成电路中, 为了使延时符合设计要求, 常需要插入数量巨大的缓冲器. ITRS (国际半导体技术路线图) 2007 指出<sup>[10]</sup>, 纳米工艺条件下, 单个芯片上的缓冲器数量高达  $1 \times 10^6$ . 毫无疑问, 大量的缓冲器插入会导致芯片面积和互连功耗急剧增加, 全局互连功耗占据芯片总功耗的 40% 至 70%, 这会带来芯片温度上升和电路性能和可靠性的下降<sup>[11, 12]</sup>.

研究缓冲器插入对互连性能的影响已成为业界研究热点之一<sup>[4-9]</sup>. 已有文献主要考虑了互连和缓冲器尺寸对互连性能的影响, 并未考虑电源电压和阈值电压的影响因素. 文献[4]针对有缓冲器插入和无缓冲器插入的全局互连讨论了互连宽度和间距对其延时、带宽和功耗的优化方法; 文献[5]提

出在互连延时满足目标延时的条件下, 利用拉格朗日函数改变所插入缓冲器尺寸和个数来优化互连功耗和面积; 文献[6]对于给定的互连延时, 提出了一种方案用以合理安排缓冲器尺寸和互连长度来获得最小互连功耗; 文献[7]则重点讨论了互连宽度对互连延时、带宽、功耗和面积的影响; 文献[8]通过最大化带宽与延时比, 来研究互连宽度和间距对互连延时、带宽、功耗和面积的影响; 文献[9]则针对全局互连, 通过缓冲器插入和改变互连宽度和间距, 提出了一种基于延时和带宽约束的互连功耗-缓冲器面积的乘积优化模型.

多电源电压和多阈值电压技术是行之有效的低功耗设计方法, 从降低复杂度和节约成本方面来考虑, 主要采用双电源电压和双阈值电压技术<sup>[13-15]</sup>. 为了可以在互连性能优化的过程中充分考虑电源电压和阈值电压的影响, 将双电压技术用于互连功耗的改善, 本文开展了相关研究. 文章首先讨论了缓冲器插入互连的性能参数及其表征, 通过定义品质因子函数 (figure of merit, FOM), 并对互连宽度、间距、电源电压和阈值电压进行了合理安排, 然后, 在最优互连宽度和间距情况下, 进一步讨论了电源电压和阈值电压对整个互连功耗的影响, 在给予一定的延时牺牲条件下, 找出相对于标准电压

\* 国家自然科学基金 (批准号: 60606006), 国家杰出青年基金 (批准号: 60725415) 和西安电子科技大学基本科研业务费资助的课题.

<sup>†</sup> E-mail: gdong@mail.xidian.edu.cn

值之外的另一个电压值来降低互连功耗. 最后, 对实验结果进行分析与讨论, 并进行了总结.

## 2. 缓冲器插入互连的性能参数及其表征

对于顶层的全局互连来说, 为了改善其延时特

性, 常需要插入一定数量的缓冲器, 通过缓冲器恢复电位, 阻止互连电容的累加效应, 使延时与互连长度成线性关系以降低延时, 其典型结构如图 1 所示. 用以描述全局互连性能的参数包括延时、功耗、带宽和缓冲器面积.

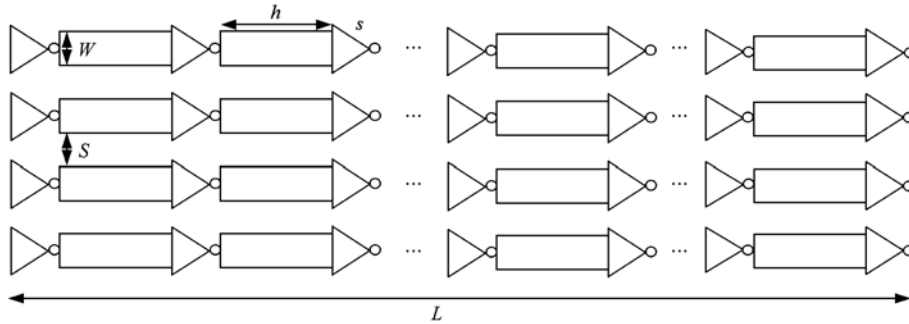


图 1 缓冲器插入全局互连示意图

### 2.1. 延时

假设所插入缓冲器的尺寸和间距为  $s$  和  $h$ , 单位尺寸的缓冲器输入电容、等效电阻和输出电容分别为  $c_0, r_s$  和  $c_p$ , 单位长度的互连电阻为  $r$ , 电容为  $c$ , 则互连单位长度最小延时可以表示为<sup>[16]</sup>

$$\frac{\tau}{h} = \log_e 2 \left( \frac{1}{h} r_s (c_0 + c_p) + \frac{r_s}{s} c + r s c_0 + \frac{1}{2} r c h \right), \quad (1)$$

其中当  $s = s_{opt} = \sqrt{\frac{r_s c}{r c_0}}$ ,  $h = h_{opt} = \sqrt{\frac{2 r_s (c_0 + c_p)}{r c}}$ , 可以使互连延时  $(\tau/h)_{opt}$  最小.

单位尺寸的缓冲器等效电阻  $r_s$  是电源电压  $V_{dd}$  和阈值电压  $V_{th}$  的函数, 表示为<sup>[17]</sup>

$$r_s = k_{tech} \cdot \frac{V_{dd}}{(V_{dd} - V_{th})^{\alpha_1}}, \quad (2)$$

其中  $k_{tech}$  是与工艺相关的量, 对于纳米器件,  $\alpha_1$  约为 1.25.

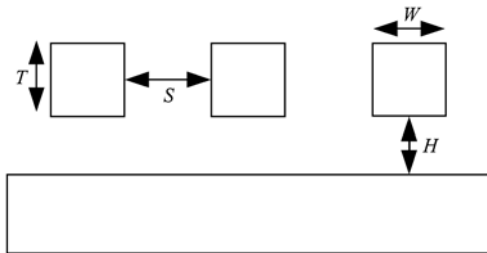


图 2 全局互连横截面示意图

单位长度的互连电阻  $r$  为

$$r = \frac{\rho}{W \cdot T}, \quad (3)$$

$\rho$  为互连金属的电阻率, 对于 65 nm 工艺, 其值为  $2.73 \mu\Omega \cdot \text{cm}$ , 45 nm 工艺为  $3.11 \mu\Omega \cdot \text{cm}$ .

单位长度的互连电容  $c$  为<sup>[18]</sup>

$$c = \varepsilon \cdot \left\{ \left[ \frac{W}{H} + 2.22 \cdot \left( \frac{S}{S + 0.70H} \right)^{3.19} + 1.17 \cdot \left( \frac{S}{S + 1.51H} \right)^{0.76} \cdot \left( \frac{T}{T + 4.53H} \right)^{0.12} \right] + 2 \cdot \left[ \frac{1.14T}{S} \cdot \left( \frac{H}{H + 2.06S} \right)^{0.09} + 0.74 \cdot \left( \frac{W}{W + 1.59S} \right)^{1.14} + 1.16 \left( \frac{W}{W + 1.87S} \right)^{0.16} \cdot \left( \frac{H}{H + 0.98S} \right)^{1.18} \right] \right\}. \quad (4)$$

(3) 和 (4) 式中,  $W$  为互连的宽度,  $S$  为同层相邻互连之间的间距,  $T$  为互连的厚度,  $H$  为层间介质厚度, 如图 2 顶层互连横截面示意图中所示.

### 2.2. 功耗

缓冲器插入互连的功耗包括动态功耗、泄漏功耗和短路功耗. 随着工艺进步, 短路功耗所占比重越来越小, 可以忽略<sup>[5]</sup>. 故本文只考虑动态功耗和泄漏功耗的影响. 动态功耗由缓冲器对负载互连电容充放电所产生. 随着工艺进步, 器件的栅氧化层

越来越薄,由泄漏电流产生的泄漏功耗在整个功耗中甚至超过一半<sup>[19]</sup>.如图1中所示的缓冲器插入互连的单位功耗为

$$\frac{P}{h} = \alpha_2 \cdot f_{\text{clk}} \cdot V_{\text{dd}}^2 \left( \frac{s}{h} (c_p + c_0) + c \right) + \frac{3}{2} I_{\text{offn}} W_{\text{min}} \cdot V_{\text{dd}} \frac{s}{h}, \quad (5)$$

上式右端第一项和第二项分别表示为单位长度的互连动态功耗和泄漏功耗.  $\alpha_2$  为开关因子,一般取为 0.15,  $f_{\text{clk}}$  为时钟频率,  $V_{\text{dd}}$  为电源电压;  $W_{\text{min}}$  表示缓冲器中 NMOS 晶体管的最小栅宽,与具体工艺的设计规则有关;  $I_{\text{offn}}$  是最小尺寸 NMOS 晶体管的泄漏电流,与电源电压  $V_{\text{dd}}$  和阈值电压  $V_{\text{th}}$  有关,它随着  $V_{\text{dd}}$  增加和  $V_{\text{th}}$  减小而增大,具体可以表示为<sup>[20]</sup>

$$I_{\text{off}} = I_{\text{offref}} \cdot e^{\left( \frac{\eta V_{\text{dd}} - V_{\text{th}} - \gamma V_{\text{SB}}}{n V_T} \right)}, \quad (6)$$

上式中,  $I_{\text{offref}}$  为给定参考电压下的泄漏电流,与给定的电源电压  $V_{\text{dd}}$ , 阈值电压  $V_{\text{th}}$ , 体偏置电压  $V_{\text{SB}}$  和温度有关;  $\eta$  是漏极诱导势垒降低效应因子,  $\gamma$  是体效应因子,  $n$  是亚阈值摆率因子,  $V_T$  为热电压.

### 2.3. 带宽

带宽用来表示单位时间传输的数据量,用以表征一个数字系统的传输能力.对于图2所示的互连系统,可以用芯片上的数据流  $\Phi$  表示带宽<sup>[8]</sup>.  $\Phi$  定义为芯片上互连的数量和延时倒数的乘积.假设芯片为正方形,边长为  $D$ ,则芯片上顶层互连数为  $D/(W+S)$ ,长度为  $D$  的互连延时为  $D \cdot (\tau/h)$ ,所以,芯片上的数据流  $\Phi$  即带宽为

$$\Phi = \frac{D}{(W+S)} \cdot \frac{1}{(D \cdot (\tau/h))}. \quad (7)$$

### 2.4. 缓冲器面积

通过插入缓冲器可以改善顶层全局互连的延时特性,但是这些额外的缓冲器增大了整个芯片的面积.面积为  $D^2$  的芯片,所插入缓冲器的面积可以定义为<sup>[7]</sup>

$$A = \frac{D}{(W+S)} \cdot \frac{s}{h} \cdot D \cdot A_{\text{min}}, \quad (8)$$

其中  $A_{\text{min}}$  是最小尺寸缓冲器的面积.

## 3. 基于双电源电压和双阈值电压的优化策略

正如上节讨论的一样,顶层互连的单位延时、单位功耗、带宽和面积随互连宽度、互连间距、电源电压和阈值电压的变化而变化.采用表1给出的ITRS不同工艺条件下顶层互连和缓冲器的典型参数<sup>[10]</sup>,图3给出了65 nm工艺条件下的变化示意图.

可以发现,当互连宽度增大时,互连延时和带宽降低、功耗和面积都增加;当互连间距增加时,互连延时、功耗和面积都减小,而带宽先略微增大后减小;当电源电压减小或阈值电压增大时,互连功耗和带宽减小,延时增大,面积不变.

上面的分析表明,互连宽度、间距、电源电压和阈值电压对互连延时、带宽、功耗和面积四个性能参数的影响是互相冲突的,为了优化某些参数必须牺牲另外一些参数.因此,为有效权衡四者对整个电路性能的影响,需定义一个综合考虑各性能参数影响的新的品质因子函数 FOM 来衡量互连的性能.考虑到一个好的互连设计应能够满足更小延时,更大带宽,同时功耗和所插入缓冲器占用面积最小.由于当电源电压和阈值电压变化时,缓冲器的面积不变,故定义目标函数 FOM 为

$$\text{FOM} = \frac{\Phi^k}{\left(\frac{p}{h}\right)^i \left(\frac{\tau}{h}\right)^j}, \quad (9)$$

式中的  $i, j, k$  分别是功耗、延时和带宽的权重因子,其值大小反映对应参数的重要性.

为体现一般性,这里针对  $i=1, j=1, k=1$  情况进行分析,图4给出了65 nm和45 nm工艺下目标函数与  $W=S$  的关系曲线,证明存在最优的  $W_{\text{opt}} = S_{\text{opt}}$  使得互连性能最优.进一步可以求得在该最优线宽线间距条件下的最优缓冲器尺寸、间距、延时、带宽、功耗和面积.表2列出了65 nm和45 nm工艺条件下的计算结果.

表1 不同工艺条件下顶层互连和缓冲器的典型参数

工艺条件/nm	pitch/nm	$T/\text{nm}$	$H/\text{nm}$	$\varepsilon$	$c_0/\text{fF}$	$c_p/\text{fF}$	$V_{\text{dd}}/\text{V}$	$V_{\text{th}}/\text{V}$	$I_{\text{offn}}/\mu\text{A} \cdot \mu\text{m}^{-1}$	$f_{\text{clk}}/\text{GHz}$
65	210	242	221	3.1	1.03	1.22	1.0	0.25	20	6.73
45	135	163	150	2.75	0.9	0.6	0.8	0.2	35.5	11.51

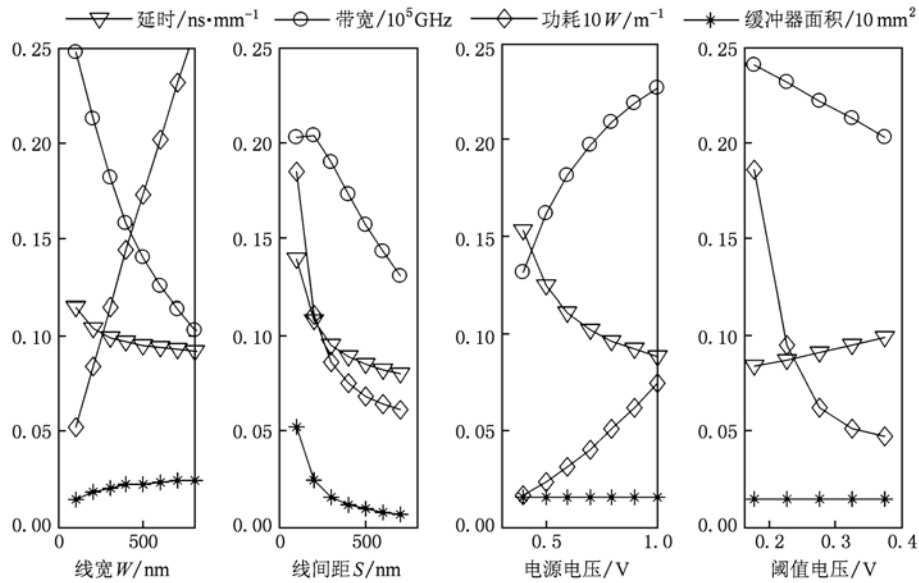


图3 线宽、线间距、电源电压和阈值电压对延时、带宽、功耗和缓冲器面积的影响

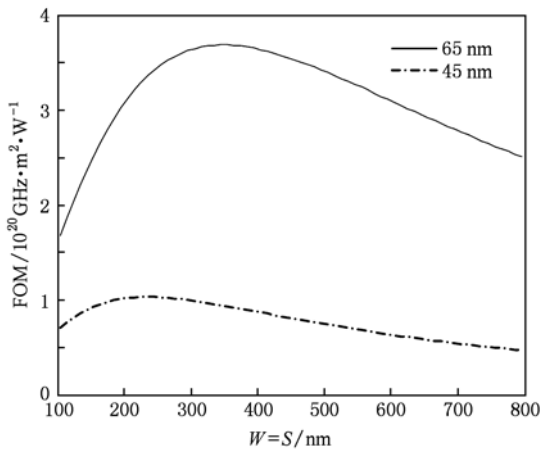


图4 不同的工艺节点下 FOM 与线宽线间距的变化关系

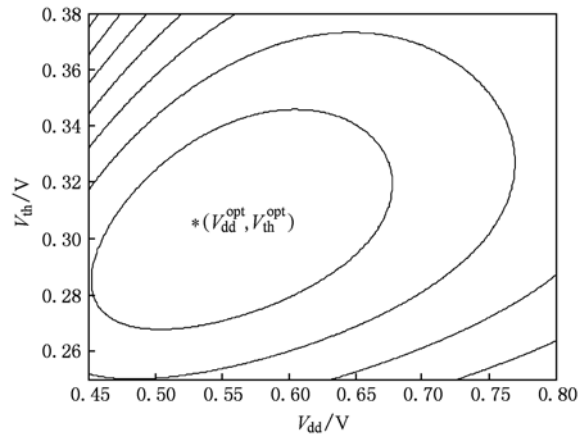


图5 65 nm 下 FOM 的等高线

针对表 2 的结果可以进一步通过减小电源电压和增大阈值电压进行低功耗互连设计. 但是前提条件需要保证当电源电压和阈值电压作变量处理时, FOM 为凸函数, 存在最优值. 在 65 nm 工艺条件下<sup>[10]</sup>, 图 5 给出了 FOM 在  $V_{dd} - V_{th}$  空间上的等高线, 表示相同 FOM 对应的  $V_{dd}$  和  $V_{th}$ , 等高线最终退化为点, 这表示 FOM 存在最优值.

值得注意的是, 图 5 得到的电源电压和阈值电

压是 FOM 在无约束条件下的最优值, 通过计算该电源电压和阈值电压下的单位延时、带宽和功耗, 发现虽然功耗能有 70% 多的降低, 但是延时和带宽却也有 40% 多的牺牲, 显然, 不加以约束的 FOM 得到的最优值不能满足设计的需要. 因此需要针对前述的目标函数施加一定的延时或带宽约束, 找出额外的电源电压和阈值电压使 FOM 最大, 即双电源电压和双阈值电压中的另一个电压值. 问题可以归结为

表 2 FOM 最优时各互连参数值

工艺条件/nm	$W_{opt} = S_{opt}/nm$	$h_{opt}/mm$	$s_{opt}$	延时 /ns·m <sup>-1</sup>	带宽 /10 <sup>4</sup> GHz	功耗/W·m <sup>-1</sup>	面积/mm <sup>2</sup>
65	348	0.80	78	73.6	1.954	0.72	0.103
45	235	0.48	62	119.2	1.783	0.81	0.110

如下的有约束的最优化问题求解:

$$\begin{aligned} & \max \text{FOM}(V_{\text{dd}}, V_{\text{th}}) \\ \text{s. t. } & \begin{cases} \left(\frac{\tau}{h}\right)(V_{\text{dd}}, V_{\text{th}}) = (1+f)\left(\frac{\tau}{h}\right)_{\text{opt}}, \\ S \geq \text{pitch}/2, \\ V_{\text{thn}} + V_{\text{thp}} < V_{\text{dd}}, \\ |V_{\text{th}}| \geq |V_{\text{th0}}|, V_{\text{dd}} < V_{\text{dd0}}. \end{cases} \end{aligned} \quad (10)$$

上式中,第一个为给定的延时(或带宽)的约束.由(7)式可知,由于延时和带宽互为成比例倒数关系,所以这里给定延时的约束也即相当于给定了带宽的约束, $f$ 为延时牺牲因子.第二个约束条件为全局

互连的线宽(线间距)需满足最小线宽、线间距要求,即大于最小 pitch 的一半.第三个约束条件是为保证缓冲器中晶体管能导通所需满足的条件,即 NMOS 晶体管的阈值电压  $V_{\text{thn}}$  与 PMOS 晶体管的阈值电压  $V_{\text{thp}}$  之和小于电源电压,第四个约束保证调整后的阈值电压大于标准阈值电压  $V_{\text{th0}}$ ,而调整后的电源电压小于标准电源电压  $V_{\text{dd0}}$ ,以达到功耗降低.

考虑到 FOM 与  $1/\text{FOM}$  最优值对应相同的  $V_{\text{dd}}$  和  $V_{\text{th}}$ , 令  $1/\text{FOM}$  对  $V_{\text{dd}}$  和  $V_{\text{th}}$  求偏导有

$$\begin{aligned} \frac{\partial(1/\text{FOM})}{\partial V_{\text{dd}}} &= \frac{\partial(p/h)^i}{\partial V_{\text{dd}}} \cdot \frac{(\tau/h)^j}{\Phi^k} + j \cdot \left(\frac{\tau}{h}\right)^{j-1} \cdot \frac{(\tau/h)}{2 \cdot r_s} \cdot \frac{\partial r_s}{\partial V_{\text{dd}}} \cdot \frac{(p/h)^i}{\Phi^k} \\ &+ \left(\frac{p}{h}\right)^i \cdot \left(\frac{\tau}{h}\right)^j \cdot k \frac{1}{\Phi^{k+1}} \left( \frac{1}{(W+S)^k} \cdot \frac{1}{2 \cdot r_s} \cdot \frac{\partial r_s}{\partial V_{\text{dd}}} \right) = 0, \end{aligned} \quad (11)$$

$$\begin{aligned} \frac{\partial(1/\text{FOM})}{\partial V_{\text{th}}} &= \frac{\partial(p/h)^i}{\partial V_{\text{th}}} \cdot \frac{(\tau/h)^j}{\Phi^k} + j \cdot \left(\frac{\tau}{h}\right)^{j-1} \cdot \frac{(\tau/h)}{2 \cdot r_s} \cdot \frac{\partial r_s}{\partial V_{\text{th}}} \cdot \frac{(p/h)^i}{\Phi^k} \\ &+ \left(\frac{p}{h}\right)^i \cdot \left(\frac{\tau}{h}\right)^j \cdot k \frac{1}{\Phi^{k+1}} \cdot \left( \frac{1}{(W+S)^k} \cdot \frac{1}{2 \cdot r_s} \cdot \frac{\partial r_s}{\partial V_{\text{th}}} \right) = 0, \end{aligned} \quad (12)$$

$$\left(\frac{\tau}{h}\right)(V_{\text{dd}}, V_{\text{th}}) = \log_e 2 \left( \frac{1}{h} r_s (c_0 + c_p) + \frac{r_s}{s} c + r s c_0 + \frac{1}{2} r c h \right) = (1+f) \left(\frac{\tau}{h}\right)_{\text{opt}}, \quad (13)$$

其中

$$\begin{aligned} \frac{\partial(p/h)^i}{\partial V_{\text{dd}}} &= i \cdot \left(\frac{p}{h}\right)^{i-1} \cdot \left( (2 \cdot \alpha_2 f_{\text{clk}} V_{\text{dd}}) \right. \\ &\times \left. \left( \frac{s}{h} \cdot (c_p + c_0) + c \right) \right. \\ &\left. + k_2 \cdot \frac{s}{h} + \frac{s}{h} \cdot V_{\text{dd}} \cdot \frac{k_2}{I_{\text{offn}}} \cdot \frac{\partial I_{\text{offn}}}{\partial V_{\text{dd}}} \right), \end{aligned}$$

$$\frac{\partial(p/h)^i}{\partial V_{\text{th}}} = \frac{k_2}{I_{\text{offn}}} \cdot V_{\text{dd}} \cdot \frac{s}{h} \cdot \frac{\partial I_{\text{offn}}}{\partial V_{\text{th}}},$$

$$\frac{\partial r_s}{\partial V_{\text{dd}}} = k_{\text{tech}} \cdot \frac{(1 - \alpha_1) V_{\text{dd}} - V_{\text{th}}}{(V_{\text{dd}} - V_{\text{th}})^{\alpha_1 + 1}},$$

$$\frac{\partial r_s}{\partial V_{\text{th}}} = k_{\text{tech}} \cdot \frac{\alpha_1 V_{\text{dd}}}{(V_{\text{dd}} - V_{\text{th}})^{\alpha_1 + 1}},$$

$$\frac{\partial I_{\text{offn}}}{\partial V_{\text{dd}}} = I_{\text{offn}} \cdot \frac{\eta}{n V_T},$$

$$\frac{\partial I_{\text{offn}}}{\partial V_{\text{th}}} = I_{\text{offn}} \cdot \frac{-1}{n V_T},$$

$$k_2 = \frac{3}{2} I_{\text{offn}} W_{\text{min}}.$$

这样,通过使用数值方法求解(11),(12)和(13)式得到的  $V_{\text{dd}}$  和  $V_{\text{th}}$  即为双电源电压和双阈值电压设计中除了标准电源电压和阈值电压的第二个电压值.

#### 4. 分析与讨论

采用表 1 所列的顶层全局互连工艺参数和缓冲器模型参数,对文中提出的目标函数 FOM,在 65 和 45 nm 工艺条件下<sup>[9]</sup>,针对  $i=1, j=1, k=1$  情况,在最优互连宽度和间距的基础上,进一步来讨论电源电压和阈值电压对整个互连性能的影响,并与表 2 未考虑电源电压和阈值电压变化的各性能参数进行比较.

采用数值方法分别在  $f$  分别为 5%, 10%, 20% 延时牺牲条件下得到的优化的电源电压和阈值电压及其所对应的缓冲器间距和尺寸、互连延时、功耗和带宽等性能参数如表 3 所示.表 4 给出了电源电压和阈值电压变化前后各性能参数的比值.

表3 不同 $f$ 值时全局互连性能参数值

工艺条件/nm	$f/\%$	$V_{dd}/V$	$V_{th}/V$	$h/\mu\text{m}$	$s$	延时/ $\text{ns}\cdot\text{m}^{-1}$	带宽/ $10^4$ GHz	功耗/ $\text{W}\cdot\text{m}^{-1}$	面积/ $\text{mm}^2$
65	5	0.973	0.294	0.83	81	77.3	1.86	0.52	0.103
	10	0.873	0.295	0.87	85	81	1.78	0.43	0.103
	20	0.735	0.298	0.96	93	88.4	1.63	0.31	0.103
45	5	0.798	0.244	0.51	65	125.2	1.70	0.58	0.11
	10	0.718	0.245	0.53	68	131.1	1.62	0.47	0.11
	20	0.607	0.248	0.58	74	143.1	1.48	0.34	0.11

表4 优化前后不同 $f$ 值时各性能参数值比值

工艺条件/nm	$f/\%$	$V_{dd}$ -之比	$V_{th}$ -之比	$h/h_{opt}$	$s/s_{opt}$	延时牺牲/ $\%$	带宽牺牲/ $\%$	功耗节省/ $\%$	面积比
65	5	0.973	1.176	1.04	1.04	5	4.76	27.8	1
	10	0.873	1.18	1.09	1.09	10	9.1	40.3	1
	20	0.735	1.192	1.2	1.19	20	16.7	56.9	1
45	5	0.998	1.22	1.06	1.05	5	4.76	28.4	1
	10	0.898	1.225	1.10	1.10	10	9.1	41.7	1
	20	0.759	1.24	1.21	1.20	20	16.7	58.0	1

表3中通过对文中所提的FOM函数优化得到的电源电压和阈值电压,即为双电源电压和双阈值电压设计中除了标准电源电压和阈值电压的第二个电压值。

表4结果显示,在给予一定的延时牺牲条件下,采用双电源电压和双阈值电压技术后,互连功耗有很大程度的降低.65 nm工艺下,与表1中单电源电压 $V_{dd}=1.0$  V和 $V_{th}=0.25$  V情况相比,给予5%的延时牺牲时,由于互为成比例倒数关系,带宽牺牲了4.76%,优化所得的电源电压和阈值电压分别为0.973和0.294 V,对应电压下的缓冲器间距和尺寸增加为原来的1.04倍,功耗下降了27.8%而面积却没有变化。

适当的放宽延时约束,在给予10%的延时牺牲时,带宽牺牲了9.1%,此时电源电压和阈值电压为0.873和0.295 V,对应的缓冲器间距和尺寸增大为原来的1.09倍,而功耗却带来了40.3%的降低.倘若工作环境对功耗要求比较苛刻,可以进一步放宽延时牺牲来获取低功耗.比如给予20%的延时牺牲时,带宽牺牲了16.7%,功耗会降低56.9%。

与65 nm工艺相比,在45 nm工艺条件下,互连功耗降低程度更大,在5%的延时牺牲时,功耗降低28.4%;在10%的延时牺牲时,功耗节约了41.7%;在20%的延时牺牲时,功耗下降了58.0%。这说明,

随着工艺尺寸的缩减,采用双电源电压和双阈值电压技术对互连功耗的降低程度更大。

表4还同时表明,在增大阈值电压和减小电源电压来降低互连功耗过程中,面积比值始终为1,即这一过程不会对插入缓冲器的面积产生恶化,这表明,采用双电源电压和双阈值电压技术来降低互连功耗时不会对芯片面积产生影响。

## 5. 结 论

本文在综合讨论互连延时、带宽、功耗和面积等性能因素后,通过定义FOM,并对互连宽度、间距、电源电压和阈值电压进行合理安排,在最优互连宽度和间距情况下,进一步讨论了电源电压和阈值电压对整个互连功耗的影响.在给予一定的延时牺牲条件下,通过寻找双电压优化中相对于标准电压值之外的另一个电压值,来有效降低互连功耗.针对本文所提方法在65和45 nm工艺条件下进行了验证,65 nm工艺下,在5%,10%和20%的延时牺牲时,功耗分别降低了27.8%,40.3%和56.9%;45 nm工艺下,功耗下降更大,在对应延时牺牲条件下,功耗下降为28.4%,41.7%和58.0%。文章所提方法适合于尺寸不断缩小的纳米级全局互连优化设计。

- [1] Wang J P, Hao Y 2009 *Acta Phys. Sin.* **58** 4267 (in Chinese) [王俊平、郝跃 2009 物理学报 **58** 4267]
- [2] Li X, Wang J M, Tang W Q 2009 *Acta Phys. Sin.* **58** 3603 (in Chinese) [李鑫、Janet M Wang、唐卫清 2009 物理学报 **58** 3603]
- [3] Zhu Z M, Qian L B, Yang Y T 2009 *Acta Phys. Sin.* **58** 2631 (in Chinese) [朱樟明、钱利波、杨银堂 2009 物理学报 **58** 2631]
- [4] Li X C, Mao J F, Huang H F, Liu Y 2005 *IEEE Transactions on Electron Devices* **52** 2272
- [5] Zhu Z M, Qian L B, Yang Y T 2009 *Chin. Phys. B* **18** 1188
- [6] Banerjee K, Mehrotra A 2002 *IEEE Transactions on Electron Devices* **49** 2001
- [7] Naeemi A, Venkatesan R, Meindl J D 2004 *IEEE Transactions on Electron Devices* **51** 980
- [8] Mui M L, Banerjee K, Mehrotra A 2004 *IEEE Transactions on Electron Devices* **51** 195
- [9] Zhu Z M, Hao B T, Li R, Yang Y T 2010 *Acta Phys. Sin.* **59** 1997 (in Chinese) [朱樟明、郝报田、李儒、杨银堂 2010 物理学报 **59** 1997]
- [10] ITRS <http://www.itrs.net/Links/2007ITRS/Home2007.htm> 2007
- [11] Ku J C, Ismail Y 2007 *IEEE Transactions on VLSI Systems* **15** 963
- [12] Zhu Z M, Zhong B, Hao B T, Yang Y T 2009 *Acta Phys. Sin.* **58** 7124 (in Chinese) [朱樟明、钟波、郝报田、杨银堂 2009 物理学报 **58** 7124]
- [13] Tam K H, Hu Y, He L 2008 *IEEE Transactions on Computer Aided Design of Integrated Circuits and Systems* **27** 1498
- [14] Chang Y C, Tam K H, He L 2005 *Proc. ISLPED*, San Diego, USA, August 8—10, p137
- [15] Diril A U, Dhillon Y S, Chatterjee A, Singh A D 2005 *IEEE Transactions on VLSI Systems* **13** 1103
- [16] Bakoglu H B, *Circuits, Interconnections and Packaging for VLSI*. Reading, MA: Addison-Wesley, 1990
- [17] Chen G, Friedman E *Proc. International ASJC/SOC Conference*, Santa Clara, USA, September 12—15, p335
- [18] Wong S C, Lee G Y, Ma D J 2000 *IEEE Transactions on Semiconductor Manufacturing* **13** 108
- [19] Kim K K, Kim Y B 2009 *IEEE Transactions on VLSI Systems* **17** 517
- [20] Amelifard B, Fallah F, Pedram M 2008 *IEEE Transactions on VLSI Systems* **16** 851

# Performance optimization of global interconnect based on dual supply and dual threshold voltages<sup>\*</sup>

Dong Gang<sup>†</sup> Liu Jia Xue Meng Yang Yin-Tang

(Key Laboratory of Ministry of Education for Wide Band-Gap Semiconductor Materials and Devices,  
Microelectronics Institute, Xidian University, Xi'an 710071)

(Received 31 May 2010; revised manuscript received 21 July 2010)

## Abstract

Based on dual supply and dual threshold voltages technique, a novel methodology optimizing global interconnect performance is presented in this paper. The new figure of merit (FOM) is first defined as a function of bandwidth, delay and power consumption of global interconnect. Then, the optimal dual voltages can be obtained to save interconnect power by maximizing FOM function within a given delay penalty. Simulations show that in 65 nm technology, for the allowed delay penalties of 5%, 10% and 20%, the proposed methodology saves 27.8%, 40.3% and 56.9% power compared with the case with single supply and single threshold voltages, respectively. It can also be found that more power savings are achieved with the technology improving. The proposed methodology can be used to design and optimize global interconnects.

**Keywords:** global interconnect, dual supply voltage, dual threshold voltage, power

**PACS:** 66.30.-h, 72.15.-v

---

<sup>\*</sup> Project supported by the National Natural Science Foundation of China (Grant No. 60606006), the National Science Found for Distinguished Young Scholars, China (Grant No. 60725415) and Basic Science Research Fund in Xidian University.

<sup>†</sup> E-mail: gdong@mail.xidian.edu.cn