

Ni 全硅化金属栅功函数调节技术研究*

周华杰[†] 徐秋霞

(中国科学院微电子器件与集成技术重点实验室, 北京 100029)

(2010 年 12 月 17 日收到; 2011 年 1 月 10 日收到修改稿)

通过制备栅内不同掺杂条件的 Ni 全硅化金属栅电容并分析其 $C-V$ 和 V_{th} -EOT 特性发现, Ga 和 Yb 较常规的杂质而言具有更好的栅功函数调节能力, 能够分别将 Ni 全硅化金属栅电极功函数调节到价带顶和导带底附近, 满足高性能体硅平面互补金属氧化物半导体 (CMOS) 器件对栅电极功函数的要求. 同时根据电偶极子 (Dipole) 理论分析了 Ga 和 Yb 具有较强栅功函数调节能力的原因. 另外, 研究发现栅内掺入 Ga 或 Yb 杂质后的 Ni 全硅化金属栅电容的电容值变大、栅极泄漏电流反而变小, 通过对 $C-V$ 和栅极泄漏电流特性进行分析, 对这一现象进行了解释.

关键词: 金属栅电极, 功函数, 硅化物

PACS: 81.05. Bx, 81.05. Je, 81.05. Cy

1. 引言

随着集成电路产业的发展, 金属栅电极 (metal gate) 将取代传统的多晶硅栅电极成为下一代栅电极材料. 金属栅电极较多晶硅栅电极而言具有以下优点: 消除了多晶硅耗尽效应、没有硼穿透效应、电阻率低、与下一代高介电常数栅介质材料 (High K) 兼容性好. 迄今为止, 国内外科研人员已经提出了多种金属栅电极制备方案^[1-5]. 美国 Intel 公司采用后栅工艺 (Gate Last) 方案在世界上首先将 High K /Metal Gate 技术成功应用在其 45 nm 工艺制程中, 这宣告了 High K /Metal Gate 时代的到来. 但是从制备工艺的角度, 该方案仍然存在可靠性和成本等问题^[6]. 由于全硅化金属栅电极 (FUSI) 方案与传统的 CMOS 工艺相比, 对原有的工艺改动较小, 能够继承以前工艺的一些特点, 也成为一种可供选择的低成本的金属栅电极集成方案之一^[7]. 全硅化金属栅电极一个比较重要的特点是可以采用硅化前向多晶硅栅电极内注入杂质的方法来调节全硅化金属栅电极的栅功函数. 我们已经在之前的研究工作中对常规的二氧化硼 (BF_2), 磷 (P), 砷 (As) 杂质的栅功函数调节能力进行了详细的研究^[8]. 研究结果表明常规杂质栅

功函数调节能力有限, 无法满足高性能平面体硅 CMOS 器件栅功函数的要求. 为了获得更大的栅功函数调节能力, 本文对非常规的掺镱 (Yb) 和镓 (Ga) 杂质的 Ni 全硅化金属栅功函数调节能力进行了深入研究.

2. 实验

实验制备了三种不同栅氧化层厚度的 Ni 全硅化金属栅电容. 采用 N(100) 电阻率 $2-4 \Omega \cdot \text{cm}$ 和 P(100) 电阻率 $15-25 \Omega \cdot \text{cm}$ 的硅衬底制备 p 型和 n 型 MOS 电容分别来研究 Ga 和 Yb 元素的栅功函数调节能力. 具体工艺过程如下: 首先在衬底上形成局部氧化隔离结构 (LOCOS); 热生长三种不同厚度的氧化层栅介质层, 其厚度通过椭圆仪测定分别为 1.8, 3.4 和 4.4 nm; 接着低压化学气相淀积 (LPCVD) 1800 Å 多晶硅并光刻、刻蚀形成栅电极; 向栅内注入不同剂量的杂质 (Yb 或 Ga); 进行杂质激活退火 (仅对 Ga 元素); 然后淀积 1200 Å 金属 Ni, 金属 Ni 与多晶硅栅电极的厚度比为 $t_{\text{Ni}}/t_{\text{Si}} = 0.67$; 接着采用 520 °C 快速热退火 (RTA) 使多晶硅栅电极与 Ni 反应生成 Ni 全硅化金属栅并选择去除未反应的金属 Ni; 背面溅射铝 (Al) 并合金形成接触降低背面接触电阻.

使用美国 MDC 公司的电容电压测试设备进行 $C-$

* 国家 02 科技重大专项项目 (批准号: 2009ZX02035-06) 资助的课题.

[†] E-mail: zhouhuajie@ime.ac.cn

V 特性测试,并利用加州 Berkeley 大学开发的量子电容电压模拟器 (QMCV) 进行拟合得到等效氧化层厚度 (EOT). 器件的电流电压 (I - V) 特性采用 Keithley 公司的 4200 型半导体特性测试仪进行测试得到.

3. 结果和讨论

3.1. C - V 特性结果

图 1 给出了不同栅介质厚度和栅内不同掺杂条

件下 Ni 全硅化金属栅电容 C - V 特性曲线. 由于栅内掺杂和未掺杂的电容栅介质的氧化工艺和厚度是一样的,因此平带电压 (V_{fb}) 的变化反映了栅电极功函数的变化.

从图 1 中可以看出栅内掺入 Ga 或 Yb 电容与栅内未掺杂电容 C - V 特性曲线相比分别向右或向左发生偏移,意味着分别将栅功函数调高和调低;而且掺入 Ga 或 Yb 杂质后 C - V 特性曲线偏移程度都比较大,说明这两种杂质都具有很好的栅功函数调节能力. 尤其是 Ga 元素,栅内只需要注入很小的注

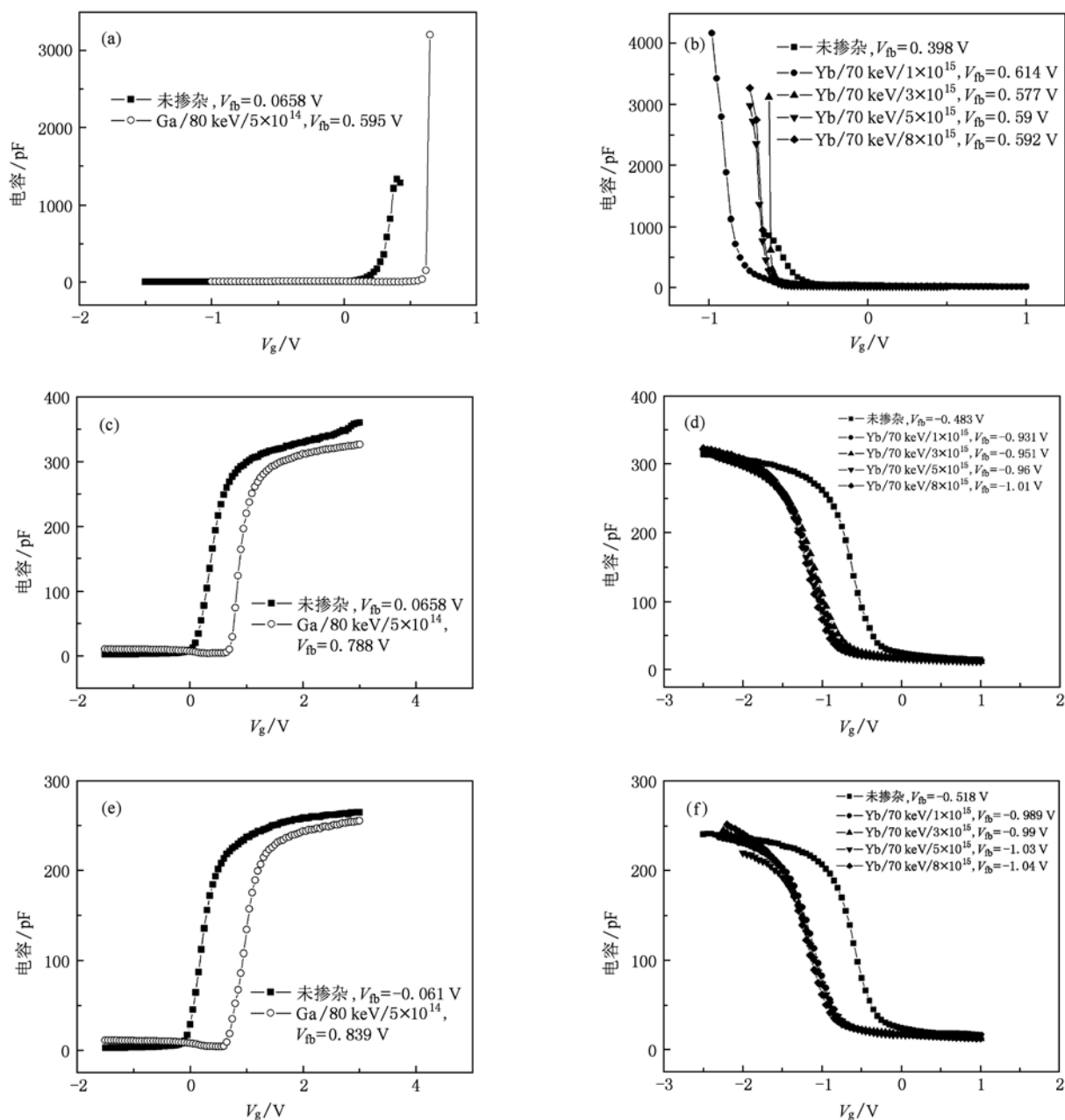


图 1 不同栅氧厚度和栅内不同掺杂条件 Ni 全硅化金属栅电容 C - V 特性曲线 (a) $T_{ox} \sim 1.8$ nm, 掺杂 Ga; (b) $T_{ox} \sim 1.8$ nm, 掺杂 Yb; (c) $T_{ox} \sim 3.4$ nm, 掺杂 Ga; (d) $T_{ox} \sim 3.4$ nm, 掺杂 Yb; (e) $T_{ox} \sim 4.4$ nm, 掺杂 Ga; (f) $T_{ox} \sim 4.4$ nm, 掺杂 Yb

入剂量就能够获得很大 V_{fb} 偏移量. 如图 1(c) 所示, $5 \times 10^{14} \text{ cm}^{-2}$ 的注入剂量就能够导致 0.726 V 的 V_{fb} 变化. 对于 Yb 而言, 从图 1(d) 可以看出最小的注入剂量 ($1 \times 10^{15} \text{ cm}^{-2}$) 与未掺杂电容平带电压之间的差值为 0.448 V. 这说明 Yb 也具有非常好的调节效果. 而且当注入剂量从 $1 \times 10^{15} \text{ cm}^{-2}$ 增加到 $8 \times 10^{15} \text{ cm}^{-2}$ 时, V_{fb} 从 -0.913 V 变为 -1.01 V, 说明增加注入剂量能够扩大栅功函数调节的范围, 但是当注入剂量大于 $3 \times 10^{15} \text{ cm}^{-2}$ 以后, 其调节能力逐渐饱和.

值得注意的是栅介质厚度很薄的 ($T_{ox} \sim 1.8 \text{ nm}$) 栅内掺入 Ga 或 Yb 杂质的 Ni 全硅化金属栅电容的电容值较栅内未掺杂电容会急剧增大. 如图 1(a) 和 (b) 所示, Ga 注入剂量为 $5 \times 10^{14} \text{ cm}^{-2}$ 的电容测试值为 3206 pF, 而 Yb 注入剂量为 $1 \times 10^{15} \text{ cm}^{-2}$ 的电容测试值达到了 4170 pF. 实验所制备的电容的面积为 $3.14 \times 10^{-4} \text{ cm}^2$, 按照 4170 pF 推导得到的等效电容厚度 (CET) 只有 0.3 nm. 而实际生长的栅介质的厚度为 1.8 nm. 两者之间存在很大的差距. 尽管全硅

化工艺会导致金属进入栅介质造成栅介质厚度变薄^[9], 但是也不可能变这么薄. 如此薄的栅介质厚度会导致非常大的栅极泄漏电流, 而后面所给出的实际测试的栅极泄漏电流并没有变得非常大, 相反掺 Ga 或 Yb 电容与未掺杂电容相比栅极泄漏电流反而减小. 造成掺杂后电容变大的原因有两个: 一方面, Yb 是一种镧系金属, 而镧系金属氧化物一般介电常数比较大, 被认为是高 K 材料. 比如 Yb_2O_3 就是一种高 K 介质材料. Ga 元素的氧化物 Ga_2O_3 也是一种高 K 材料. 全硅化过程中部分 Ga 和 Yb 进入栅介质并与其反应在栅电极/栅介质界面附近生成了类似高 K 材料的物质^[10], 使栅介质的 K 值变大, 电容值也随之变大. 另一方面, 随着所加栅极电压逐渐增加, 器件的栅极泄漏电流也逐渐增大, 而电容测试系统在栅漏电流比较大情况下会给出比较大的电容值.

3.2. 栅功函数的推导

图 2 为根据 C - V 特性曲线通过拟合后得到的各种不同掺杂条件下电容的 V_{fb} -EOT 曲线.

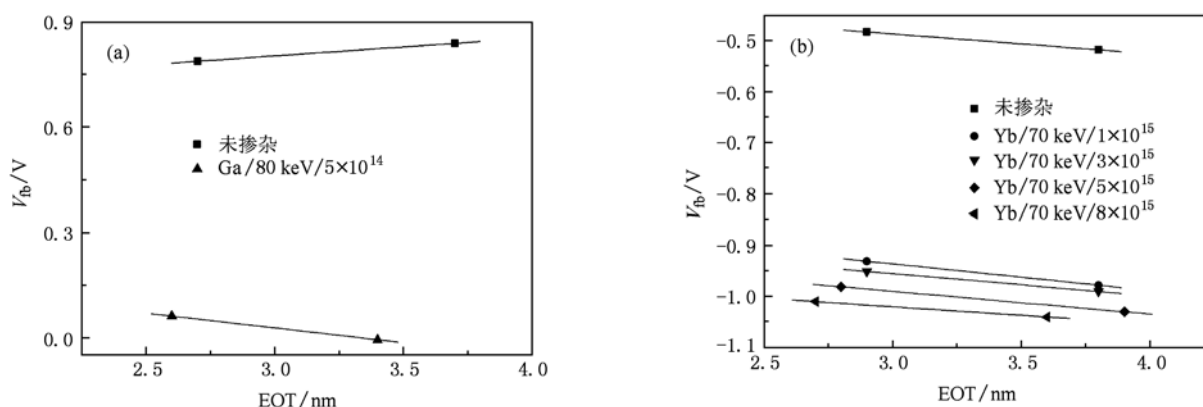


图 2 栅内掺 Ga(a) 和 Yb(b) 全硅化金属栅电容 V_{fb} -EOT 曲线

V_{fb} 的表达式为

$$V_{fb} = \phi_{ms} - \frac{Q_o}{C_{ox}} = \phi_{ms} - \frac{Q_o}{\epsilon_0 \epsilon_{ox}} \text{EOT}, \quad (1)$$

ϕ_{ms} 指衬底和栅电极的功函数差, ϵ_{ox} 指 SiO_2 的相对介电常数, ϵ_0 指真空介电常数, Q_o 指等效氧化层电荷. 该函数代表了一条直线. 直线与纵轴的截距值就是 ϕ_{ms} . 根据衬底的掺杂浓度得到 ϕ_s , 再根据公式

$$\phi_m = \phi_{ms} + \phi_s, \quad (2)$$

可推得金属栅功函数 ϕ_m . 表 1 和表 2 分别给出推导的掺 Ga 和 Yb 的全硅化金属栅电极功函数.

在推导栅功函数的过程中, 考虑到图 1(a) 和

(b) 的电容值非常大, 不合理, 故推导过程中没有采用图中数据, 只使用其余两种厚度 (3.4 和 4.4 nm) 电容的数据. 由于使用不同类型衬底分别研究 Yb 和 Ga 的栅功函数调节能力, 为了做比较, 分别制备了未掺杂全硅化金属栅栅电极, 推导得到的栅功函数分别为 4.621 (表 1) 和 4.606 eV (表 2), 仅相差 0.015 eV, 说明衬底类型不会对实验结果造成影响.

表 1 掺 Ga 全硅化金属栅功函数

杂质	未掺杂	Ga
剂量/ cm^{-2}	0	5×10^{14}
功函数/eV	4.621	4.989

表2 掺 Yb 全硅化金属栅栅功函数

杂质	Yb				
剂量/cm ⁻²	0	1 × 10 ¹⁵	3 × 10 ¹⁵	5 × 10 ¹⁵	8 × 10 ¹⁵
功函数/eV	4.606	4.206	4.151	4.120	4.057

从表1看出,仅注入了 $5 \times 10^{14} \text{ cm}^{-2}$ 剂量的 Ga 就将栅功函数调高至 4.989 eV,较未掺杂情况调高了 0.368 eV,进一步验证了 Ga 具有非常好的栅功函数调节能力. 根据表2的结果也同样可以看出 Yb 也具有较好的调节能力,将栅功函数最低调节到 4.057 eV;而且随着注入剂量的增加,栅功函数调节

范围逐渐增大,当注入剂量从 $1 \times 10^{15} \text{ cm}^{-2}$ 增加至 $8 \times 10^{15} \text{ cm}^{-2}$ 时,栅功函数从 4.206 eV 增加到 4.057 eV. 以上结果说明, Ga 和 Yb 具有非常好的栅功函数调节能力,能够分别将 Ni 全硅化金属栅功函数调节到价带顶和导带低附近,满足高性能体硅平面 CMOS 器件的要求,这增加了 Ni 全硅化金属栅的应用前景.

图3给出了本实验结果与世界上其他研究小组的对比情况^[10-21],从图中可以看出本实验得到的结果还是比较理想的.

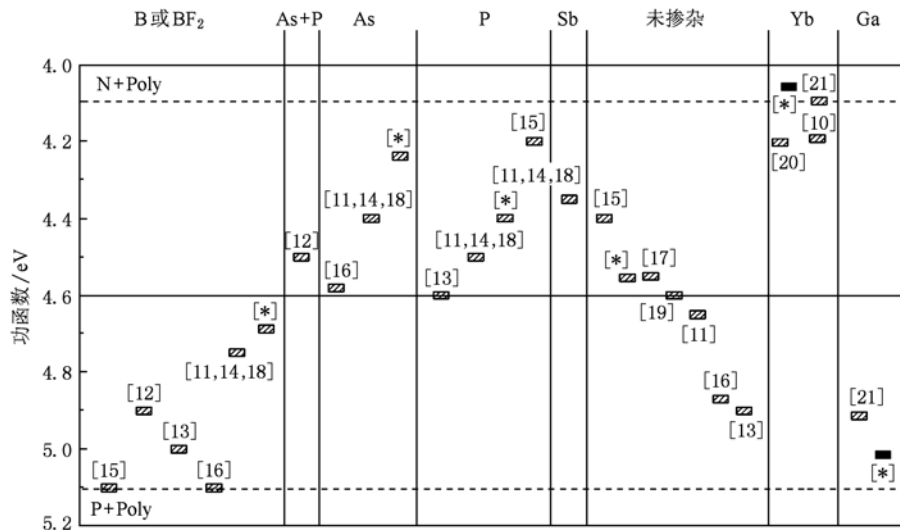


图3 各个研究小组调节结果对比([*]为我们实验结果)

3.3. 栅功函数调节机理分析

从上面的研究结果看出 Ga 和 Yb 元素的栅功函数调节能力非常好,可以用下面的电偶极子模型来解释其功函数的调节原理^[22-25]:全硅化工艺过程中 Yb 和 Ga 被分凝至栅界面附近与氧发生反应,在全硅化金属栅电极/栅介质界面处形成高极性 Yb—O, Ga—O 键. 由于 Yb, Ga 和 O 元素具有不同的电负性(χ),导致吸引电子的能力不同,从而在界面处形成电偶极子(dipole). 如图4所示,该电偶极子层在界面处引入一个局部电场使得界面处的能带发生弯曲,从而导致栅电极的有效功函数($\Phi_{m,eff}$)发生改变. 对于 Ga 而言,引入 p 型电偶极子(p-type dipole),电场方向为从全硅化金属栅电极指向栅介质,使得 $\Phi_{m,eff}$ 变大;而 Yb 则在界面处引入 n 型电偶极子(n-type dipole),电场从栅介质指向全硅化金属栅电极,使 $\Phi_{m,eff}$ 变小. 而且功函数的调节能力正比

于偶极子的偶极矩(μ)

$$\mu = Q \times d, \quad (3)$$

“Q”为偶极子电量,正比于电负性差($\Delta\chi$);“d”为离子间距离,正比于离子半径(r). 因此偶极矩正比于电负性差与离子间距离乘积($\Delta\chi \times d$). 图4给出了金属调节全硅化金属栅功函数示意图.

表3给出了不同杂质在界面处形成的偶极子的相关参数表. 由于杂质对栅功函数的调节能力正比于电负性差和离子间距离的乘积 $\Delta\chi \times d$,因此从表3中可以很明显看出 Ga 和 Yb 的栅功函数调节能力远大于 As 和 B 的栅功函数调节能力. 采用该理论可以很容易解释 Ga 和 Yb 具有较强的栅功函数调节能力.

3.4. 栅极泄漏电流特性

图5给出了栅介质层厚度为 1.8 nm 的栅内分别掺杂 Ga 和 Yb 杂质同未掺杂的 Ni 全硅化金属栅电容的栅极泄漏电流比较结果. 从图中可看出对于掺 Ga 后的电容的栅泄漏电流在低电压下要小于栅

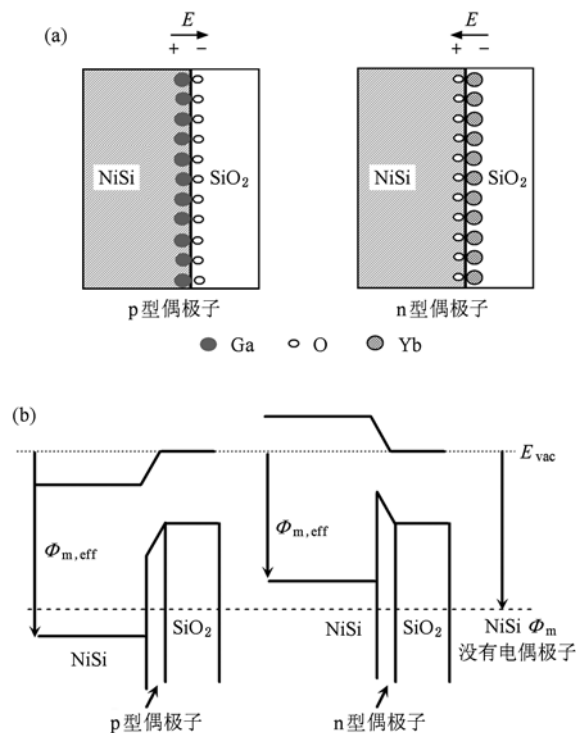


图4 (a)杂质在栅电极/栅介质界面形成电偶极示意图;(b)能带图

表3 不同杂质形成的偶极子的相关参数^[24]

元素	偶极子	χ	$\Delta\chi$	$r/\text{\AA}$	$d/\text{\AA}$	$\Delta\chi \times d$
O		3.440		1.400		
Yb	Yb—O	1.100	2.340	0.980	2.380	5.570
Ga	Ga—O	1.810	1.630	0.620	2.020	3.290
As		2.180		2.110		
Si	As—Si	1.900	0.280	0.260	2.370	0.660
Ni	As—Ni	1.910	0.270	0.690	2.80	0.756
B		2.040		1.220		
Si	B—Si	1.900	0.140	0.260	1.480	0.210
Ni	B—Ni	1.910	0.130	0.690	1.910	0.250

内未掺杂的全硅化金属栅电容的栅泄漏电流;当电压大于1 V后逐渐接近未掺杂的全硅化金属栅电容的栅泄漏电流. 栅内掺 Yb 的电容在栅电压小于0.8 V 时, 泄漏电流基本小于未掺杂的全硅化金属栅电容的泄漏电流;当栅电压逐渐加大时栅泄漏电流逐渐接近未掺杂的全硅化金属栅电容的泄漏电流. 总体而言, 掺入杂质后电容的栅极泄漏电流变小了. 由于电容的栅极泄漏电流和栅介质的物理厚度密切相关, 电流减小说明栅介质的物理厚度变厚了. 我们认为可以采用下面的理论来解释这一现象: 全硅化过程中, 一部分 Ga 和 Yb 杂质被分凝至

栅介质界面附近甚至进入栅介质内与 O 反应生成一层类似高 K 材料的物质, 导致整个栅介质的物理厚度变厚, 降低了栅极泄漏电流; 但是该层高 K 材料同时也增大了整体栅介质的介电常数, 从而 EOT 降低, 结果使得整个电容值变大. IMEC 和新加坡的研究人员也发现了这一现象^[10,26].

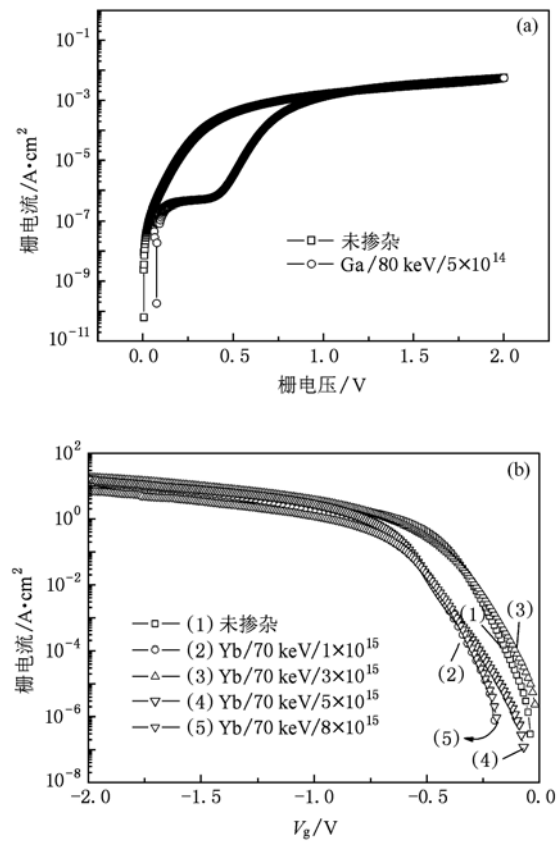


图5 掺 Ga(a) 和 Yb(b) 全硅化金属栅电容栅极泄漏电流特性

4. 结 论

通过制备 Ni 全硅化金属栅电容得到 C - V 和 V_b -EOT 特性研究了 Ga 和 Yb 的栅功函数调节能力, 发现 Ga 和 Yb 杂质具有十分理想的栅功函数调节能力. 其调节能力远大于常规的 BF_2 , P 和 As 杂质, 能够将栅功函数调节至导带底和价带顶附近, 满足高性能体硅平面 CMOS 器件的要求. 其机理是在全硅化过程中 Ga, Yb 与 O 反应在栅介质界面附近生成电偶极子, 具有较大的偶极矩, 而栅功函数调节能力正比于偶极矩. 同时根据电容的栅极泄漏电流特性及 C - V 特性发现, 栅内注入 Ga 和 Yb 的电容电容值变大, 栅极泄漏电流反而变小, 对这一现象, 进行了机理分析.

- [1] Yagishita A, Saito T, Nakajima K, Inumiya S, Akasaka Y, Ozawa Y, Hieda K, Tsunashima Y, Suguro K, Arikado T, Okumura K 2000 *IEEE Transactions on electron devices* **47** 1028
- [2] Lu Q, Yee Chia Yeo, Ranade P, Takeuchi H, Tsu-Jae King, Hu C M, Song S C, Luan H F, Dim-Lee Kwong 2000 *Symposium on VLSI Technology* p72
- [3] Polishchuk I, Ranade P, King T J, Hu C M 2002 *IEEE electron device letters* **23** 200
- [4] Ha D, Takeuchi H, Choi Y K, King T J 2004 *IEEE transactions on electron devices* **51** 1989
- [5] Tavel B, Skotnicki T, Pares G, Carriere N, Rivoire M, Leverd F, Julien C, Torres J, Pantel R 2001 *International Electron Devices Meeting* 825
- [6] Mayuzumi S, Yamakawa S, Tateshita Y, Hirano T, Nakata M, Yamaguchi S, Tai K, Wakabayashi H, Tsukamoto M, Nagashima N 2009 *IEEE Trans. Electron Devices* **56** 620
- [7] Chen Y, Chen K, Yeh W, Yuan J, Yeh F 2010 *IEEE Transactions on Device and Materials Reliability* Issue: **99** 1
- [8] Zhou H J, Xu Q X 2007 *Chinese Journal of Semiconductors* **28** 1532
- [9] Shan X N, Huang R, Li Y, Cai Y M 2007 *Acta Physica Sinica* **56** 4943 (in Chinese) [单晓楠、黄如、李炎、蔡一茂 2007 *物理学报* **56** 4943]
- [10] Veloso A, Yu H Y, Lauwers A, Chang S Z, Adelmann C, Onsia B, Demand M, Brus S, Vrancken C, Singanamalla R, Lehn P, Kittl J, Kauerauf T, Vos R, O'Sullivan B J, Van Elshocht S, Mitsuhashi R, Whittemore G, Yin K M, Niwa M, Hoffmann T, Absil P, Jurczak M, Biesemans S 2007 *Solid State Device Research Conference*, 2007. ESSDERC 2007. 37th European Munich 11—13 Sept. 2007 p195
- [11] Kedzierski J, Nowak E, Kanarsky T, Zhang Y, Boyd D, Carruthers R, Cabral C, Amos R, Lavoie C, Roy R, Newbury J, Sullivan E, Benedict J, Saunders P, Wong K, Canaperi D, Krishnan M, Lee K-L, Rainey B A, Fried D, Cottrell P, Wong H S P, leong M, Haensch W 2002 *International Electron Devices Meeting* p247
- [12] Maszara W P 2005 *J. Electrochem. Soc.* **152** 550
- [13] Qin M, Poon V M C, Ho S C H 2001 *J. Electrochem. Soc.* **148** 271
- [14] Cabral C, Jr, Kedzierski J, Linder B, Zafar S, Narayanan Y, Fang S, Steegen A, Kozlowski P, Carruthers R, Jammy R 2004 *Symposium on VLSI* 184
- [15] Xuan P Q, Bokor J 2003 *IEEE Electron Device Letters* **24** 634
- [16] Sim J H, Wen H C, Lu I P, Kwong D L 2003 *IEEE Electron Device Letters* **24** 631
- [17] Yu D S, Wu C H, Huang C H, Chin A, Chen W J, Zhu C X, Li M F, Kwong D L 2003 *IEEE Electron Device Lett.* **24** 739
- [18] Kedzierski J, Boyd D, Ronsheim P, Zafar S, Newbury J, Ott J, Cabral C J, leong M, Haensch W 2003 *International Electron Devices Meeting* p315
- [19] Krivokapic Z, Maszara W, Achutan K, King P, Gray I, Sidorow M, Zhao E, Zhang J, Chan J, Marathe A, Lin M R 2002 *International Electron Devices Meeting* p271
- [20] Yu H Y, Chen J D, Li M F, Lee S J, Kwong D L, van Dal M, Kittl J A, Lauwers A, Augendre E, Kubicek S, Zhao C, Bender H, Brijs B, Geenen L, Benedetti A, Absil P, Jurczak M, Biesemans S 2005 *International Electron Devices Meeting* p630
- [21] Lin C T, Ramin M, Pas M, Wise R, Fang Y K, Hsu C H, Huang Y T, Cheng L W, Ma M 2007 *IEEE Electron Device Letters* **28** 831
- [22] Tsuchiya Y, Yoshiki M, Koyama M, Kinoshita A, Koga J 2005 *International Electron Devices Meeting* p622
- [23] Pourtois G, Lauwers A, Kittl J, Pantisano L, Sorée B, De Gendt S, Magnus W, Heyns M, Maex K 2005 *Microelectronic Engineering* **80** 272
- [24] Eu-Jin Lim A, Fang W W, Liu F Y, Lee R T P, Samudra G S, Kwong D L, Yeo Y C 2007 *International Semiconductor Device Research Symposium* p1
- [25] Sivasubramani P, Boscke T S, Huang J, Young C D, Kirsch P D, Krishnan S A, Quevedo-Lopez M A, Govindarajan S, Ju B S, Harris H R, Lichtenwalner D J, Jur J S, Kingon A I, Kim J, Gnade B E, Wallace R M, Bersuker G, Lee B H, Jammy R 2007 *IEEE Symposium on VLSI Technology* p68
- [26] Lim A E J, Lee R T P, Samudra G S, Kwong D L, Yeo Y C 2008 *IEEE Transactions on Electron Devices* **55** 2370

Ni-FUSI metal gate work function modulation technology^{*}

Zhou Hua-Jie[†] Xu Qiu-Xia

(Key Laboratory of Microelectronics Devices & Integrated Technology, Institute of Microelectronics,
Chinese Academy of Sciences, Beijing 100029, China)

(Received 17 December 2010; revised manuscript received 10 January 2011)

Abstract

Through fabricating Ni-FUSI metal gate capacitors and analyzing their C - V and V_{fb} -EOT characteristics, it is found that Ga or Yb has more favorable modulation ability than conventional dopants. The work function of Ni-FUSI metal gate is modulated close to the top of valence band and the bottom of conduction band, which meets the requirement of high performance CMOS devices. The high modulation abilities of Ga and Yb are explained by dipole theory. Moreover, it is found that the capacitance value of Ni-FUSI metal gate capacitor increases after incorporating Ga or Yb into Ni-FUSI metal gate, but the gate leakage current decreases. And the detailed explanation for the above phenomena is also included in this article by analyzing C - V and gate leakage current characteristics.

Keywords: metal gate, work function, silicide

PACS: 81.05. Bx, 81.05. Je, 81.05. Cy

^{*} Project supported by the National Science and Technology Major Project of the Ministry of Science and Technology of China (Grant No. 2009ZX02035-06).

[†] E-mail: zhouhua-jie@ime.ac.cn