

# 薄膜 SOI 上 SiGe HBT 集电结耗尽电荷和电容改进模型\*

徐小波<sup>†</sup> 张鹤鸣 胡辉勇

(西安电子科技大学微电子学院, 宽禁带半导体材料与器件重点实验室, 西安 710071)

(2010 年 11 月 2 日收到; 2011 年 3 月 8 日收到修改稿)

文章研究了 SOI 衬底上 SiGe npn 异质结晶体管集电结耗尽电荷和电容. 根据器件实际工作情况, 基于课题组前面的工作, 对耗尽电荷和电容模型进行扩展和优化. 研究表明, 耗尽电荷模型具有更好的光滑性; 耗尽电容模型为纵向耗尽与横向耗尽电容的串联, 考虑了不同电流流动面积, 与常规器件相比, SOI 器件全耗尽工作模式下表现出更小的集电结耗尽电容, 因此更大的正向 Early 电压; 在纵向工作模式到横向工作模式转变的电压偏置点, 耗尽电荷和电容的变化趋势发生改变. SOI 薄膜上纵向 SiGe HBT 集电结耗尽电荷和电容模型的建立和扩展为毫米波 SOI BiCMOS 工艺中双极器件核心参数如 Early 电压、特征频率等的设计提供了有价值的参考.

**关键词:** 耗尽电容, SiGe HBT, SOI

**PACS:** 85.30. Pq, 85.30. De, 85.30.-z

## 1. 引言

由于 SOI 具有抑制寄生, 降低信号串扰, 消除门锁效应, 提高软错误免疫, 提高工作电压范围等优点<sup>[1]</sup>, 为了实现小尺寸下硅基 SiGe HBT 与 SOI CMOS 的集成, IBM 首次提出一种薄膜 SOI 上的纵向 SiGe HBT 结构<sup>[2]</sup>, 通过引入“折叠集电极 (folded collector)”, 去除埋层和重掺杂亚集电区 (sub-collector), 大大降低了集电区厚度, 获得了优越的电学特性<sup>[3-8]</sup>, 并于 2008 年成功应用到意法半导体最新一代毫米波 0.13  $\mu\text{m}$  SOI SiGe BiCMOS 工艺<sup>[9]</sup>.

全世界研究团队针对 IBM 提出的折叠集电极 HBT 后续仿真和测试结果表明, 这种 SOI HBT 表现出极好的基区宽度调制效应, 正向 Early 电压大幅提高, 因此与 Early 电压成反比的集电结耗尽电容大幅减小. 基于本课题组已经建立的集电结空间电荷区模型<sup>[10]</sup>, 前面的工作对该电容做了简单理论分析<sup>[11]</sup>, 核心理论为: 器件在不同的集电结偏置、厚度、和掺杂浓度下, 表现为纵向和横向集电结空间

电荷区 (SCR) 扩展; 集电结耗尽电容分别在纵向扩展和横向扩展工作模式下表现出不同的变化趋势. 为分析方便, 该模型在推导过程中认为器件工作情况理想: 集电区纵向全部耗尽之前, SCR 不存在横向扩展; 纵向全耗尽之后, 外集电区均匀耗尽, 因此建立了单位面积电容模型. 而实际上不是这样, 本文对上述模型进行改进, 通过引入平滑函数描述全耗尽前纵向和横向 SCR 同时存在的情况, 通过引入横向 SCR 上下宽度参数描述 SCR 横向扩展, 建立了半耗尽 HBT 和全耗尽 HBT 集电结耗尽电荷和耗尽电容解析模型. 结果表明本文耗尽电荷模型具有更好的光滑性; 耗尽电容模型为纵向耗尽与横向耗尽电容的串联, 考虑了不同电流流动面积, 与常规器件相比, SOI 器件全耗尽工作模式下表现出更小的集电结耗尽电容, 因此更大的正向 Early 电压; 在纵向工作模式到横向工作模式转变的电压偏置点, 耗尽电荷和电容的变化趋势发生改变.

## 2. 器件结构和物理模型

图 1 给出了纵向 npn SOI HBT 左半部分截面

\* 国家部委资助项目 (批准号: 51308040203, 6139801)、中央高校基本科研业务费 (批准号: 72105499, 72104089) 和陕西省自然科学基金研究计划 (批准号: 2010JQ8008) 资助的课题.

<sup>†</sup> E-mail: wavychina@hotmail.com



$$\frac{1}{C_{jc}} = \frac{1}{C_{jcv}} + \frac{1}{C_{jch}}. \quad (8)$$

将(6)和(7)式代入上式,得到

$$C_{jc} = \begin{cases} \frac{C_{jco}}{(V_{cb}/V_{dc} + 1)^{1/2}} & 0 \leq V_{cb} \leq V_{jpc}, \\ \frac{1}{\frac{W_{epi}}{\epsilon_{Si}} + \frac{(V_{cb}/V_{dc} - V_{jpc}/V_{dc})^{1/2}}{\eta C_{jco}}} & V_{jpc} < V_{cb}. \end{cases} \quad (9)$$

对于全耗尽 HBT,集电结 SCR 纵向耗尽宽度  $x$  和横向耗尽宽度  $y$  分别为<sup>[11]</sup>

$$\begin{aligned} x &= W_{epi} & V_{cb} \geq 0, \\ y &= \sqrt{\frac{2\epsilon_{Si}(V_{cbi}/V_{dc} - V_{jpci}/V_{dc})}{qN_{epi}}} & V_{cb} \geq 0. \end{aligned} \quad (10)$$

不加电压时已经存在集电结横向空间电荷区. 因此集电结纵向耗尽电容恒为  $\epsilon_{Si}/W_{epi}$ . 集电结耗尽电荷和电容可直接写为

$$Q_{tc} = qN_{epi}L_E \frac{W_E}{2} W_{epi} + qN_{epi}L_E W_{DEFP}y, \quad (11)$$

$$C_{jc} = \frac{1}{\frac{W_{epi}}{\epsilon_{Si}} + \frac{(V_{cbi}/V_{dc} - V_{jpci}/V_{dc})^{1/2}}{\eta C_{jco}}}. \quad (12)$$

### 3. 结果与分析

晶体管本征基区发射结边界 Ge 含量 10%, 集电结边界上 25%, 线性增加. 非本征基极 Ge 组分为 0. 基区宽度和浓度分别为  $W_B = 35 \text{ nm}$  和  $N_B = 3 \times 10^{18} \text{ cm}^{-3}$ , 半耗尽 HBT 集电区宽度为  $W_{epi} = 150 \text{ nm}$ , 全耗尽 HBT 中  $W_{epi} = 120 \text{ nm}$ , 集电区掺杂浓度不断改变, 发射结面积为  $170 \text{ nm} \times 1850 \text{ nm}$ . 取  $W_{DEFP} = 50 \text{ nm}$ .

图 3 为部分和全部耗尽晶体管集电结电荷随反偏 bc 结电压变化函数. 由图可以看出, 随着  $V_{cb}$  增大, 集电结 SCR 不断扩展, 集电结耗尽电荷不断增大.  $N_{epi} = 1 \times 10^{17} \text{ cm}^{-3}$ , 器件为半耗尽 HBT,  $V_{cb}$  增大到  $V_{jpc}$  时, 器件从纵向工作模式转换到横向工作模式, 电荷增长趋势发生变化, 引入  $f$  函数的模型表现出更好的光滑性;  $N_{epi} = 3 \times 10^{16} \text{ cm}^{-3}$ , 器件为全耗尽 HBT, 在 bc 结电压偏置范围内横向工作, 因此电荷增大趋势一致.

集电区掺杂浓度足够高, 器件在 bc 结零偏时表现出半耗尽特性. 图 4 为半耗尽 HBT 在不同集电区浓度下集电结耗尽电容随反向 bc 结偏压的变化. 电

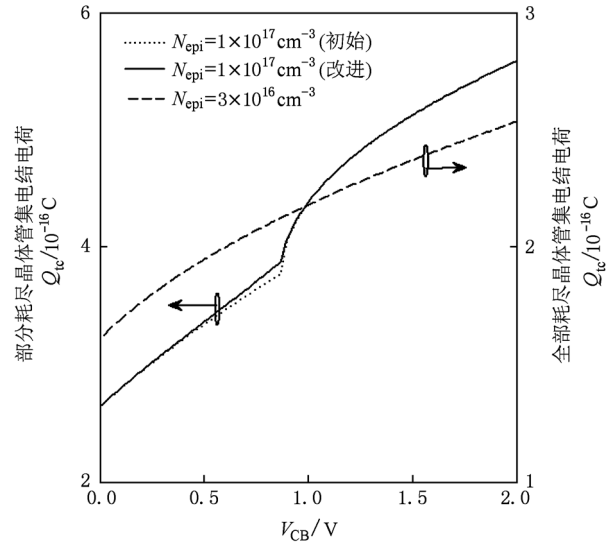


图 3 部分耗尽 HBT 集电结耗尽电荷随反偏 bc 结电压的变化

容随  $V_{cb}$  增大而减小, 对 SOI 器件, 在  $V_{jpc}$  偏置点, 器件纵向全部耗尽, 开始横向扩展, 此时总电容为纵向和横向耗尽电容的串联, 因此变化趋势发生改变; 对常规器件, 集电区厚度一般在  $1 \mu\text{m}$  以上, 器件持续纵向耗尽, 因此变化趋势不变. 随着掺杂浓度增加, 纵向耗尽产生更大的电场, 因此纵向击穿电压更大, 电容变化趋势转折点电压更大.

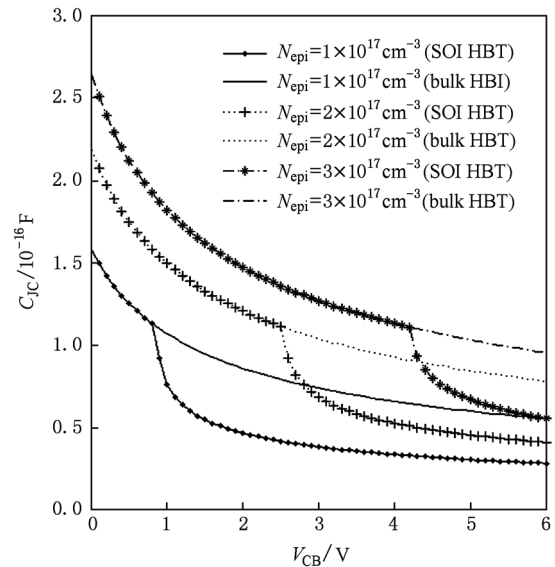


图 4 不同掺杂下半耗尽 HBT 集电结电容随反偏 bc 结电压的变化

集电区掺杂浓度足够低, 器件在 bc 结零偏时表现出全耗尽特性. 图 5 为全耗尽 HBT 在不同集电区浓度下集电结耗尽电容随反向 bc 结偏压的变化. 可

以看到,随着掺杂浓度增大,零偏耗尽电容变大,总集电结耗尽电容增大;由于全耗尽模式下纵向与横向电容的串联,SOI 器件集电结耗尽电容比常规器件小.

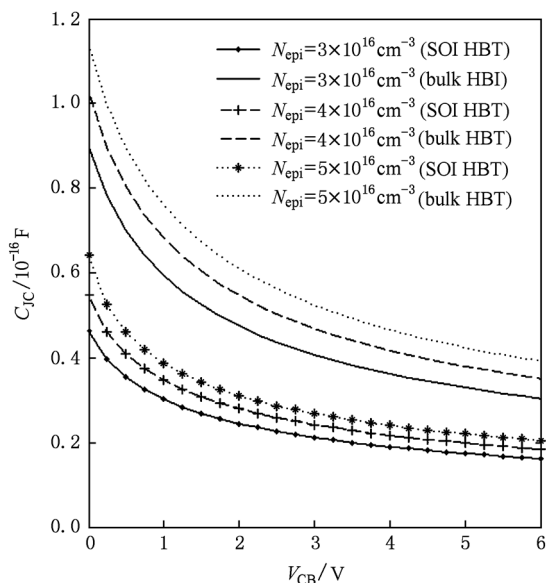


图5 不同掺杂下全耗尽 HBT 集电结电容随反偏 bc 结电压的变化

由于正向 Early 电压与集电结耗尽电容成反

比,SOI 器件特别是全耗尽 HBT 表现出优越的 Early 效应,这与多个文献结果一致<sup>[2,4,8,9]</sup>. 实际上,耗尽电容还影响其他重要参数,如集电区渡越时间,进一步影响到特征频率<sup>[12]</sup>,也影响共射极放大倍数等等,这些都是后续工作.

#### 4. 结 论

本文研究了 SOI 衬底上 SiGe npn 异质结晶体管集电结耗尽电荷和电容. 根据器件实际工作情况,基于课题组前面的工作,对耗尽电荷和电容模型进行扩展和优化. 研究表明,本文耗尽电荷模型具有更好的光滑型;耗尽电容模型为纵向耗尽与横向耗尽电容的串联,考虑了不同电流流动面积,与常规器件相比,SOI 器件全耗尽工作模式下表现出更小的集电结耗尽电容,因此更大的正向 Early 电压;在纵向工作模式到横向工作模式转变的电压偏置点,耗尽电荷和电容的变化趋势发生改变. SOI 薄膜上纵向 SiGe HBT 集电结耗尽电荷和电容模型的建立和扩展为毫米波 SOI BiCMOS 工艺中双极器件核心参数如 Early 电压、特征频率等的设计提供了有价值的参考.

[1] Fleetwood D M, Thome F V, Tsao S S, Dressendorfer P V, Dandini V J, Schwank J R 1988 *IEEE Trans. Nucl. Sci.* **35** 1099

[2] Cai J, Ajmera A, Ouyang C, Oldiges P, Steigerwalt M, Stein K, Jenkins K, Shahidi G, Ning T 2002 *Symposium on VLSI Technology Digest of Technical Papers* Honolulu, HI, United States, June 11—13, p172

[3] Ouyang Q C, Cai J, Ning T, Oldiges P, Johnson J B 2002 *Proc. IEEE Bipolar/BiCMOS Circuits and Technol. Meeting BCTM* Piscataway, NJ, United States Sep. 29—Oct. 1, p28

[4] Cai J, Kumar M, Steigerwalt M, Ho H, Schonenberg K, Stein K, Chen H J, Jenkins K, Ouyang Q C, Oldiges P, Ning T 2003 *Proc. IEEE Bipolar/BiCMOS Circuits and Technology Meeting BCTM* Toulouse, France, Sep. 28—30, p215

[5] Cai J, Ning T H 2004 *Proc. 7th International Conference on Solid-State and Integrated Circuits Technology ICSICT* Beijing, China, Oct. 18—21, p2102

[6] Avenier G, Chevalier P, Vandelle B, Lenoble D, Saguin F, Fregonese S, Zimmer T, Chantre A 2005 *Proc. of ESSDERC 2005: 35th European Solid-State Device Research Conference* Grenoble, France, Sep. 12—16, p133

[7] Bellini M, Cressler J D, Cai J 2007 *Proc. IEEE Bipolar/BiCMOS Circuits and Technology Meeting BCTM* Boston, MA, USA, Sep. 30—Oct. 2, p234

[8] Avenier G, Diop M, Chevalier P, Troillard G, Loubet N, Bouvier J, Depoyan Linda, Derrier N, Buczko M, Leyris C, Boret S, Montusclat S, Margain A, Pruvost S, Nicolson S T, Yau K H K, Revil N, Gloria D, Dutartre D, Voinigescu S P, Chantre A 2009 *IEEE Journal of Solid-State Circuits* **44** 2312

[9] Avenier G, Fregonese S, Chevalier P, Bustos J, Saguin F, Schwartzmann T, Maneux C, Zimmer T, Chantre A 2008 *IEEE Transactions on Electron Devices* **55** 585

[10] Xu X B, Zhang H M, Hu H Y, Xu L J, Ma J L 2011 *Acta Phys. Sin.* **60** 078502 (in Chinese) [徐小波、张鹤鸣、胡辉勇、许立军、马建立 2011 物理学报 **60** 078502]

[11] Xu X B, Zhang H M, Hu H Y, Ma J L, Xu L J 2011 *Chin. Phys. B* **20** 018502

[12] Fregonese S, Avenier G, Maneux C, Chantre A 2006 *IEEE Transactions on Electron Devices* **53** 296

## Improved base-collector depletion charge and capacitance model for SiGe HBT on thin-film SOI\*

Xu Xiao-Bo<sup>†</sup> Zhang He-Ming Hu Hui-Yong

(Key Laboratory for Wide Band-Gap Semiconductor Materials and Devices, School of Microelectronics, Xidian University, Xi'an 710071, China)

(Received 2 November 2010; revised manuscript received 8 March 2011)

### Abstract

The SiGe heterojunction bipolar transistor (HBT) on thin film SOI is successfully integrated with SOI CMOS by “folded collector”. This paper deals with the collector depletion charge and the capacitance of this structure. An optimized model is presented based on our previous research. The results show that the charge model is smoother, and that the capacitance model with considering different current flow areas, is vertical and horizontal depletion capacitances in series, showing that the depletion capacitance is smaller than that of a bulk HBT. The charge and capacitance vary with the increase of reverse collector-base bias. This collector depletion charge and capacitance model provides valuable reference to the SOI SiGe HBT electrical parameters design and simulation such as Early voltage and transit frequency in the latest 0.13  $\mu\text{m}$  SOI BiCMOS technology.

**Keywords:** depletion capacitance, SiGe HBT, SOI

**PACS:** 85.30.Pq, 85.30.De, 85.30.-z

---

\* Project supported by the National Ministries and Commissions of China (Grant Nos. 51308040203, 6139801), the Fundamental Research Funds for the Central Universities, China (Grant Nos. 72105499, 72104089), and the Natural Science Basic Research Plan in Shaanxi Province of China (Grant No. 2010JQ8008).

<sup>†</sup> E-mail: wavychina@hotmail.com