

套刻偏差对 4H-SiC 浮动结势垒肖特基二极管的影响研究*

汤晓燕[†] 戴小伟 张玉明 张义门

(西安电子科技大学微电子学院, 宽禁带半导体材料与器件教育部重点实验室, 西安 710071)

(2011 年 7 月 30 日收到; 2011 年 9 月 14 日收到修改稿)

4H-SiC 浮动结势垒肖特基二极管与常规结势垒肖特基二极管相比在相同的导通电阻条件下具有更高的击穿电压. 由 p^+ 埋层形成的浮动结与主结 p^+ 区之间的套刻对准是实现该结构的一项关键技术. 二维模拟软件 ISE 的模拟结果表明, 套刻偏差的存在会明显影响器件的击穿特性, 随着偏差的增大击穿电压减小. 尽管主结和埋层的交错结构与对准结构具有相似的击穿特性, 但是当正向电压大于 2 V 后, 交错结构的串联电阻更大.

关键词: 结势垒肖特基二极管, 浮动结, 套刻偏差

PACS: 85.30.Kk, 71.20.Nr, 85.30.De

1 引言

SiC 材料拥有优良的物理、化学及电学性质, 已成为新一代高功率器件的首选材料. SiC 结势垒肖特基 (JBS) 二极管相比于肖特基二极管在正向模式下有更高的浪涌电流容限^[1,2], 反向模式下泄漏电流更低, 阻断电压更高. 相比于 PIN 二极管, 其导通电阻、关态损耗更低, 反向恢复特性较好. JBS 二极管结合了 PIN 和肖特基二极管的优点, 已成为一种耐高压、耐高温、高速的理想功率二极管^[3].

SiC JBS 二极管和传统的功率开关器件一样面临着导通电阻和击穿电压的矛盾. 随着击穿电压的提高导通电阻迅速增大, 导通损耗成为高压功率开关器件不可忽视的限制因素. 通过 p^+ 埋层在体内形成浮动结突破了常规二极管导通电阻和击穿电压之间的限制. 在相同的击穿电压下, SiC 浮动结二极管能实现更小的导通电阻^[4], 降低导通损耗. 浮动结的实现需要在离子注入形成 p^+ 埋层之后进行二次外延生长. 对于浮动结 JBS 二极管二次外延后主结 p^+ 区与 p^+ 埋层间的套刻对准成为一项关键的技术, 套刻的偏差可能会对器件性能产生影响. 本文使用二维模拟软件 ISE-TCAD 建模仿真, 研究

了套刻偏差对 4H-SiC 浮动结 JBS 二极管正反向特性的影响.

2 器件结构和模型

本文模拟的器件结构如图 1 所示, 图中 x 为套刻偏差. 该结构由两个 JBS 二极管原胞拼接而成.

器件的主要结构参数选取如下: 主结 p^+ 区掺杂浓度为 $1 \times 10^{18} \text{ cm}^{-3}$, 结深为 $0.8 \mu\text{m}$, p^+ 区的条宽和间距均为 $6 \mu\text{m}$; p^+ 埋层掺杂浓度为 $1 \times 10^{18} \text{ cm}^{-3}$, 结深为 $0.8 \mu\text{m}$, 条宽和间距也为 $6 \mu\text{m}$, 主结和埋层采用同一张光刻版实现; 外延层总厚度为 $40 \mu\text{m}$ (其中第一外延层为 $19 \mu\text{m}$, 第二外延层为 $21 \mu\text{m}$), 掺杂浓度为 $5 \times 10^{15} \text{ cm}^{-3}$; 衬底厚度为 $20 \mu\text{m}$, 掺杂浓度为 $1 \times 10^{19} \text{ cm}^{-3}$.

肖特基接触的势垒高度取为 1.25 eV , 肖特基接触模型中考虑了肖特基势垒降低效应和肖特基势垒隧穿效应^[5]. 电子和空穴的碰撞离化率 α_n 和 α_p 与电场 E 的关系可表示为

$$\begin{aligned} \alpha_n &= a_n \exp\left(-\frac{b_n}{E}\right), \\ \alpha_p &= a_p \exp\left(-\frac{b_p}{E}\right), \end{aligned} \quad (1)$$

* 国家自然科学基金 (批准号: 61006060) 和宽禁带半导体材料与器件教育部重点实验室基金 (批准号: JY0100112501) 资助的课题.

[†] E-mail: xytang@mail.xidian.edu.cn

其中参数 a_n, b_n, a_p, b_p 的值取自文献 [6]. 模型及参数的正确性在文献 [7] 中已得到证实, 本文不再赘述.

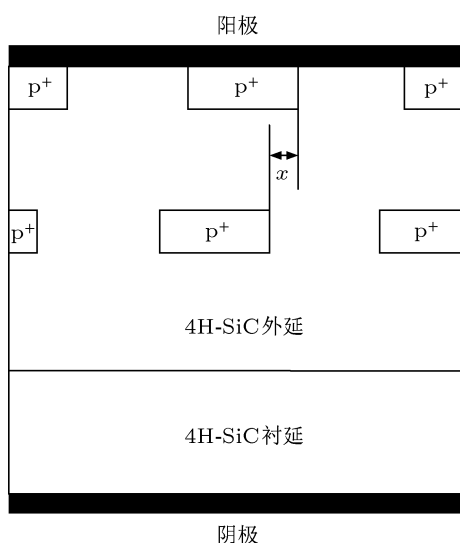


图1 本文模拟的SiC p⁺ 浮动结JBS二极管结构

3 仿真分析

本文使用 ISE-TCAD 软件对 4H-SiC 浮动结 JBS 二极管进行正反向电流密度-电压 (J - V) 特性的仿真.

3.1 反向击穿特性

图 2 所示为套刻偏差 x 对器件反向击穿特性的影响. 在反向偏置下, 引入埋层后的 JBS 二极管的击穿电压显著提高; 而浮动结 JBS 二极管的击穿电压则明显受到套刻偏差的影响, 随着套刻偏

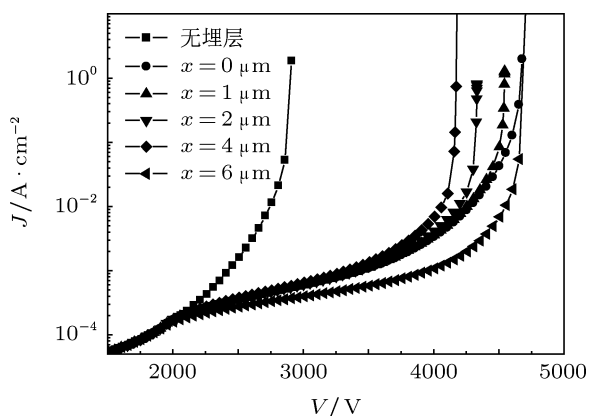


图2 套刻偏差 x 对器件反向击穿特性的影响

差 x 的增大器件的击穿电压呈下降趋势. $x = 4 \mu\text{m}$ 与 $x = 0$ 相比, 器件的击穿电压降低了约 11%. 当 $x = 6 \mu\text{m}$ (即主结和埋层的 p⁺ 区相互交错) 时, 击穿电压大约为 4625 V, 与不存在套刻偏差 ($x = 0 \mu\text{m}$, 即主结和埋层精确对准) 时的击穿电压基本相等.

图 3 所示为不同套刻偏差下反向击穿时电场的分布情况. 对准结构的电场在水平方向上呈现很好的周期性分布, 如图 3(a) 所示. 每个浮动结均匀地分担了电压降落, 降低了电场集中的风险, 从而保证了器件的高击穿电压. 而当套刻偏差 x 不为零且不是相互交错的情况下, 电场在水平方向上的周期性分布被破坏, 如图 3(b)—(d) 所示. 随着套刻偏差 x 的增大, 这个现象更加明显, 这使得击穿在高电场位置提前发生, 从而导致器件击穿电压的下降. 当主结 p⁺ 区和 p⁺ 埋层的位置偏移交错分布的情形, 电场分布又恢复到了对准结构时的周期性分布, 如图 3(e) 所示, 此时击穿电压与图 3(a) 相同.

由以上所述可知, 对准结构和交错结构有相似且良好的击穿特性, 而套刻偏差的存在会显著降低器件的击穿电压.

3.2 正向特性

图 4 所示为套刻偏差 x 对器件正向特性的影响. 在正向偏置下, 引入埋层后 JBS 二极管的导通电阻有所增大, 这是因为埋层的存在使得电流通路变窄, 从而导致导通电阻变大, 而在较低的正向电压 (1.6 V) 下, 套刻偏差对正向特性几乎没有影响.

图 5 所示为较大正向电压 (3 V) 下对准结构和交错结构正向特性的比较. 从图 5 可以看出: 在 2 V 以下, 对准结构和交错结构的正向特性曲线基本保持一致. 而当正向电压大于 2 V 后, 它们的正向特性逐渐发生了分离, 交错结构的正向曲线开始偏离线性特征. 这是由于 JBS 二极管的正向电流主要是肖特基电流成分, 在主结和埋层的 p⁺ 区交错分布的情况下, 电流在 p⁺ 埋层处受到 p-n 结耗尽区的阻碍更为明显. 由图 6 电流密度 $|J|$ 的分布可以看出, 交错结构的电流通路相比于对准结构发生了显著改变, 导电路径更窄, 从而在大电流下呈现更大的串联电阻. 另外, 在较大的正向电压下 p-n 结耗尽区逐渐展宽, 这个串联电阻随之增大, 从而导致器件的正向特性逐渐偏离线性区. 同样的原因也导致了图 2 中交错结构的反向电流密度在高的反向电压下小于

对准结构.

综上可知, 在较低正向电压下套刻偏差几乎不

影响器件的正向特性, 但在正向电流较大的情况下, 对准结构具有更低的串联电阻.

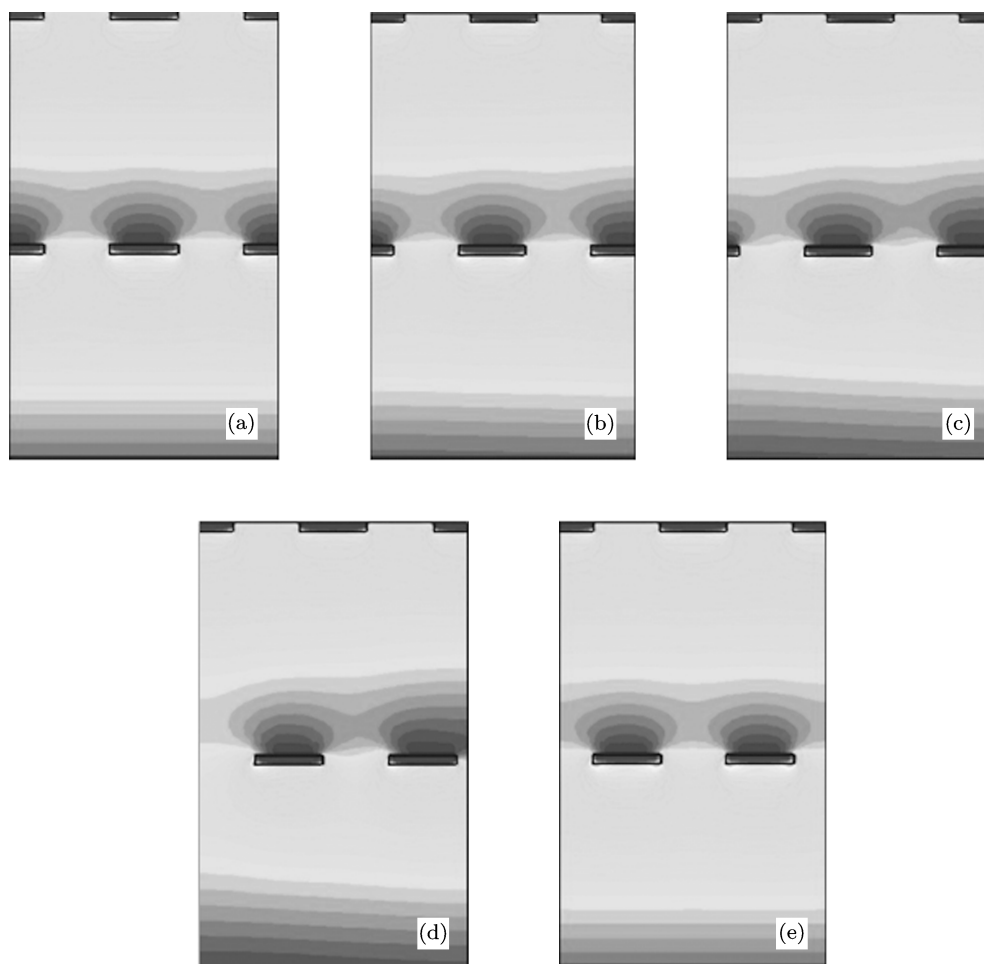


图3 不同套刻偏差下反向击穿时电场分布情况 (a) $x = 0 \mu\text{m}$; (b) $x = 1 \mu\text{m}$; (c) $x = 2 \mu\text{m}$; (d) $x = 4 \mu\text{m}$; (e) $x = 6 \mu\text{m}$

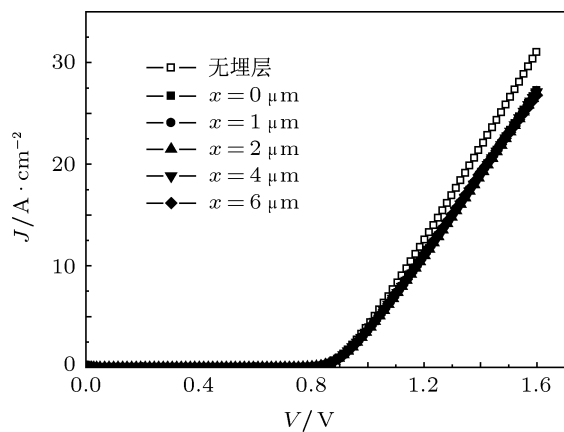


图4 套刻偏差 x 对器件正向特性的影响

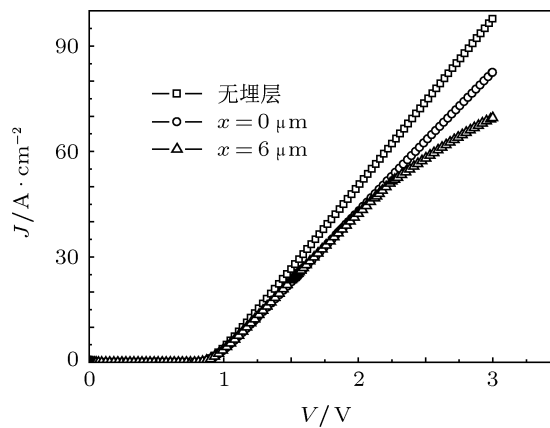


图5 较大的正向电压 (3 V) 下对准结构和交错结构正向特性的比较

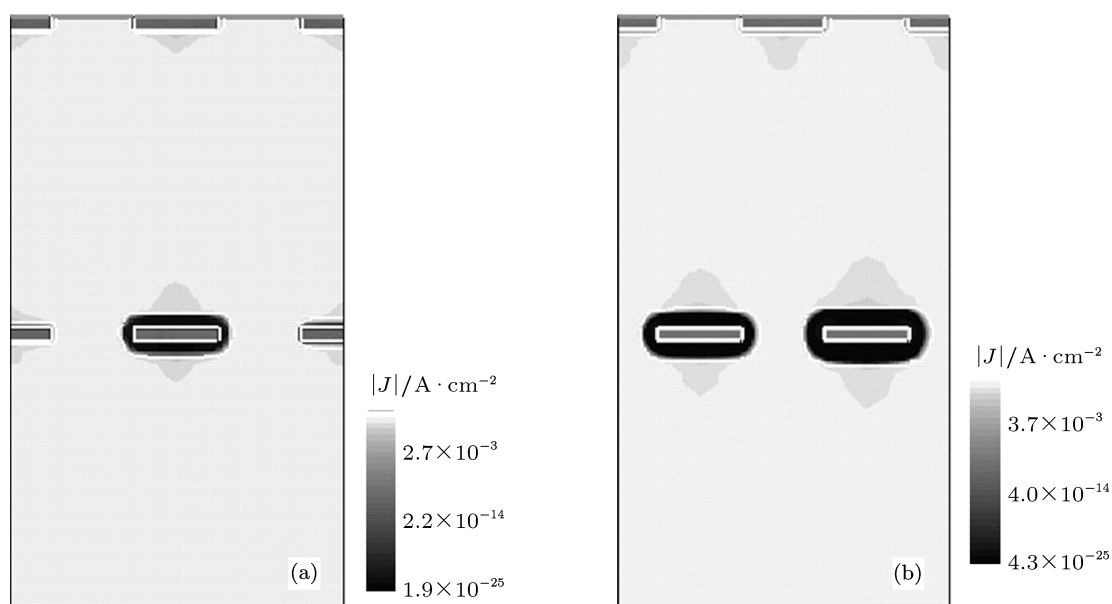


图6 正向电压(3 V)下对准结构和交错结构的电流密度分布 (a) 对准结构, $x = 0$; (b) 交错结构, $x = 6$

4 结论

4H-SiC 浮动结 JBS 二极管这一新型结构器件, 在导通电阻相当的情况下相比常规 JBS 能实现更高的击穿电压, 将进一步发挥 4H-SiC JBS 二极管的优势. 浮动结的实现需要在离子注入形成 p^+ 埋层之后进行二次外延生长, 因此二次外延后二极管主结 p^+ 区与 p^+ 埋层间的套刻对准就成为一项关键的技术. 本文采用 ISE-TCAD 软件对 4H-SiC 浮动结 JBS 二极管进行了二维仿真, 研究了套刻偏差对器件正反向性能的影响. 仿真结果表明, 套刻偏差

的存在会明显影响器件的击穿特性, 随着套刻偏差的增大击穿电压减小, 偏差 $x = 4 \mu\text{m}$ 相对于 $x = 0$ 的情况器件击穿电压降低了约 11%. 而主结和埋层的 p^+ 区相互对准和相互交错结构表现出了相似的击穿特性, 它们的击穿电压值相当. 在较低的正向电压下, 套刻偏差对器件的特性几乎没有影响. 但是当正向电压大于 2 V 后, 由于埋层对交错结构电流的阻碍作用, 导致其在大电流下具有更大的串联电阻, 正向特性逐渐偏离线性区. 因此, 在实际器件的设计制作过程中需要充分考虑套刻偏差的影响.

- [1] Bjoerk F, Hancock J, Treu M, Rupp R 2006 *APEC '06 Twenty-First Annual IEEE* (Villach: APEC) pp170-178
- [2] Millán J, Banu V, Brosselard P, Jorda X, Perez-Tomas A 2008 *Semiconductor Conference CAS 2008* (Sinaia: SMCND) pp53-59
- [3] Hull B A, Sumakeris J J, Loughlin M J O, Zhang Q C 2008 *IEEE Trans. Electron Dev.* **55** 1864

- [4] Nishio J, Ota C, Hatakeyama T, Shinohe T, Kojima K 2008 *IEEE Trans. Electron Dev.* **55** 1954
- [5] Tang X Y, Zhang Y M, Zhang Y M 2009 *Acta Phys. Sin.* **58** 494 (in Chinese) [汤晓燕, 张玉明, 张义门 2009 物理学报 **58** 494]
- [6] Hatakeyama T, Watanabe T, Shinohe T, Kojima K 2004 *Appl. Phys. Lett.* **85** 1380
- [7] Song Q W, Zhang Y M, Zhang Y M 2010 *Chin. Phys. B* **19** 087202

Study of the effect of lithography deviation on 4H-SiC floating junction junction barrier Schottky diode*

Tang Xiao-Yan[†] Dai Xiao-Wei Zhang Yu-Ming Zhang Yi-Men

(Key Laboratory for Wide Band-gap Semiconductor Materials and Devices of Ministry of Education,

School of Microelectronics, Xidian University, Xi'an 710071, China)

(Received 30 July 2011; revised manuscript received 14 September 2011)

Abstract

The breakdown voltage of 4H-SiC junction barrier schottky diode with floating junction is larger than that of traditional junction barrier Schottky diode under the condition of the same fixed on-resistance. It is a crucial technology that the alignment of lithography between p^+ region of floating junction and main junction. The simulation results obtained using two-dimensional simulator ISE show that the breakdown voltage obviously drops with the deviation of lithography increasing. Although the breakdown characteristics of the dislocation and the alignment structure are similar, the series resistance of the dislocation structure is larger than the latter when the forward voltage is larger than 2 V.

Keywords: junction barrier Schottky diode, floating junction, deviation of lithography

PACS: 85.30.Kk, 71.20.Nr, 85.30.De

* Project supported by the National Natural Science Foundation of China (Grant No. 61006060) and the Foundation of Key Laboratory for Wide Band-gap Semiconductor Materials and Devices of Ministry of Education, China (Grant No. JY0100112501).

[†] E-mail: xytang@mail.xidian.edu.cn