

横截面积参数对钛氧化物忆阻器导电特性的影响*

田晓波[†] 徐晖 李清江

(国防科学技术大学电子科学与工程学院, 长沙 410073)

(2013年9月11日收到; 2013年10月23日收到修改稿)

纳米钛氧化物忆阻器的导电过程因自身参数的改变及不同机理的共存而呈现复杂特性, 但现有研究缺乏针对横截面积参数的改变对忆阻器导电特性影响的讨论. 基于杂质漂移及隧道势垒机理, 本文分析了忆阻器导电过程, 研究了横截面积参数与导电过程中各关键物理要素间的关联, 并基于此, 分别研究了钛氧化物横截面积及隧道势垒横截面积的改变对忆阻器导电特性的影响, 分析了两者的区别与联系. 验证了两种机理共存情况下, 相对于钛氧化物横截面积的改变, 隧道势垒横截面积的改变是引发忆阻器导电特性变化的主要因素, 且是导致忆阻器非理想导电特性的可能因素. 研究成果有助于进一步解释忆阻器导电过程的复杂性, 并为优化忆阻器模型的构建提供依据.

关键词: 忆阻器, 横截面积, 杂质漂移, 隧道势垒

PACS: 84.32.-y, 89.20.Ff, 84.37.+q, 85.35.-p

DOI: 10.7498/aps.63.048401

1 引言

随着纳米技术的诞生与发展, 具有更小物理尺寸、更低功耗及成本、更快运行速度与更高性能的新型电路元件成为今后电路领域的发展趋势^[1]. 钛氧化物忆阻器^[2]诞生于美国惠普实验室, 该器件是一种典型的纳米电路元件, 是第四种基本电路元件——忆阻器^[3]的一种具体实现形式. 忆阻器在阻性随机访问存储技术^[4]、人工神经网络^[5]、可编程逻辑电路^[6]、混沌电路^[7-9]等领域的潜在应用价值已得到证实. 当前, 围绕电路特性、建模及应用等领域的研究成为忆阻器分析研究的热点问题. 最近, 李智炜等^[10]对逾渗网格模型进行了简化, 研究了不同初态对单极性忆阻开关元件中逾渗导电通道形成的影响. 宋德华等^[11]对有边界的忆阻元件与电容、电感的串、并联电路分别进行了研究, 分析了电路所具有的特性和频率及元件的电容、电感对电路的影响. 贾林楠等^[12]讨论了界面效应对忆阻行为及性能改善等方面的重要作用, 提出了界面纳米点嵌入结构对优化忆阻性能的显著效果.

导电机理是忆阻器基础理论与应用的重点研

究领域, 不同导电机理的共存是解释忆阻器复杂导电特性的可能原因之一^[13]. 基于文献^[14]的实验结论, Strukov等利用杂质漂移机理(DDM)描述了忆阻器导电过程中掺杂层与非掺杂层瞬态阻抗的变化过程及电荷记忆性原理. Pickett等^[15]发现忆阻器中钛氧化物与金属铂电极接触面的非对称性, 据此通过隧道势垒机理(TBM)描述了忆阻器的导电过程, 即利用隧道势垒及导电通道的串联电路对忆阻器建模, 并采用矩形势垒的Simmons伏安特性定量描述了忆阻器的静态传输与动态开关过程. Yang等^[16]给出了钛氧化物在电成型过程中氧空缺、氧气及电极物理形变的形成过程. 田晓波等^[17]通过一种DDM与TBM共存的导电机理模型验证了DDM与TBM在同一个忆阻器中共存的可能性.

Prodromakis等^[18]的研究表明, 横截面积为平方纳米或平方微米量级的忆阻器均具有实用的阻抗比, 且忆阻器导电特性随横截面积的改变发生相应变化. 周静等^[19]利用simulation program with integrated circuit emphasis (SPICE)软件研究了 α 参数等七种参数的改变对忆阻器导电特性的影响. 以上研究证实自身参数的改变对忆阻器导

* 国家自然科学基金(批准号: 61171017, F010505)资助的课题.

[†] 通讯作者. E-mail: txiaobo1985@gmail.com

电过程构成的影响是忆阻器导电过程复杂性的原因之一,且横截面积是影响忆阻器导电特性的重要参数.但在DDM, TBM单独存在及共存的情况下,尚无横截面积的变化对忆阻器导电特性影响的详细讨论,制约了对忆阻器导电过程的全面表述及模型的精确构建.

据此,本文分析了忆阻器导电机理及横截面积参数与导电机理中各关键物理要素间的关联,分别研究了DDM单独存在情况下钛氧化物横截面积的改变对忆阻器导电过程的影响及TBM单独存在情况下隧道势垒横截面积的改变对忆阻器导电行为的影响,还研究了两种机理共存的情况.利用SPICE软件对所得结论进行了仿真验证,为进一步深入研究忆阻器导电过程及精确构建模型提供依据.

2 横截面积参数对忆阻器导电特性的影响

DDM与TBM是两种完全不同的导电机理.其中,杂质漂移过程发生在钛氧化物内部,与氧空位或氧离子的形成及转移有关,而隧道势垒形成于钛氧化物与电极之间,其厚度值受控于偏置电压,并影响忆阻器瞬态阻抗值.文献[17]讨论了两种机理共存的形式,并验证了其共存的可能性.本文基于DDM与TBM单独存在及共存三种情况,分析了横截面积参数与忆阻器导电机理关键物理要素的关联,同时采用变量控制法研究横截面积改变对忆阻器导电特性的影响.

2.1 DDM单独存在

逐层制备法是制备忆阻器的典型方法之一,即采用光刻结合物理沉积技术依次生成忆阻器的各个单元.图1(a)所示为采用逐层制备法生成的钛氧化物忆阻器,主要包含顶端电极层、底端电极层、厚度为 w 的掺杂层及厚度为 $D-w$ 的非掺杂层,各层的横截面为面积 $s = a^2$ 的正方形.其中,电极层由金属铂构成,除电极之外的部分称为活跃区域,其厚度为 D ,由非掺杂层及掺杂层构成.非掺杂层由钛氧化物 TiO_2 构成,其中钛元素与氧元素的比例为 $1:2$,每一个钛离子均与两个氧离子形成离子键,因此不存在游离的氧离子,该层导电性较差.掺杂层由钛氧化物 $\text{TiO}_{2\pm x}$ 构成,该层中钛元素与氧元素的比例为 $1:2 \pm x (x > 0)$.其中, $2 \pm x$ 表明该层中氧元素相对于非掺杂层过剩或不足.当氧元

素过剩时,钛元素与氧元素的比例为 $1:2+x$ 且存在游离的氧离子;当氧元素不足时,钛元素与氧元素的比例为 $1:2-x$ 且存在游离的氧空位.由于氧离子与氧空位均带电荷,因此掺杂层导电性能显著优于非掺杂层.

依据电阻的定义式,某材料的电阻 R 取决于其长度 l 、电阻率 ρ 及横截面积 s ,即

$$R = \rho \frac{l}{s}. \quad (1)$$

由于忆阻器掺杂层与非掺杂层具有相同的横截面积,因此每层的瞬态阻抗与其厚度成正比,分别为

$$R_{\text{doped}} = \rho_{\text{doped}} \frac{w}{s}, \quad (2)$$

$$R_{\text{undoped}} = \rho_{\text{undoped}} \frac{D-w}{s}, \quad (3)$$

其中, R_{doped} 与 R_{undoped} 分别表示掺杂层与非掺杂层的瞬态阻抗, ρ_{doped} 与 ρ_{undoped} 分别表示掺杂层与非掺杂层的电阻率.由此推得

$$R_{\text{ON}} = \rho_{\text{doped}} \frac{D}{s}, \quad (4)$$

$$R_{\text{OFF}} = \rho_{\text{undoped}} \frac{D}{s}, \quad (5)$$

其中, R_{ON} 与 R_{OFF} 分别表示当 $w = D$ 及 $w = 0$ 时的忆阻器活跃区域瞬态阻抗值.据此,当 D 及 s 保持不变时, R_{ON} 及 R_{OFF} 为常量,并可表示为

$$R_{\text{OFF}} = k R_{\text{ON}}, \quad (6)$$

其中, k 为比例系数,且对于特定忆阻器, k 为定值.如图1(b)所示,由于掺杂层与非掺杂层等同于可变电阻 R_{doped} 与 R_{undoped} 的串联,因此忆阻器活跃区域的瞬态阻抗值 R_{M} 表述为

$$R_{\text{M}} = \frac{1}{s} (\rho_{\text{doped}} w + \rho_{\text{undoped}} (D-w)). \quad (7)$$

如图1(c)和(d)所示,根据同种电荷相互吸引、异种电荷相互排斥的原理,掺杂层内部游离的氧空位在外加电场 $v(t)$ 的作用下定向移动,使部分氧空位进入非掺杂层,从而改变了掺杂层与非掺杂层的厚度, R_{M} 随之改变,同时在电路中形成电流 $i(t)$.当反转外加电场的方向时,氧空位反向移动.当移去外加电场时,氧空位停止移动, R_{M} 保持在移去外加电场的瞬间.对于杂质为氧离子的情况,杂质漂移方向及电流方向与杂质为氧空位的情况相反.由此,忆阻器具有非易失的记忆特性.

当对忆阻器两端施加电压 $v(t)$ 时, $i(t)$, $v(t)$ 与 R_{M} 满足欧姆定律

$$v(t) = R_{\text{M}} i(t). \quad (8)$$

线性漂移的情况下, w 随时间的变化率表述为[2]

$$\frac{dw(t)}{dt} = \mu_v \frac{R_{ON}}{D} i(t), \quad (9)$$

其中, μ_v 为平均离子移动性. 将 (4), (6), (7), (8) 式代入 (9) 式得到

$$\frac{dw(t)}{dt} = \mu_v \frac{v(t)}{(w + (kD - wk))}. \quad (10)$$

联合 (7), (8), (9) 式解得流经忆阻器的电荷量 $q(t)$ 与其瞬态阻抗值改变量 ΔR 之间的解析关系为

$$\begin{aligned} \Delta R &= R_0 - R_M \\ &= \frac{1}{s^2} \mu_v q(t) \rho_{\text{doped}} (\rho_{\text{undoped}} - \rho_{\text{doped}}), \quad (11) \end{aligned}$$

其中, R_0 为忆阻器的初始阻抗. 对于纳米尺寸的电路元件, 极小的电压可产生巨大的电场, 并对离子

的迁移产生非线性作用 [2]. 据此, 加窗后 w 随时间的变化率表述为

$$F(w) = \frac{w(D - w)}{D^2}, \quad (12)$$

$$\frac{dw(t)}{dt} = F(w) \mu_v \frac{R_{ON}}{D} i(t). \quad (13)$$

将 (4), (6), (7), (8) 式代入 (13) 式得到

$$\frac{dw(t)}{dt} = F(w) \mu_v \frac{v(t)}{(w + (kD - wk))}, \quad (14)$$

其中, $F(w)$ 为窗函数, 定义了非线性杂质漂移中 w 随时间的变化率与 w 的函数关系. 依据 (7), (8), (13) 式, 非线性杂质漂移情况下 $q(t)$ 与 R_M 之间不存在解析的函数关系.

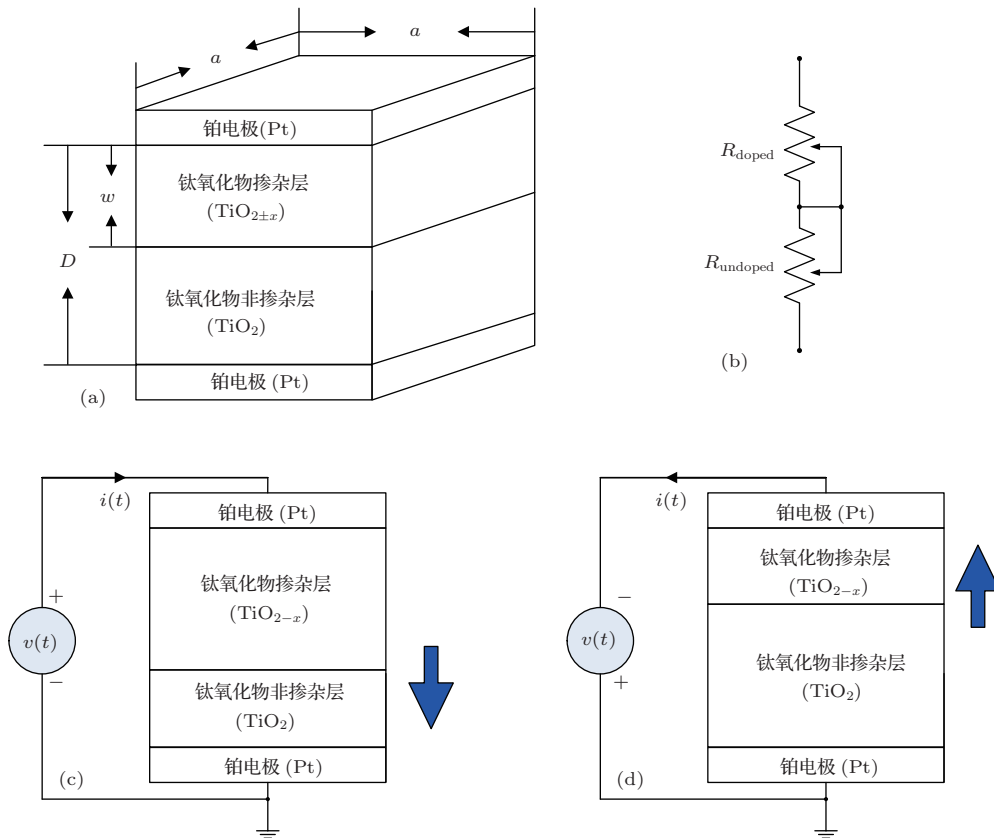


图1 逐层制备的钛氧化物忆阻器结构及杂质漂移示意图 (a) 忆阻器结构示意图; (b) 基于DDM的可变电阻模型; (c) 氧空缺陷向外加电场阴极漂移(箭头表示杂质漂移方向); (d) 反转电源极性, 氧空缺陷漂移方向随之反转

据此, DDM单独存在情况下活跃区域横截面积对忆阻器导电特性的影响主要体现为: 依据 (2), (3), (7) 式, 掺杂层或非掺杂层瞬态阻抗与其厚度成正比, 与其横截面积成反比, 由此, 忆阻器瞬态阻抗值与活跃区域横截面积成反比; 依据 (10), (14) 式, 掺杂层厚度随时间的变化率与活跃区域横截面积无关, 因此单个忆阻器等效于 N 个横截面积为原来横截面积 $1/N$ 的忆阻器按照相同方向的并联; 依

据 (11) 式, 在流经等量电荷的情况下, 忆阻器瞬态阻抗值的改变量 ΔR 与活跃区域横截面积的平方成反比. 以上结论对于线性及非线性杂质漂移均成立.

2.2 TBM单独存在

除 DDM 外, Pickett 等 [15] 发现钛氧化物与铂电极接触面具有非对称的导电特性, 并在逐层制备

法的基础上, 利用电成型生成钛氧化物忆阻器, 利用隧道势垒与导电通道的串联电路对忆阻器的导电过程进行了建模, 由此提出 TBM.

图 2(a) 所示为利用逐层制备法生成的电极层及非掺杂钛氧化物层, 经过电成型后生成掺杂钛氧化物及隧道势垒, 如图 2(b) 所示. 文献 [15] 给出了电成型的过程如下: 通过电极对非掺杂钛氧

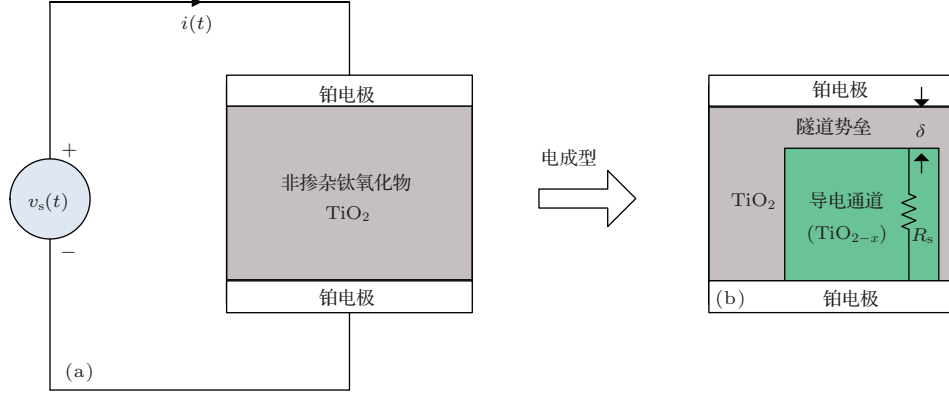


图 2 钛氧化物忆阻器电成型过程示意图 (a) 通过电极对非掺杂钛氧化物层施加偏置电压 $v_s(t)$; (b) 非掺杂钛氧化物层中形成隧道势垒及导电通道

电成型之后, 隧道势垒的厚度 δ 受其偏置电压的控制, 并影响忆阻器的瞬态阻抗. 基于矩形势垒的 Simmons 伏安表达式, 文献 [15] 利用 (15)—(23) 式描述了忆阻器导电过程中施加在隧道势垒与导电通道的偏置电压 v , 流经忆阻器的电流 i 及隧道势垒厚度 δ 之间的函数关系.

$$i = \frac{j_0 A}{\Delta \delta^2} \left\{ \phi_I e^{-B\sqrt{\phi_I}} - \left(\phi_I + e|v_g| \right) \times e^{-B\sqrt{\phi_I + e|v_g|}} \right\}, \quad (15)$$

$$v_g = v - iR_S, \quad (16)$$

$$j_0 = \frac{e}{2\pi h}, \quad (17)$$

$$\delta_1 = \frac{1.2\lambda\delta}{\phi_0}, \quad (18)$$

$$\delta_2 = \delta_1 + \delta \left(1 - \frac{9.2\lambda}{(3\phi_0 + 4\lambda - 2e|v_g|)} \right), \quad (19)$$

$$\Delta\delta = \delta_2 - \delta_1, \quad (20)$$

$$\varphi_I = \varphi_0 - e|v_g| \left(\frac{\delta_1 + \delta_2}{\delta} \right) - \left(\frac{1.15\lambda\delta}{\Delta\delta} \right) \ln \left(\frac{\delta_2(\delta - \delta_1)}{\delta_1(\delta - \delta_2)} \right), \quad (21)$$

$$B = \frac{4\pi\Delta\delta\sqrt{2m}}{h}, \quad (22)$$

$$\lambda = \frac{e^2 \ln(2)}{8\pi k \varepsilon_0 \delta}, \quad (23)$$

其中, k 是介电常数, h 是普朗克常数, m 是电子质

化物施加电压 $v_s(t)$, 该电压在 5 ms 内由 0 升至 6 V, 使得非掺杂钛氧化物层中形成氧空缺, 且在顶端电极与钛氧化物的接触面处形成厚度为 δ 的隧道势垒. 含有氧空缺的部分与隧道势垒串联且具有较好导电性, 称为导电通道, 可等效成阻抗为 R_S 的定值电阻. 未形成氧空缺的部分仍为非掺杂状态.

量, A 是隧道势垒横截面积, e 是基元电荷, v_g 是隧道势垒两端的电压, Φ_0 是矩形势垒高度, ε_0 是真空介电常数. 其中 δ 是时变的, (24), (25) 式给出了 δ 随时间的变化率 [15]:

当 $i(t) > 0$ 时

$$\frac{d\delta}{dt} = f_{\text{off}} \sinh \left(\frac{i}{i_{\text{off}}} \right) \exp \left[- \exp \left(\frac{\delta - a_{\text{off}}}{\delta_c} - \frac{|i|}{b} \right) - \frac{\delta}{\delta_c} \right], \quad (24)$$

当 $i(t) < 0$ 时

$$\frac{d\delta}{dt} = f_{\text{on}} \sinh \left(\frac{i}{i_{\text{on}}} \right) \exp \left[- \exp \left(- \frac{\delta - a_{\text{on}}}{\delta_c} - \frac{|i|}{b} \right) - \frac{\delta}{\delta_c} \right], \quad (25)$$

其中, f_{off} , i_{off} , a_{off} , b , δ_c , f_{on} , i_{on} 和 a_{on} 为常数. 由于 v 与 i 符合欧姆定律, 由此, 忆阻器活跃区域瞬态阻抗表述为

$$R_M = \frac{1}{A} \times \frac{v\Delta\delta^2}{j_0 \left\{ \phi_I e^{-B\sqrt{\phi_I}} - \left(\phi_I + e|v_g| \right) e^{-B\sqrt{\phi_I + e|v_g|}} \right\}}. \quad (26)$$

据此, TBM 单独存在情况下隧道势垒横截面积对忆阻器导电特性的影响主要体现为: 依据 (15) 式, 流经忆阻器的电流与隧道势垒横截面积成正比; 依据 (26) 式, 忆阻器瞬态阻抗与隧道势垒横截

面积成反比; 依据 (15), (24), (25) 式, 隧道势垒横截面积改变导致流经隧道势垒的电流 $i(t)$ 改变, 从而引起隧道势垒厚度随时间的变化率发生改变, 并引起隧道势垒厚度改变. 由此推断, 隧道势垒横截面积的变化是导致忆阻器导电特性不稳定的可能因素.

2.3 TBM 与 DDM 共存

文献 [17] 提出 TBM 与 DDM 两种导电机理共存于钛氧化物忆阻器, 并建立了一种并联的混合导电机理模型. 通过对混合导电机理模型在 SPICE 软件进行仿真证明, 混合导电机理模型能较好地逼近忆阻器的非理想的伏安特性, 从而验证了 TBM 与 DDM 共存于忆阻器的可能性.

依据文献 [17] 的讨论, 在 TBM 与 DDM 共存的情况下, 由隧道势垒及导电通道构成的串联电路 (I 部分) 与未产生氧空缺的钛氧化物 (II 部分) 并联于顶端电极与底端电极之间, 其中, II 部分可近似视为由掺杂层与非掺杂层构成, 且掺杂层厚度具有极低的初始值. 图 3 所示为并联的混合导电机理模型 [17], 其中, 节点 1 与节点 2 表示忆阻器的两端, R_E 表示电极阻抗, 节点 3 表示隧道势垒与导电通道之间的分界点, 节点 4 表示忆阻器活跃区域与电极之间的分界点. R_S 表示导电通道, G_{tb} 是电流控制的电流源并表示隧道势垒, i_{tb} 表示流经隧道势垒的电流. G_{dd} 是电流控制的电流源并表示 II 部分, i_{dd} 表示流经其上的电流. i_{mem} 表示流经忆阻器的电流.

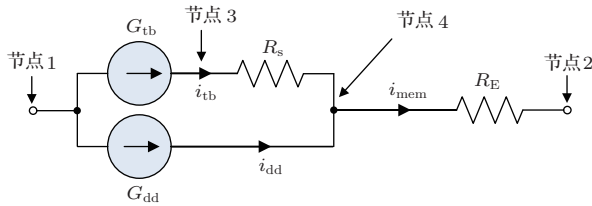


图 3 TBM 与 DDM 共存的混合导电机理模型

对忆阻器施加偏置电压, 依据 (7) 式得到 II 部分的电流

$$i_{dd} = s_{dd} \frac{v(1,4)}{\rho_{doped}w + \rho_{undoped}(D-w)}; \quad (27)$$

依据 (15) 式得到 I 部分的电流

$$i_{tb} = s_{tb} \frac{j_0}{\Delta \delta^2} \left\{ \phi_I e^{-B\sqrt{\phi_I}} - \left(\phi_I + e|v_g| e^{-B\sqrt{\phi_I + e|v_g|}} \right) \right\}; \quad (28)$$

依据欧姆定律得到

$$i_{mem} = i_{dd} + i_{tb}, \quad (29)$$

$$R_M = \frac{v(1,4)}{i_{mem}}, \quad (30)$$

其中, $v(1,4)$ 表示节点 1 与节点 4 之间的电压, s_{tb} 表示隧道势垒横截面积, s_{dd} 表示 II 部分的横截面积. 由于忆阻器横截面由 I 部分横截面与 II 部分横截面构成, 因此

$$s = s_{dd} + s_{tb}. \quad (31)$$

依据 (27), (29), (30) 式, 外加偏置电压引起杂质漂移改变掺杂层厚度, 则 II 部分的瞬态阻抗改变, 导致 i_{dd} 发生变化, 并对 R_M 产生影响. 依据 (27) 式, 由于 II 部分可视为具有极低掺杂层厚度, 且本身具有较高阻抗, 因此 i_{dd} 较小, i_{dd} 的变化对 R_M 的影响较弱.

总的来说, TBM 与 DDM 共存的情况下, 忆阻器的导电是隧道势垒导电过程叠加杂质漂移产生干扰的过程, 杂质漂移导致对忆阻器导电特性的影响较弱. 依据 (27)–(30) 式, R_M 随 s_{tb} 或 s_{dd} 的增大而减小; 当 s_{tb} 不变时, II 部分瞬态阻抗随 s_{dd} 减小而增大, 该部分对忆阻器导电特性的影响进一步减弱; 当 s_{dd} 不变时, 隧道势垒的瞬态阻抗随 s_{tb} 的减小而增大, 隧道势垒自身导电特性发生改变, 引发忆阻器导电特性发生较为显著的变化.

3 仿真实验

分别在 DDM 与 TBM 单独存在及共存三种情况下, 针对本文第二部分得到的结论进行了仿真实验. 仿真采用的软件为 PSPICE 10.5, 模型为混合导电机理模型 [17]. 图 4 所示为仿真采用的电路, 其

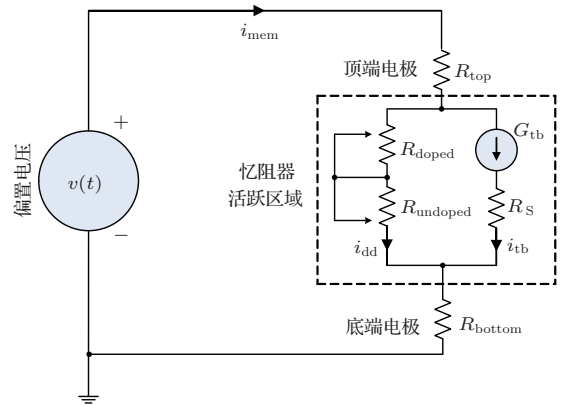


图 4 用于验证横截面积对忆阻器导电特性影响的仿真电路图

中忆阻器等效于电极部分与活跃区域的串联. $v(t)$ 为外加偏置电压源, $i_{mem}(t)$ 为流经忆阻器活跃区域的电流, 依据 2.3 节的分析, R_{top} 与 R_{bottom} 分别表示顶端电极与底端电极, R_{doped} 与 $R_{undoped}$ 分别

表示掺杂层与非掺杂层, G_{tb} 为电流控制的电流源, 表示隧道势垒, R_S 表示导电通道. 附录A给出了图4所示的仿真电路对应的pspice网表文件. $v_{mem}(t)$ 为忆阻器活跃区域的电压, 且

$$v_{mem}(t) = v(t) - i_{mem}(t)(R_{top} + R_{bottom}). \quad (32)$$

3.1 DDM单独存在

针对线性杂质漂移情况, 仿真参数设置如下. 依据文献[2], 忆阻器主要参数设置为 $D = 10 \text{ nm}$, $\mu_V = 10^{-14} \text{ m}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1}$, 忽略电极阻抗. 依据(1)式, 设置当横截面积 $s = 25 \mu\text{m}^2$ 时, $R_{ON} = 200 \Omega$

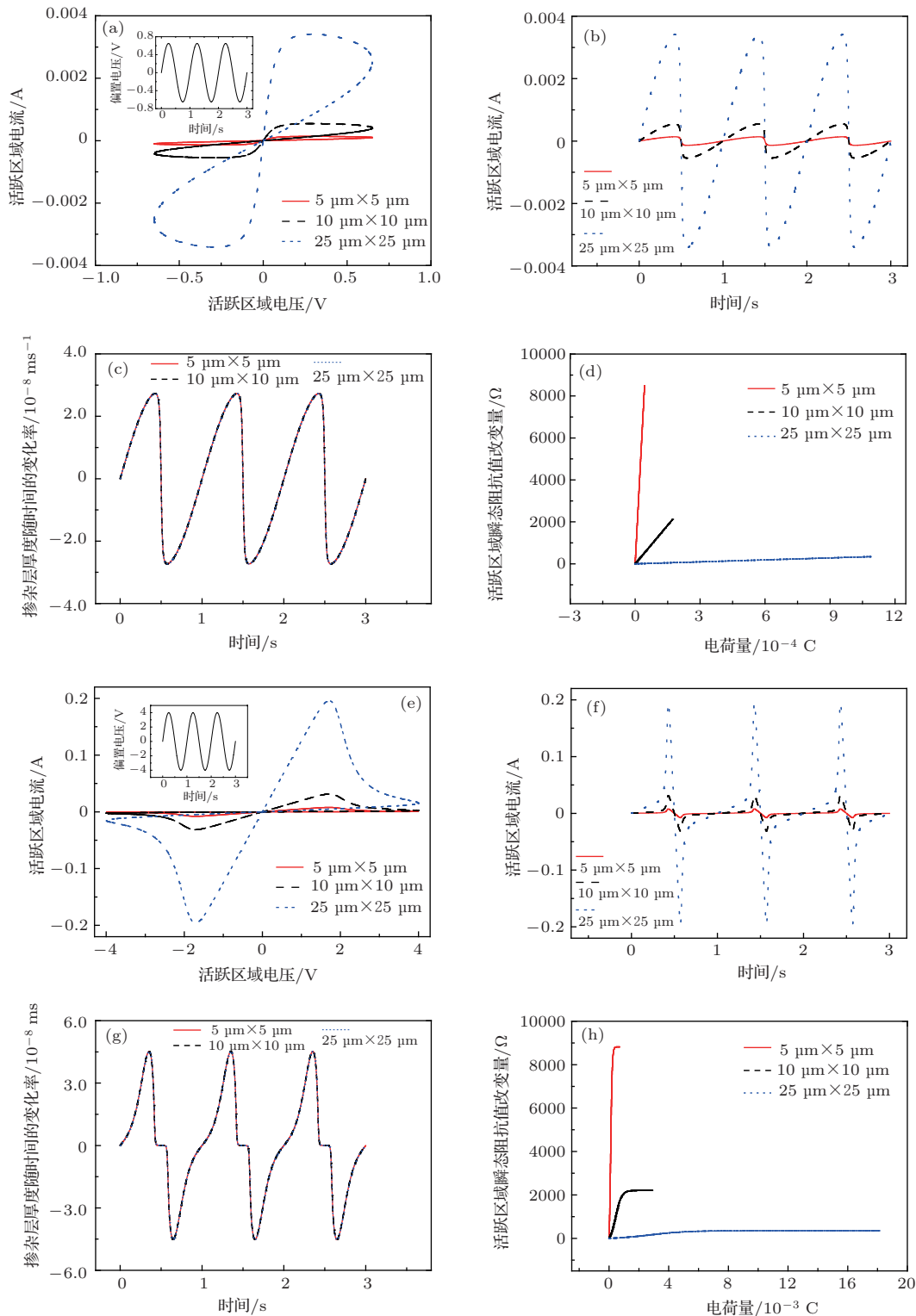


图5 DDM单独存在情况下钛氧化物横截面积对忆阻器导电特性的影响 (a)—(d)为线性杂质漂移情况下的仿真结果 (a)中插图为外加偏置电压; (e)—(h)为非线性杂质漂移情况下的仿真结果; (e)中插图为外加偏置电压

且 $R_{OFF} = 10 \text{ k}\Omega$, 则电阻率为 $\rho_{doped} = 0.5 \text{ }\Omega\cdot\text{m}$, $\rho_{undoped} = 25 \text{ }\Omega\cdot\text{m}$. 依据文献 [17], 掺杂层厚度初始值 w_0 设置为 1.0 nm . R_S 设置为极大值, 目的是使含隧道势垒的部分短路, 消除隧道势垒导电产生的影响. 仿真时长为 $T = 3 \text{ s}$, 最大仿真时间步长 $\Delta T = 0.1 \text{ ms}$. 电压绝对精度设置为 $v_{ntol} = 10^{-7} \text{ V}$, 电流绝对精度设置为 $i_{abstol} = 1 \text{ A}$. $v(t) = v_0 \sin(\omega t)$, $v_0 = 0.65 \text{ V}$, $\omega = 2\pi$. 针对非线性杂质漂移情况, 设置 $v(t) = v_0 \sin(\omega t)$, $v_0 = 4.0 \text{ V}$, 其余参数保持不变.

依据控制变量的原则, 保持其他参数不变, 分别对线性与非线性杂质漂移情况下忆阻器横截面积为 $5 \text{ }\mu\text{m} \times 5 \text{ }\mu\text{m}$, $10 \text{ }\mu\text{m} \times 10 \text{ }\mu\text{m}$ 及 $25 \text{ }\mu\text{m} \times 25 \text{ }\mu\text{m}$

进行仿真, 并在图 5 中给出忆阻器活跃区域的 $V-I$ 特性、电流特性、 w 随时间的变化率及活跃区域瞬态阻抗值的改变量与电荷量的关系曲线.

依据图 5(a), (e), 偏置电压保持不变的情况下, 随着钛氧化物横截面积的增大, 忆阻器活跃区域 $V-I$ 曲线变宽, 滞回效应增强. 依据图 5(b), (f), 流经忆阻器的电流随其横截面积的增大而增大, 仿真结果表明 R_M 与活跃区域横截面积成反比. 依据图 5(c), (g), 随着钛氧化物横截面积增大, w 随时间的变化率保持不变, 表明 w 随时间的变化率与横截面积无关. 图 5(d), (h) 表明, 流经等量电荷的情况下, ΔR 随活跃区域横截面积的增大而减小.

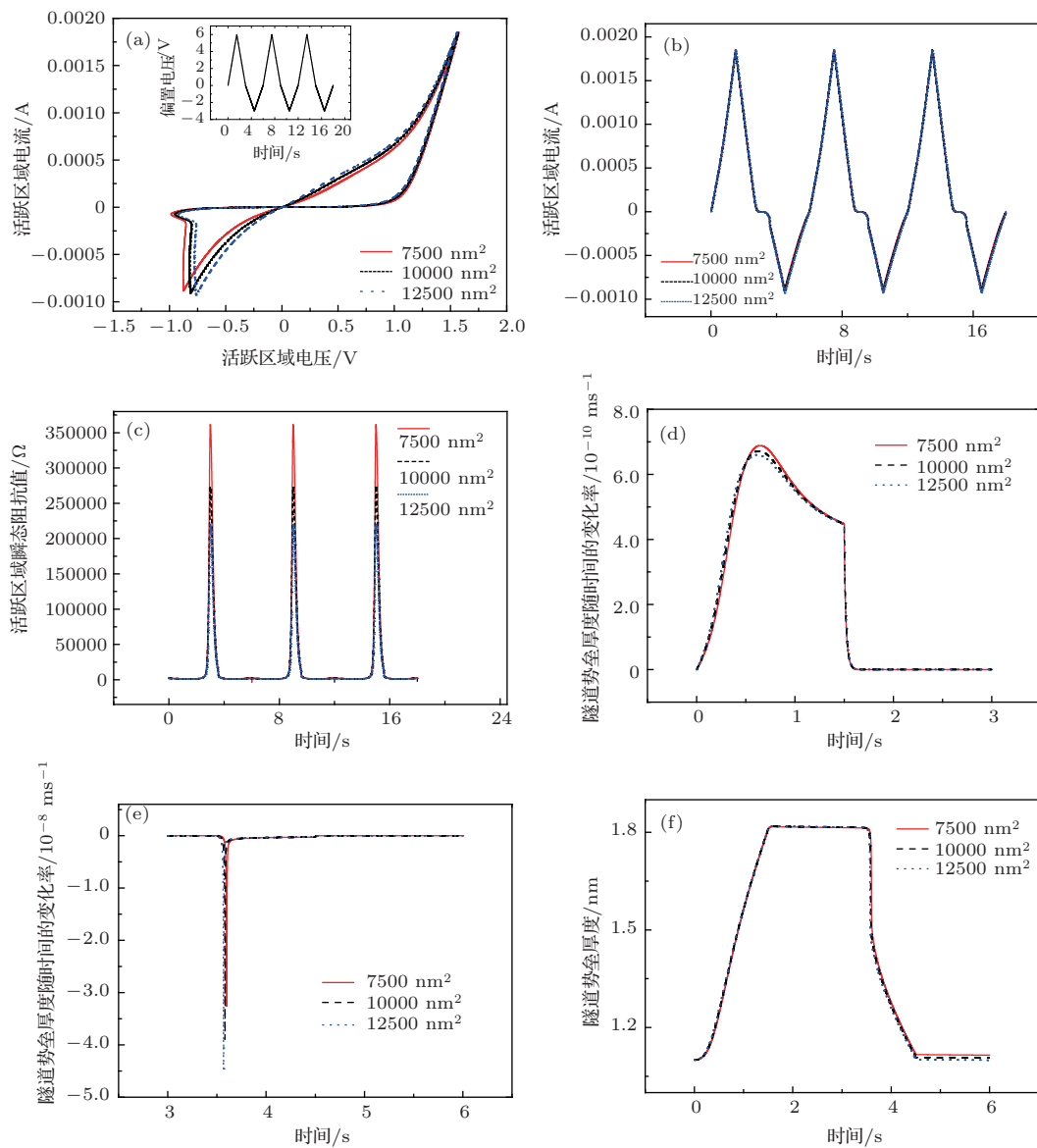


图 6 TBM 单独存在情况下隧道势垒横截面积对忆阻器导电特性的影响 (a) 活跃区域电压-电流曲线, 插图为外加偏置电压; (b) 时间-活跃区域电流曲线; (c) 时间-活跃区域瞬态阻抗曲线; (d) 时间-隧道势垒厚度随时间变化率曲线 (活跃区域电流 > 0); (e) 时间-隧道势垒厚度随时间变化率曲线 (活跃区域电流 < 0)

3.2 TBM单独存在

依据文献[20], 仿真参数设置如下. $\Phi_0 = 0.95 \text{ eV}$, $e^2 \ln(2)/(8K\epsilon_0) = 0.0998$, $\delta_1 = 0.1261 \text{ nm}$, $f_{\text{off}} = 3.5 \text{ } \mu\text{s}$, $i_{\text{off}} = 115 \text{ } \mu\text{A}$, $a_{\text{off}} = 1.2 \text{ nm}$, $f_{\text{on}} = 40 \text{ } \mu\text{s}$, $i_{\text{on}} = 8.9 \text{ } \mu\text{A}$, $a_{\text{on}} = 1.8 \text{ nm}$, $b = 500 \text{ } \mu\text{A}$, $\delta_c = 0.107 \text{ nm}$, $\delta_0 = 1.1 \text{ nm}$, $L = 1 \text{ nH}$, $R_S = 215 \text{ } \Omega$, $R_{\text{top}} + R_{\text{bottom}} = 2.4 \text{ k}\Omega$, R_{doped} 与 R_{undoped} 设置为极大值, 目的是使含有 R_{doped} 与 R_{undoped} 的部分断路, 消除杂质漂移产生的影响. 仿真时长为 $T = 18 \text{ s}$, 最大仿真时间步长为 $\Delta T = 1 \text{ ms}$. 电压绝对精度设置为 $V_{\text{ntol}} = 10^{-7} \text{ V}$, 电流绝对精度设置为 $i_{\text{abstol}} = 1 \text{ A}$. 隧道势垒横截面积的变化范围[15]是 $10000 \text{ nm}^2 \pm 2500 \text{ nm}^2$, 根据控制变量的原则, 保持其他参数不变, 对TBM单独存在的情况进行仿真.

依据图 6 (a), (b), 隧道势垒横截面积发生变化引起流经其上的电流改变, 由此产生相同测试条件下忆阻器 V-I 曲线不重合的现象, 即非理想导电特性. 上述结果表明隧道势垒横截面积的变化是导致忆阻器非理想导电特性的可能原因, 因此, 导电通道形成过程的稳定性是保证忆阻器导电特性稳定的关键因素之一. 图 6 (c) 验证了 R_M 与隧道势

垒横截面积成反比. 图 6 (d)—(f) 验证了隧道势垒横截面积改变对 δ 随时间的变化率产生影响, 进一步引起 δ 的改变. 当 $i_{\text{mem}} > 0$ 时, 隧道势垒横截面积增大导致 δ 随时间的变化率峰值降低. 相反, 当 $i_{\text{mem}} < 0$ 时, 隧道势垒横截面积增大导致 δ 随时间的变化率峰值升高.

3.3 TBM与DDM共存

依据文献[15, 17], 设置 $s_{\text{tb}} = 10000 \text{ nm}^2$, $s_{\text{dd}} = 25 \text{ } \mu\text{m}^2$, $w_0 = 10^{-4} \text{ nm}$, $R_S = 215 \text{ } \Omega$, $R_{\text{top}} + R_{\text{bottom}} = 2.4 \text{ k}\Omega$, R_{doped} 与 R_{undoped} 则按照 DDM 单独存在的情况进行设置. 其他参数设置保持不变. 根据控制变量的原则, 讨论 s_{tb} 与 s_{dd} 其中之一保持不变, 另一个在自身 $\pm 25\%$ 范围内变化的情况, 即 $s_{\text{tb}} = 10000 \text{ nm}^2$ 且 $s_{\text{dd}} = 25 \text{ } \mu\text{m}^2 \pm 6.25 \text{ } \mu\text{m}^2$ 及 $s_{\text{tb}} = 10000 \text{ nm}^2 \pm 2500 \text{ nm}^2$ 且 $s_{\text{dd}} = 25 \text{ } \mu\text{m}^2$ 两种情况.

依据图 7 (a), (b), 当 s_{tb} 或 s_{dd} 在自身 $\pm 25\%$ 范围内变化时, 忆阻器非理想导电特性均存在. 相对于 s_{dd} 的改变对忆阻器导电特性的影响, s_{tb} 的改变对忆阻器导电特性的影响更为显著. 图 7 (c), (d) 给出了 s_{tb} 与 s_{dd} 其中之一保持不变, 另一个分别取自

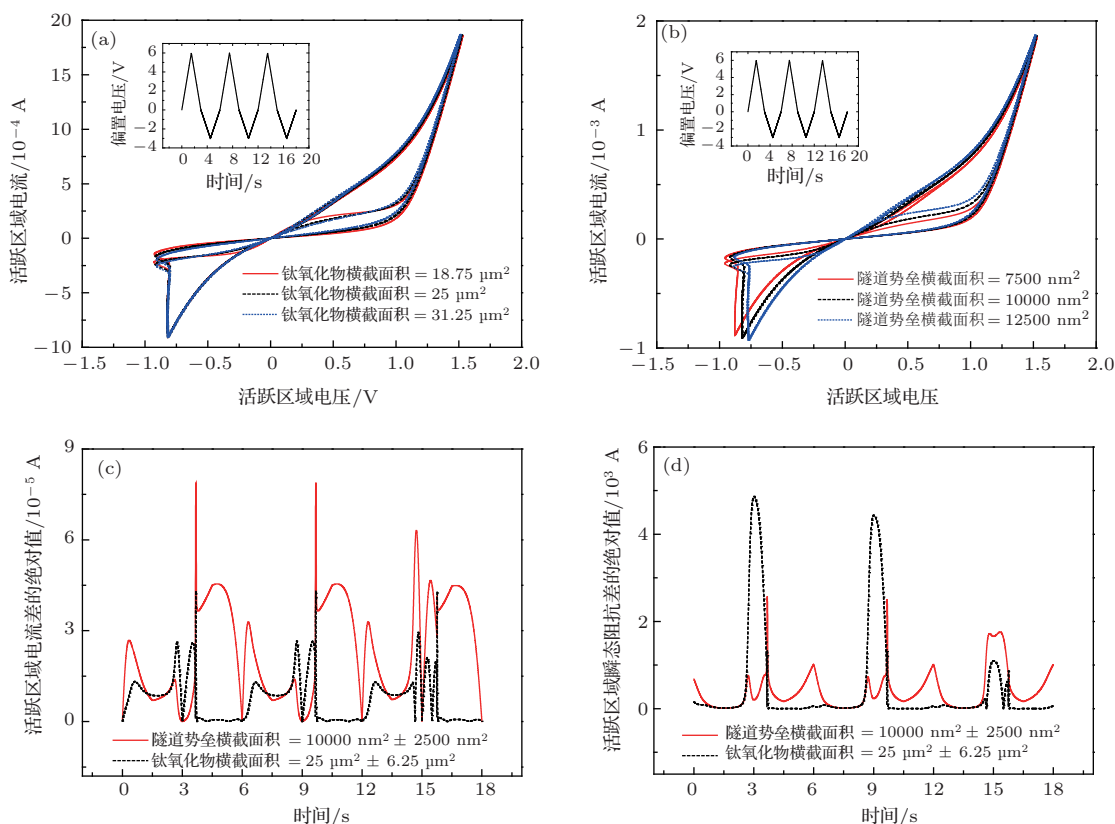


图7 DDM与TBM共存情况下横截面积对忆阻器导电特性的影响 (a) 活跃区域电压-电流曲线 ($s_{\text{tb}} = 10000 \text{ nm}^2$ 且 $s_{\text{dd}} = 25 \text{ } \mu\text{m}^2 \pm 6.25 \text{ } \mu\text{m}^2$); (b) 活跃区域电压-电流曲线 ($s_{\text{tb}} = 10000 \text{ nm}^2 \pm 2500 \text{ nm}^2$ 且 $s_{\text{dd}} = 25 \text{ } \mu\text{m}^2$); (c) s_{tb} 与 s_{dd} 其中之一保持不变, 另一个分别取自自身面积上、下限时活跃区域电流差的绝对值曲线; (d) s_{tb} 与 s_{dd} 其中之一保持不变, 另一个分别取自自身面积上、下限时活跃区域瞬态阻抗差的绝对值曲线

身面积取值的上、下限时活跃区域电流差及活跃区域瞬态阻抗差的绝对值曲线, 可见, 相对于 s_{dd} 的改变, s_{tb} 的改变引起忆阻器活跃区域电流及瞬态阻抗产生更大波动. 据此分析, DDM 与 TBM 共存情况下, 相对于钛氧化物横截面积的改变, 隧道势垒横截面积的改变是引发忆阻器导电特性变化的主要因素, 且是导致忆阻器非理想导电特性的可能因素.

4 结 论

分别在 DDM 及 TBM 两种导电机理单独存在及共存的情况下, 依据变量控制的原则, 讨论了钛

氧化物及隧道势垒横截面积参数的改变对钛氧化物忆阻器导电特性的影响及相应的物理意义, 发现钛氧化物横截面积的改变引发活跃区域瞬态阻抗的改变, 而隧道势垒横截面积的改变引发活跃区域瞬态阻抗及隧道势垒厚度随时间的变化率发生改变, 是 DDM 与 TBM 共存情况下忆阻器导电特性改变的主要因素, 且是导致忆阻器非理想导电特性的可能因素. 因此推断, 电成型过程中隧道势垒横截面的相对稳定是保证忆阻器导电特性稳定的要素之一. 相关结论为优化忆阻器模型的精确构建及制备具有优良导电特性的忆阻器提供依据.

附录 A

图 4 所示仿真电路网表文件

HPmemristor_tunnelbarrier_with_dopantdrift

*****tunnel barrier param *****

```
.param fai0=0.95          * 参数  $\Phi_0$ *
.param Lm=0.0998         * 参数  $e^2 \ln(2)/(8K\epsilon_0)$ *
.param deta1=0.1261      * 参数  $\delta_1$ *
.param foff=3.5 × 10-6   * 参数  $f_{off}$ *
.param ioff=115 × 10-6  * 参数  $i_{off}$ *
.param aoff=1.2          * 参数  $a_{off}$ *
.param fon=40 × 10-6    * 参数  $f_{on}$ *
.param ion=8.9 × 10-6   * 参数  $i_{on}$ *
.param aon=1.8           * 参数  $a_{on}$ *
.param bb=500 × 10-6    * 参数  $b$ *
.param detac=107 × 10-3 * 参数  $\delta_c$ *
.param Rseries=215       * 参数  $R_S$ *
.param deta0=1.1        * 参数  $\delta_0$ *

.func lamuda(deta)={Lm/deta}    * 对应于 (23) 式*
.func deta2(deta,vg)={deta1+deta-(0.9183/(2.85+4 × (Lm/deta)-2 × abs(vg)))} * 对应于 (19) 式*
.func detaw(deta,vg)={deta-(0.9183/(2.85+4 × (Lm/deta)-2 × abs(vg)))} * 对应于 (20) 式*
.func B(detaw)={10.246 × detaw} * 对应于 (22) 式*

.func
fai1(vg,deta2,deta,lamuda,detaw)={fai0-abs(vg) × ((deta1+deta2)/2/deta)-1.15 × lamuda × deta × log(deta2/deta1 × (deta-deta1)/(deta-deta2)/(deta2-deta1))} * 对应于 (21) 式*

.func
cur(detaw,fai1,B,vg)={sgn(vg)/detaw/detaw × 0.0617 × (fai1 × exp(-1 × B × sqrt(fai1))-(fai1+abs(vg)) × exp(-1 × B × sqrt(fai1+abs(vg))))} * 对应于 (15) 式*

.func dwbid1(cur,deta)={foff × sinh(cur/ioff) × exp(-1 × exp((deta-aoff)/detac-abs(cur)/bb)-deta/detac)} * 对应于 (24) 式*

.func dwbid2(cur,deta)={fon × sinh(cur/ion) × exp(-1 × exp((aon-deta)/detac-abs(cur)/bb)-deta/detac)} * 对应于 (25) 式*

.func dwbid(dwbid1,dwbid2,vg)={0.5 × (dwbid1 × (sgn(vg)+1)+dwbid2 × (-1 × sgn(vg)+1))} * 将隧道势垒电流 > 0 或 < 0 的两种情况下隧道势垒厚度随时间的变化率统一在同一个表达式中*
```

```

***** dopant drift param *****
.param D=10n      * 参数 D*
.param mju=10f    * 参数  $\mu_v$  *
.param Ron={200}  * 参数  $R_{ON}$  *
.param Roff={10k} * 参数  $R_{OFF}$  *
.param w0=0.0001n * 参数  $w_0$  *
.func f(w)={w × (D-w)/D/D} * 对应于 (12) 式 *
.func Rm(w)={(w/D × Ron+(1-w/D) × Roff)} * 对应于 (7) 式 *
***** main circuit *****
Gtb pos inner value={cur(detaw((-I(Etb)),v(pos,inner)),fail(v(pos,inner),deta2((-I(Etb)),
v(pos,inner)),(-I(Etb)),lamuda(-I(Etb)),detaw(-I(Etb),
v(pos,inner))),B(detaw((-I(Etb)),v(pos,inner))), v(pos,inner))} * 隧道势垒电流 *
Rs inner interface { Rseries } * 导电通道 *
Gdd pos interface value={v(pos,interface)/Rm(-I(Edd))} * 掺杂层与非掺杂层的串联部分 *
Re interface 0 2.4k * 顶端电极与底端电极的阻抗之和 *
***** integrating circuit*****
Ltb Ltbin Ltbout 1 × 10-9 IC={deta0} * 该电感用于对 d $\delta$ /dt 进行积分, 初始电流值为 deta0*
Rtb Ltbout 0 1p * 电感  $L_{tb}$  的内阻 *
Etb Ltbin0value={dwbidt(dwbid1(v(inner,interface)/215,-I(Etb)),dwbidt2(v(inner,interface)/215,-I(Etb)),
v(pos,inner))} * 受控源  $E_{tb}$  的电压值设置为 d $\delta$ /dt, 则按照电感的定义, 其电流值就是  $\delta$ *
Ldd Lddin Lddout 1H IC={w0} * 该电感用于对 dw/dt 进行积分, 初始电流值为  $w_0$ *
Rdd Lddout 0 1p * 电感  $L_{dd}$  的内阻 *
Edd Lddin 0 value={1 × f(-I(Edd)) × mju × Ron/D × v(pos,interface)/Rm(-I(Edd))} * 受控源  $E_{dd}$  的电压值设置为
dw/dt, 则按照电感的定义, 其电流值就是  $w$ *
***** outer bias and test *****
Vtest pos 0 pwl(0 0 1.5 6 3 0 4.5 -3 6 0 7.5 6 9 0 10.5 -3 12 0 13.5 6 15 0 16.5 -3 18 0) * 偏置电压  $v(t)$ *
.TRAN 1m 18 UIC * 测试时间长度为 18 s, 最大时间步长为 1 ms*
.option vntol=1 × 10-7 * 电压绝对精度 *
.option abstol=1 * 电流绝对精度 *
.probe
.end * 程序结束 *

```

参考文献

- [1] Tian X B, Xu H 2013 *Chin. Phys. B* **22** 088501
- [2] Strukov D B, Snider G S, Stewart D R, Williams R S 2008 *Nature* **453** 80
- [3] Chua L O, Kang S M 1976 *Proc. IEEE* **64** 209
- [4] Fang X D, Tang Y H, Wu J J 2012 *Chin. Phys. B* **21** 098901
- [5] Kim H, Sah M P, Yang C, Roska T, Chua L O 2011 *IEEE Trans. Circuits Syst. I Reg. Papers* **59** 148
- [6] Raja T, Mourad S 2009 *International Conference on Communications, Circuits and Systems*, California, July 23–25, 2009, p939
- [7] Bao B C, Hu W, Xu J P, Liu Z, Zou L 2011 *Acta Phys. Sin.* **60** 120502 (in Chinese)[包伯成, 胡文, 许建平, 刘中, 邹凌 2011 物理学报 **60** 120502]
- [8] Bao B C, Liu Z, Xu J P 2010 *Acta Phys. Sin.* **59** 3785 (in Chinese)[包伯成, 刘中, 许建平 2010 物理学报 **59** 3785]
- [9] Bao B C, Liu Z, Xu J P 2010 *Chin. Phys. B* **19** 030510
- [10] Li Z W, Liu H J, Xu X 2013 *Acta Phys. Sin.* **62** 096401 (in Chinese)[李智炜, 刘海军, 徐欣 2013 物理学报 **62** 096401]
- [11] Song D H, Lü M F, Ren X, Li M M, Zu Y X 2012 *Acta Phys. Sin.* **61** 118101 (in Chinese)[宋德华, 吕梦菲, 任翔, 李萌萌, 俎云霄 2012 物理学报 **61** 118101]
- [12] Jia L N, Huang A P, Zheng X H, Xiao Z S, Wang M 2012 *Acta Phys. Sin.* **61** 217306 (in Chinese)[贾林楠, 黄安平, 郑晓虎, 肖志松, 王玫 2012 物理学报 **61** 217306]
- [13] Yang J J, Pickett M D, Li X M, Ohlberg D A A, Stewart D R, Williams R S 2008 *Nature Nanotech.* **3** 429
- [14] Stewart D R, Ohlberg D A A, Beck P A, Chen Y, Williams R S 2004 *Nano Lett.* **4** 133
- [15] Pickett M D, Strukov D B, Borghetti J L, Yang J J, Snider G S, Stewart D R, Williams R S 2009 *J. Appl. Phys.* **106** 074508
- [16] Yang J J, Miao F, Pickett M D, Ohlberg D A A, Stewart D R, Lau C N, Williams R S 2009 *Nanotechnology* **20** 215201

- [17] Tian X B, Xu H, Li Q J 2013 *Chin. Phys. B* **22** 088502
[18] Prodromakis T, Michelakis K, Toumazou C 2010 *Electron. Lett.* **46** 63

- [19] Zhou J, Huang D 2012 *Chin. Phys. B* **21** 048401
[20] Abdalla H, Pickett M D 2011 *International Symposium on Circuits and Systems* Brazil, May 15–18, 2011 p1832

Influence of the cross section area on the conductive characteristics of titanium oxide memristor*

Tian Xiao-Bo[†] Xu Hui Li Qing-Jiang

(School of Electronic Science and Engineering, National University of Defense Technology, Changsha 410073, China)

(Received 11 September 2013; revised manuscript received 23 October 2013)

Abstract

The conduction of nano-scale titanium oxide memristor exhibits complex characteristics, owing to the change of self-parameters and the coexistence of different conductive mechanisms. However, there has been no detailed discussion about the influence of the cross section area change on the conductive characteristics of memristor. Based on dopant drift and tunnel barrier mechanisms, the conductive process of memristor is analysed, and the relevance between cross section area and key physical factors of the conductive process is studied, then the influences of the changes of titanium oxide and tunnel barrier cross section area on conductive characteristics of memristors are studied, respectively. The differences and connections between the two cases are analysed. In the case of the coexistence of those two mechanisms, compared with the change of titanium oxide cross section area, the change of tunnel barrier cross section area is proved to be the chief factor which causes changes of memristor conductive characteristics, it is also a possible factor causing the change of non-ideal conductive characteristics of memristor. The research results contribute to further explaining the complexity of memristor conduction and providing basis for optimizing memristor modeling.

Keywords: memristor, cross section area, dopant drift, tunnel barrier

PACS: 84.32.-y, 89.20.Ff, 84.37.+q, 85.35.-p

DOI: 10.7498/aps.63.048401

* Project supported by the National Natural Science Foundation of China (Grant Nos. 61171017, F010505).

[†] Corresponding author. E-mail: txiaobo1985@gmail.com