

单轴应变Si NMOSFET热载流子栅电流模型*

吕懿^{1)†} 张鹤鸣¹⁾ 胡辉勇¹⁾ 杨晋勇²⁾

1)(西安电子科技大学微电子学院, 宽禁带半导体材料与器件重点实验室, 西安 710071)

2)(北京精密机电控制设备研究所, 北京 100076)

(2014年3月21日收到; 2014年5月29日收到修改稿)

热载流子效应产生的栅电流是影响器件功耗及可靠性的重要因素之一, 本文基于热载流子形成的物理过程, 建立了单轴应变硅NMOSFET热载流子栅电流模型, 并对热载流子栅电流与应力强度、沟道掺杂浓度、栅源电压、漏源电压等的关系, 以及TDDB(经时击穿)寿命与栅源电压的关系进行了分析研究. 结果表明, 与体硅器件相比, 单轴应变硅MOS器件不仅具有较小的热载流子栅电流, 而且可靠性也获得提高. 同时模型仿真结果与单轴应变硅NMOSFET的实验结果符合较好, 验证了该模型的可行性.

关键词: 单轴应变Si, 热载流子, 栅电流模型

PACS: 71.70.Fk, 73.40.Qv, 73.43.Cd

DOI: 10.7498/aps.63.197103

1 引言

为了进一步提高半导体器件的性能, 除了改进器件结构外, 各种新材料与新技术被不断地应用到器件的设计制造中, 从而使得集成电路在纳米尺度上仍可依照摩尔定律持续地向前发展. 其中由于应变Si材料载流子迁移率高、带隙可调, 且应变Si技术与传统的Si工艺兼容等优点, 已成为高速高性能器件与电路研究与应用的重要技术之一^[1-4].

在应变Si技术中, 单轴应变相对于双轴应变更适用于CMOS集成电路制造, 因而倍受关注. 围绕单轴应变Si MOSFET的性能进行了大量研究^[5-8]. 其中栅泄漏电流引起电路静态功耗的增加和经时击穿(Time Dependent Dielectric Breakdown, TDDB)等可靠性问题, 随着低功耗设计及电路可靠性的需要, 它的研究越来越引起了重视. 文献^[9]报道了单轴应变Si NMOSFET的栅隧穿电流模型, 但除了栅隧穿对栅泄漏电流的贡献外, 热载流子效应产生的栅电流对器件功耗及可靠性的影响也很重要. 对于后者, 只有少量基于实验的研

究^[10,11], 缺乏相应的理论模型.

本文基于热载流子效应产生的物理过程, 根据幸运热载流子模型和发射电流模型, 从基本的电流方程出发, 建立了单轴应变硅NMOSFET热载流子栅电流模型, 并对热载流子栅电流与相关物理参量和偏置电压, 以及TDDB寿命与栅源电压的关系进行了研究. 分析结果表明, 与体硅器件相比, 单轴应变硅MOSFET不仅热载流子栅电流小, 可靠性也获得提高, 且模型仿真结果与单轴应变硅NMOSFET的实验结果符合较好, 为单轴应变Si MOSFET低功耗及可靠性设计能够提供参考.

2 热载流子栅电流模型

本文讨论常规的单轴应变硅NMOSFET结构如图1所示, 沟道张应力一般采用SiN应力膜引入.

NMOSFET器件沟道区产生的具有足够能量的热载流子越过SiO₂界面势垒, 到达栅电极构成热载流子栅电流. 图2描述了应变硅NMOSFET器件中热载流子栅电流形成的物理过程.

从基本的电流方程出发, 热电子栅电流 I_{g-h}

* 教育部博士点基金(批准号: JY0300122503)和中央高校基本业务费(批准号:K5051225014, K5051225004)资助的课题.

† 通讯作者. E-mail: 35691513@qq.com

可表示为

$$I_{g-h} = W \int_0^L Q_{ox}(y)v_m(y)dy, \quad (1)$$

式中 W 和 L 分别是应变硅 NMOSFET 的栅宽和栅长, $Q_{ox}(y)$ 为由热载流子效应产生的越氧化层势垒达到栅电极的载流子电荷面密度, v_m 为载流子在栅和栅介质界面的平均速度.

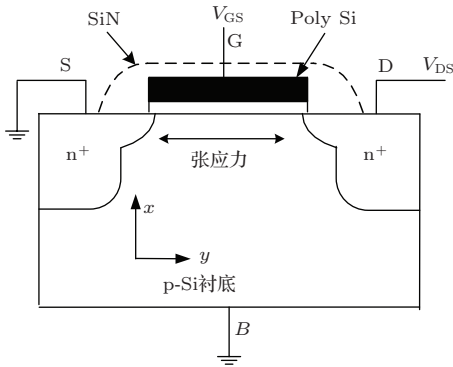


图1 单轴应变硅 NMOSFET 结构示意图

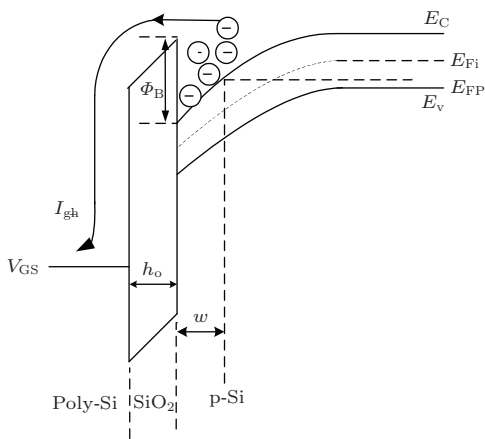


图2 应变硅 NMOSFET 沟道中热载流子栅电流形成示意图

在栅极电场和漏源电场的作用下, 可以通过幸运热载流子模型^[12]来描述 MOS 场效应晶体管热载流子渡越势垒形成栅电流的效应. $Q_{ox}(y)$ 与沟道中的载流子浓度, 注入效率, 溢出概率相关, $Q_{ox}(y)$ 可表述为

$$Q_{ox}(y) = P_{inj}(y)P_{esc}(y)Q_n(y), \quad (2)$$

式中 $P_{inj}(y)$ 为沟道中各点的注入效率, 定义为在横向电场和纵向电场, 以及晶格散射的作用下, 越过界面处势垒的电子数占沟道中总电子数的比例; $P_{esc}(y)$ 为溢出概率, 表示热电子渡越氧化层时不被氧化层中的陷阱俘获的概率; $Q_n(y)$ 为沟道中载流

子电荷面浓度. 从而由 (1), (2) 式可获得热载流子栅电流

$$\begin{aligned} I_{g-h} &= W \int_0^L Q_{ox}(y)v_m(y)dy \\ &= W \int_0^L P_{inj}(y)P_{esc}(y)Q_n(y)v_m(y)dy. \end{aligned} \quad (3)$$

从上式可知, 获得热载流子栅电流只需获得注入效率, 溢出概率, 载流子电荷面密度以及电子的平均速度即可.

2.1 载流子电荷面密度

载流子电荷面密度的求解可以参考文献^[9]中的描述,

$$\begin{aligned} |Q_n(y)| &= |Q_m| - |Q_d| \\ &= \frac{\epsilon_{ox}}{t_{ox}} [V_{gs} - V(y) - V_{th}], \end{aligned} \quad (4)$$

式中 Q_m , Q_d 分别为栅电荷面密度和栅下耗尽层电荷面密度, t_{ox} 为氧化层厚度, ϵ_{ox} 为氧化层介电常数, V_{th} 为器件的阈值电压.

$$\begin{aligned} V_{th} &= V_s + \frac{t_{ox}}{\epsilon_{ox}} \sqrt{2qN_A\epsilon_{ssi}V_s + q\chi_{Si}} \\ &\quad - \left[q\chi_{ssi} + \frac{E_{gssi}}{2} + \frac{kT}{q} \ln \left(\frac{N_A}{n_{iSSI}} \right) \right], \end{aligned} \quad (5)$$

式中 V_s 为应变沟道区的表面势, N_A 为应变沟道掺杂浓度. χ_{Si} , χ_{ssi} 分别为体硅和应变硅的亲势, E_{gssi} 为应变硅的禁带宽度, n_{iSSI} 为应变硅的本征载流子浓度. 而 χ_{ssi} , E_{gssi} , n_{iSSI} 与沟道中应力 σ 的关系为

$$\chi_{ssi}(\sigma) = \chi_{Si} + 0.57 \times \frac{\sigma}{7.55}, \quad (6)$$

$$E_{gssi}(\sigma) = 1.12 - 0.0336\sigma, \quad (7)$$

$$n_{iSSI}(\sigma) = n_{i0} \exp \left(\frac{0.0336\sigma}{2kT} \right). \quad (8)$$

通过对 V_{th} 的分析, 可以看到载流子电荷面密度跟沟道应力、应变沟道掺杂浓度、氧化层厚度等密切相关^[5,9].

2.2 注入效率

根据注入效率的定义, 可知注入效率即为在电场中获得足够高的能量克服界面势垒并且在运动到界面之前未发生非弹性碰撞的概率^[13,14], 注入效率可以表示为

$$P_{inj}(y) = \left[2 + \frac{E_b}{kT} \right] \exp \left(- \frac{E_b}{kT} \right), \quad (9)$$

式中 E_b 为栅介质与应变硅在界面处导带底的能量差, 也就是沟道中电子向栅介质注入时需要跨越的势垒高度.

2.3 溢出概率

栅氧化层中会有很多种类不同的陷阱, 比如电子陷阱, 空穴陷阱, 中性陷阱. 其中电子陷阱可以和 SiO_2 导带电子进行交换, 空穴陷阱可以和 SiO_2 价带空穴进行交换. SiO_2 导带电子与电子陷阱进行电子交换的过程如下所述:

1) 电子陷阱被二氧化硅导带上的电子占据, 从而得到电子. 在这一物理过程发生之前, 没有电子占据该陷阱.

假设二氧化硅导带中电子密度为 n , 被电子占据的电子陷阱密度为 n_t , 未被电子占据的电子陷阱单位时间从导带俘获电子的概率为 c_n , 电子陷阱的总密度为 N_T , 那么在该物理过程中 n_t 的增加量是

$$\frac{dn_t}{dt} = c_n n (N_T - n_t). \quad (10)$$

2) 二氧化硅导带中未被占据的状态因电子陷阱对其发射而被电子占据. 这些陷阱电荷在未发生发射过程之前, 有电子占据.

假设单位时间内被电子占据的电子陷阱密度 n_t , 与此同时, 假设每个被电子占据的电子陷阱单位时间内向二氧化硅导带发射电子的概率为 e_n , 从而可得 n_t 在该过程中的减少为

$$\frac{dn_t}{dt} = e_n n_t. \quad (11)$$

综合上述两个方程, n_t 对时间的导数可以表示为

$$\frac{dn_t}{dt} = c_n n (N_T - n_t) - e_n n_t. \quad (12)$$

对上式积分有

$$n_t = A + (n_t(0) - A) \exp(-Bt), \quad (13)$$

式中, $n_t(0)$ 是 $t = 0$ 时被电子占据的陷阱密度, $A = nN_T / (n + e_n / c_n)$, $B = e_n + c_n n$. 因为在 SiO_2 中可运动的电子密度比较大, 电子陷阱俘获电子的过程占主导地位, 故上述描述的第二种物理过程可以忽略, 则在任意时间电子陷阱所获得的电子总量表示为

$$n_t = N_T + (n_t(0) - N_T) \exp(-Bt), \quad (14)$$

式中, N_T 是栅介质中初始的陷阱密度总量, $B = e_n + c_n n$, n_s 为受到电场力作用下栅介质导带中可自由运动的电子密度, e_n , c_n 分别为陷阱发射和俘获电子的概率, 其大小取决于电子陷阱的俘获截面等. 该过程中假设, 电子每被注入, 产生电子陷阱的概率是 r , 注入电荷密度为 $j(t)$, 则经过时间 t 后, 二氧化硅里新出现电子陷阱如下式所示:

$$\Delta N_T = \int rj(t)/q dt. \quad (15)$$

对于恒流应力情况, 此增加量为

$$\Delta N_T = rjt/q. \quad (16)$$

由于本文以 NMOSFET 器件为研究主体, 电子会占据所有新增加的陷阱, 从而可得

$$n_t = \frac{rjt}{q} + N_T + (n_t(0) - N_T) \exp(-Bt). \quad (17)$$

利用恒流应力前后 NMOSFET 器件高频 $C-V$ 曲线, 结合恒流应力下栅电压的变化曲线求解出 n_t , 通过参数拟合的方法确定 r , B , N_T 等参数的值^[11], 从而可以将溢出概率表示为

$$P_{\text{esc}}(y) = \left[1 - \frac{n_t}{N_{\text{max}}} \right] \times \sigma_{\text{trap}}, \quad (18)$$

式中 N_{max} 为电子注入前单位栅极面积内的空陷阱数, σ_{trap} 是电子陷入的碰撞截面.

2.4 载流子在栅和栅介质界面的平均速度

在文献^[15]中描述到, 载流子由应变硅界面处在向栅极运动时, 将占据与界面处相同的能级. 因此, 在栅介质中运动的电子可以看成自由粒子, 设该粒子的能量为 E' , 因此这些电子的速度与能量的关系可表示为

$$E' = E_0(y) - E_{c-s} = \frac{1}{2} m_m v_m(y)^2. \quad (19)$$

式中 m_m 是电子在栅介质中的有效质量, 从而可得载流子在栅和栅介质界面的平均速度

$$v_m(y) = \sqrt{\frac{2[E_0(y) - E_{c-s}]}{m_m}}. \quad (20)$$

2.5 热载流子栅电流模型

对于热载流子栅电流表达式⁽³⁾, 利用电场是电势的负梯度进行积分换元, 即

$$\frac{dV(y)}{dy} = -F(y), \quad (21)$$

$F(y)$ 是沟道中的横向电场. 将该式代入 (3) 式, 可得

$$\begin{aligned}
 I_{g-h} &= W \int_0^L P_{inj}(y) P_{esc}(y) Q_n(y) v_m(y) dy \\
 &= -W \int_0^{V_{ds}} P_{inj}[V(y)] Q_n[V(y)] \\
 &\quad \times P_{esc}[V(y)] v_m[V(y)] F(y)^{-1} dV. \quad (22)
 \end{aligned}$$

为了简化积分表达式, 得到热载流子栅电流模型, 设 $F(y) = V_{ds}/L$, 最终得到热载流子栅电流为

$$\begin{aligned}
 I_{g-h} &= -WL \int_0^{V_{ds}} P_{inj}(V) Q_n(V) P_{esc}(V) \\
 &\quad \times v_m(V) dV V_{ds}^{-1}. \quad (23)
 \end{aligned}$$

上式即为建立的热载流子栅电流模型, 其中 $Q_n(V)$, $P_{inj}(V)$, $P_{esc}(V)$, $v_m(V)$ 的表达式分别见 (4), (9), (18), (20) 式. 根据 (4), (9), (18), (20) 式可以看出热载流子栅电流与沟道中应力、器件的沟道长度和宽度、氧化层厚度、应变硅沟道掺杂浓度以及偏置电压等相关, 这些因素包括了应变 NMOSFET 器件的所有关键参数. 因此, 该模型能够全面反映热载流子栅电流与器件几何结构参数、材料物理参数以及偏置条件的关系.

3 结果与分析

采用 Matlab 对所建立的单轴应变硅 NMOSFET 热载流子栅电流模型进行了模拟仿真. 研究了器件热载流子栅电流与应力强度、栅源电压、沟道掺杂浓度以及漏源电压的关系, 同时通过

热载流子栅电流, 对器件栅介质经时击穿效应做出了预测.

3.1 热载流子栅电流与偏压及物理参数关系分析

图 3 是器件沟道应力强度、栅源电压与热载流子栅电流关系的仿真结果, 其中纵坐标为与应力相关的热电子栅电流密度. 利用本课题组实验制造的单轴应变 Si NMOSFET 测试结果来验证模型精度, 为了与实验器件条件数据一致, 仿真时, 将漏源电压设为 1 V, 应变硅沟道的掺杂设为 $5 \times 10^{17} \text{ cm}^{-3}$, 氧化层的厚度设为 1.5 nm. 测试结果与仿真结果比较如表 1 所示.

文献 [10] 报道了 NMOSFET 栅电流与栅源电压关系的实验结果. 为了进一步验证本模型的可行性, 将无应力时的仿真结果与文献报导的实验结果进行了比较, 比较结果如表 2 所示.

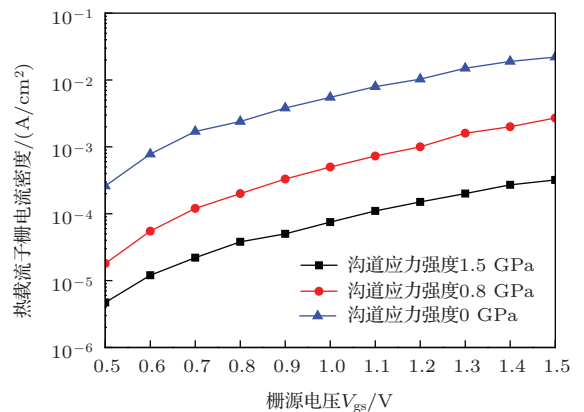


图 3 热电子栅电流与栅源电压关系曲线

表 1 热载流子栅电流测试结果与仿真结果比较

栅源电压/V	0.5	0.7	0.9	1.1	1.3
应力强度/GPa	1.5	1.5	1.5	0.8	0.8
测试结果/(A/cm²)	4.70×10^{-6}	2.30×10^{-5}	5.10×10^{-5}	7.55×10^{-4}	1.71×10^{-3}
仿真结果/(A/cm²)	4.73×10^{-6}	2.21×10^{-5}	5.02×10^{-5}	7.33×10^{-4}	1.60×10^{-3}

表 2 热载流子栅电流文献结果与仿真结果比较

栅源电压/V	0.5	0.7	0.9	1.1	1.3
实验结果/(A/cm²)	2.75×10^{-4}	1.85×10^{-4}	4.00×10^{-3}	8.10×10^{-3}	1.75×10^{-2}
仿真结果/(A/cm²)	2.6×10^{-4}	1.70×10^{-3}	3.85×10^{-3}	7.95×10^{-3}	1.50×10^{-2}

由表中数据可见, 本文所建模型的仿真结果与实验结果符合较好, 证明了该模型的正确性. 仿真结果表明, 器件工作在相同的偏置电压下, 沟道中单轴应力增大时, 应变Si与SiO₂界面势垒高, 热载流子栅电流密度减小. 从图3还可以看出, 沟道中的单轴应力越大, 由栅压引起的热电子栅电流的增加量越小. 说明应力作用下, 器件热载流子可靠性增强, 这对器件的实际应用是非常有利的.

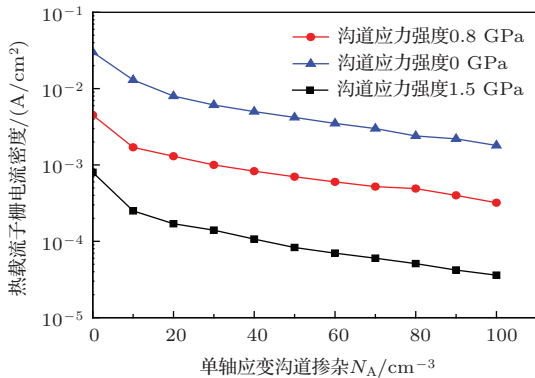


图4 热载流子栅电流密度与沟道掺杂浓度 N_A 关系曲线

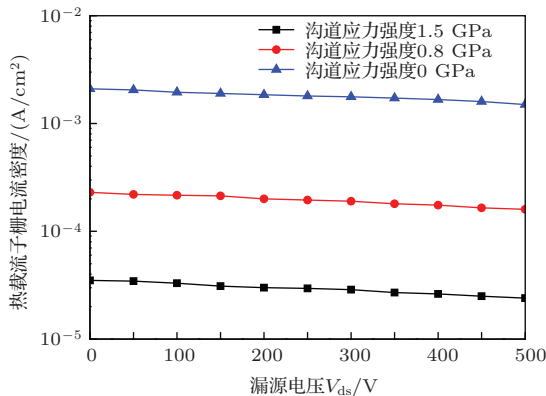


图5 热载流子栅电流与漏源电压 V_{ds} 关系曲线

图4是沟道应力强度、沟道掺杂浓度与热载流子栅电流密度的仿真结果, 其中纵坐标是热载流子栅电流密度, 横坐标是沟道掺杂浓度. 仿真时漏源电压为1 V, 栅源电压为1 V, 氧化层厚度为1.5 nm. 仿真结果表明, 热载流子栅电流随沟道掺杂浓度的升高而下降. 同样的沟道掺杂下, 电流随应力的增大而减小. 导致该现象的原因是: 当器件的偏置电压固定, 即氧化层电场固定时, 沟道表面电子面密度随沟道掺杂浓度的增加而减小, 从而导致热载流子电流减小. 应力增大引起热载流子越过界面处势垒的概率减小, 使得热载流子栅电流减小. 从

电流变化率的角度看, 沟道中应力越大电流受到掺杂浓度的影响越小. 因此, 为了减小热载流子栅电流, 应增强沟道中的应力.

图5为应力和漏源电压对热载流子栅电流的影响. 仿真时, 栅源电压为1 V, 氧化层厚度为1.5 nm, 沟道掺杂为 $5 \times 10^{17} \text{ cm}^{-3}$. 分析表明, 当漏源电压一定时, 沟道应力大, 热载流子栅电流小. 热载流子栅电流随漏源电压的提高而减小, 这是因为漏源电压增大导致沟道反型电子面密度降低, 同时栅氧化层电场减弱而引起越过界面处势垒的概率减小, 最终导致热载流子栅电流的减小.

3.2 热载流子栅电流与 TDDB 关系分析

研究热载流子栅电流除了可以为器件优化设计奠定理论依据, 同时可以根据热载流子栅电流定性地表征一些与可靠性相关的参量, 比如器件发生 TDDB 的时间 T_{bd} 等. 由文献 [16] 可知, 热载流子栅电流与发生 TDDB 的时间可以表示为

$$T_{bd50\%} = AJ_g^{-4.7}, \quad (24)$$

式中, $T_{bd50\%}$ 是指器件发生 TDDB 总时间的一半, J_g 指热载流子栅电流, A 是系数. 该表达式虽然不能定量的计算在一定偏压下器件的 TDDB 时间, 但能定性的研究外加电压对器件 TDDB 特性的影响.

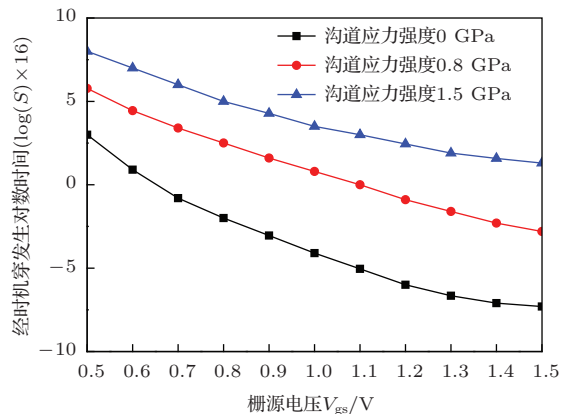


图6 TDDB 寿命与栅源电压关系曲线

TDDB 寿命与所加栅压的关系曲线如图6所示. 纵坐标是器件发生 TDDB 的时间, 横坐标为栅源电压. 仿真时, 漏源电压为1 V, 氧化层厚度为1.5 nm, 沟道掺杂为 $5 \times 10^{17} \text{ cm}^{-3}$. 仿真结果表明, 所加电压越高, 器件发生 TDDB 的时间越短. 故为使器件工作的寿命较长, 需尽可能的降低器件的工

作电压. 同时可以看出, 相同工作电压下, 沟道中的单轴应力越大, 热载流子栅电流小, 器件较不容易发生经时击穿, 这是应变硅器件的优势. 从曲线变化趋势上看, 应力越大的器件 TDDB 时间随栅源电压的变化量越小, 表明应变硅器件在 TDDB 方面有较好的稳定性.

4 结 论

基于热载流子效应产生的物理过程, 建立了单轴应变硅 NMOSFET 热载流子栅电流模型, 分析了热载流子栅电流与沟道应力、栅氧化层厚度、栅氧化层电场强度、沟道掺杂及偏置电压的关系. 仿真结果与单轴应变硅 NMOSFET 的实验结果符合较好, 表明了该模型的可行性. 同时通过仿真表明, 单轴应变硅器件和体硅器件相比, 不仅具有较小的热载流子栅电流, 还具有较稳定的可靠性. 该模型物理机理明确, 不仅适用于应变硅 NMOSFET, 只要将相关的参数换成 PMOSFET 的相关参数, 该模型也同样适用于单轴应变 PMOSFET.

参考文献

- [1] Zhou C Y, Zhang H M, Hu H Y, Zhuang Y Q, Lü Y, Wang B, Li H C 2013 *Acta Phys. Sin.* **62** 237103 (in Chinese) [周春宇, 张鹤鸣, 胡辉勇, 庄奕琪, 吕懿, 王斌, 李好晨 2013 物理学报 **62** 237103]
- [2] Song J J, Zhang H M, Hu H Y, Dai X Y, Xuan R X 2007 *Chin. Phys.* **16** 3827
- [3] Nicoleta W, Harald R, Mahadi-ul H 2011 *Solid-State Electronics* **57** 60
- [4] Olayiwola A, Sarah O, Anthony O'Neill 2010 *Solid-State Electronics* **54** 634
- [5] Zhou C Y, Zhang H M, Hu H Y, Zhuang Y Q, Lv Y, Wang B, Wang G Y 2014 *Acta Phys. Sin.* **63** 017101 (in Chinese) [周春宇, 张鹤鸣, 胡辉勇, 庄奕琪, 吕懿, 王斌, 王冠宇 2014 物理学报 **63** 017101]
- [6] Kuang Q W, Liu H X, Wang S L, Qin S S, Wang Z L 2011 *Chin. Phys. B* **20** 127101
- [7] Wang B, Zhang H M, Hu H Y, Zhang Y M, Shu B, Zhou C Y, Li H C, Lv Y 2013 *Acta Phys. Sin.* **62** 057103 (in Chinese) [王斌, 张鹤鸣, 胡辉勇, 张玉明, 舒斌, 周春宇, 李好晨, 吕懿 2013 物理学报 **62** 057103]
- [8] Ting-Kuo Kang 2012 *IEEE Electron Device Letters* **33** 770
- [9] Wu H Y, Zhang H M, Song J J, Hu H Y 2011 *Acta Phys. Sin.* **60** 097302 (in Chinese) [吴华英, 张鹤鸣, 宋建军, 胡辉勇 2011 物理学报 **60** 097302]
- [10] Min B W, Zia O, Celik M, Widenhofer R, Kang L, Song S, Gonzales S, Mendicino M 2001 *IEEE IEDM* **01** 873
- [11] Liu H X, Zheng X F, Hao Y 2002 *Acta Phys. Sin.* **51** 0163 (in Chinese) [刘红侠, 郑雪峰, 郝跃 2002 物理学报 **51** 0163]
- [12] Tam S, Ko P K, Hu C M 1984 *IEEE Trans. on Electron Devices* **31** 1116
- [13] El-Hennawy A, El-Said M H, Borel J, Kamarinos G 1987 *Solid-State Electron* **30** 519
- [14] Ning T H 1979 *IEEE Trans. Electron Devices* **26** 4
- [15] Weaver B D, Jackson E M, Summers G P 2000 *J. Appl. Phys.* **88** 6951
- [16] Toshifumi I, Toshinori N, Eiji T Norio H, Tsutomu T, Naoharu S, Shin-ichi T 2008 *IEEE Trans. on Electron Devices* **55** 3159

A model of hot carrier gate current for uniaxially strained Si NMOSFET*

Lü Yi^{1)†} Zhang He-Ming¹⁾ Hu Hui-Yong¹⁾ Yang Jin-Yong²⁾

1) (*Key Laboratory for Wide Band-Gap Semiconductor Materials and Devices, School of Microelectronics, Xidian University, Xi'an, 710071, China*)

2) (*Beijing Research Institute of Precise Mechatronic Controls, Beijing, 100076, China*)

(Received 21 March 2014; revised manuscript received 29 May 2014)

Abstract

Hot carrier gate current is one of the factors that influence the power and reliability of metal-oxide-semiconductor field effect transistor (MOSFET). Based on the physical process of generation of the hot carrier effect, a model of hot carrier gate current for uniaxially strained Si NMOSFET is developed. With that model, the simulation results of hot carrier gate current against stress intensity, gate-source bias, channel doping concentration, and drain-source bias are obtained and analyzed. The relationship between life time of time-dependent dielectric break down (TDDB) and gate-source bias is simulated and analyzed. Results show that the uniaxially strained Si MOSFET not only has smaller hot carrier gate current, but also has more stable reliability as compared with the strainless bulk device. Meanwhile, the simulation results match the experimental results very well, which validates the accuracy of the model.

Keywords: uniaxially strained Si, gate current model, hot carrier

PACS: 71.70.Fk, 73.40.Qv, 73.43.Cd

DOI: 10.7498/aps.63.197103

* Project supported by the Research Fund for the Doctoral Program of Higher Education of China (Grant No. JY0300122503), and the Fundamental Research Funds for the Central Universities of China (Grant Nos. K5051225014, K5051225004).

† Corresponding author. E-mail: 35691513@qq.com