

三维集成电路堆叠硅通孔动态功耗优化

董刚 武文珊 杨银堂

Stack-through silicon via dynamic power consumption optimization in three-dimensional integrated circuit

Dong Gang Wu Wen-Shan Yang Yin-Tang

引用信息 Citation: *Acta Physica Sinica*, 64, 026601 (2015) DOI: 10.7498/aps.64.026601

在线阅读 View online: <http://dx.doi.org/10.7498/aps.64.026601>

当期内容 View table of contents: <http://wulixb.iphy.ac.cn/CN/Y2015/V64/I2>

您可能感兴趣的其他文章

Articles you may be interested in

考虑自热效应的互连线功耗优化模型

A novel interconnect-optimal power model considering self-heating effect

物理学报.2013, 62(1): 016601 <http://dx.doi.org/10.7498/aps.62.016601>

一般边界条件下球形压力容器钢壁中氚和氦-3 的浓度变化规律研究

Research on tritium and helium-3 content distributions in steel wall of spherical pressure vessel under general boundary condition

物理学报.2012, 61(15): 156601 <http://dx.doi.org/10.7498/aps.61.156601>

金属互连电迁移噪声的非高斯性模型研究

Non-Gaussian analysis of noise for metal interconnection electromigration

物理学报.2012, 61(20): 206601 <http://dx.doi.org/10.7498/aps.61.206601>

fcc 金属表面能的各向异性分析及表面偏析的预测

Anisotropy analysis of surface energy and prediction of surface segregation for fcc metals

物理学报.2011, 60(1): 016601 <http://dx.doi.org/10.7498/aps.60.016601>

三维集成电路堆叠硅通孔动态功耗优化*

董刚[†] 武文珊 杨银堂

(西安电子科技大学微电子所, 宽禁带半导体材料与器件教育部重点实验室, 西安 710071)

(2014年7月13日收到; 2014年8月12日收到修改稿)

三维集成电路堆叠硅通孔结构具有良好的温度和热特性. 提出了一种协同考虑延时、面积与最小孔径的堆叠硅通孔动态功耗优化办法. 在提取单根硅通孔寄生电学参数的基础上, 分析了硅通孔的直径对多层硅通孔的功耗与延时性能的影响, 由此构建了分层逐级缩减堆叠硅通孔结构, 分析了硅通孔高度与氧化层厚度的影响. 结果表明, 该模型可在牺牲少许延时的情况下显著优化动态功耗, 在允许牺牲延时5%的情况下, 堆叠硅通孔的动态功耗最多可减少19.52%.

关键词: 三维集成电路, 堆叠硅通孔, 动态功耗, 延时

PACS: 66.30.-h, 66.30.Qa, 72.15.-v, 84.30.-r

DOI: 10.7498/aps.64.026601

1 引言

近年来, 集成电路的规模遵循着摩尔定律不断提高, 然而随着器件工艺进入纳米级, 单纯通过减小特征尺寸来提高集成度已经很难实现. 三维集成电路技术作为一种新的集成方案, 通过硅通孔 (through silicon via, TSV) 在垂直方向上堆叠芯片来实现更高的集成度, 并且可以实现异质芯片集成. 三维集成电路虽可大幅缩减芯片面积, 但不可避免地带来功耗密度急剧增加以及芯片温度的升高, 进而导致芯片性能下降^[1]. 同时, 由于TSV所产生的额外面积也在一定程度上增加了整个芯片的面积. 随着芯片层数的不断增加, TSV功耗在整个三维集成电路中所占比重越来越大, TSV布局与功耗网络的分配均会对系统性能产生影响, 须协同考虑多层芯片中TSV的性能参数如延时、功耗和热、面积的均衡问题^[2,3].

三维集成电路中TSV功耗分析和优化已成为业界研究热点之一^[4-10]. 文献[4]在比较二维与三维集成电路中功耗传输网络差异的基础上, 详细分析了TSV与C4封装结构的影响. 文献[5, 6]分别

综合功耗传输网络中TSV功耗与线长、电压下降等因素, 提出了相应的TSV拓扑生成方法. 文献[7]提出了一种针对I/O通道的TSV电容模型, 并评估了不同三维结构的TSV动态功耗. 文献[8, 9]分析了时钟网络中TSV的影响. 其中, 文献[8]讨论了多根TSV与单根TSV相比的优势以及负载电容对功耗的影响. 文献[9]在考虑了器件物理效应的前提下构建了时钟树综合中的TSV电热耦合模型. 文献[10]考虑了TSV之间的串扰引起的信号完整性问题以及相应解决策略.

在各种TSV的结构中, 堆叠TSV结构可以有效改善三维集成电路的散热特性, 目前在电源分布和时钟信号网络中亦有采用^[11,12]. 本文以堆叠TSV的动态功耗优化为主要研究目标. 首先, 针对传统TSV结构, 在提取其寄生电学参数的基础上, 建立了用于估计TSV动态功耗和延时的等效电路模型, 进一步分析了参数对动态功耗和延时的影响. 其次, 传统的堆叠TSV采用均匀结构, 我们根据TSV参数和其功耗及延时的依赖关系, 构造了一种逐级缩减的堆叠TSV结构. 逐级缩减堆叠TSV既具有堆叠TSV的热优良特性, 同时也为在一定延时牺牲的前提下进行动态功耗优化提供了

* 国家自然科学基金 (批准号: 61334003) 资助的课题.

[†] 通信作者. E-mail: gdong@mail.xidian.edu.cn

一种可能. 最后, 构建了多层 TSV 动态功耗解析模型, 在给定延时、面积等约束条件下, 优化求解了其动态功耗的改善.

2 TSV 性能参数及其表征

堆叠 TSV 结构具有良好的热及温度特性, 被用于改善电源网络的功率分布, 后被扩展用于三维集成电路全局时钟 TSV. 三维集成电路中使用的 TSV 包括圆柱型、圆环型、锥型等形式, 填充材料包括铜、多晶硅、钨材料^[13,14]. 目前, 最为常用的 TSV 是金属铜填充的圆柱型结构. 传统均匀堆叠铜圆柱 TSV 结构如图 1 所示. 下面讨论三维集成电路中堆叠 TSV 动态功耗优化所涉及的一些性能参数.

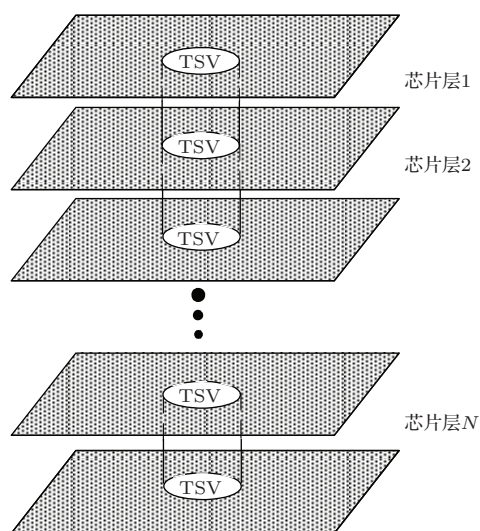


图 1 均匀堆叠铜圆柱 TSV 结构

2.1 TSV 寄生电学参数

本文所采用的单层圆柱型 TSV 结构用导电率较高的铜作为金属填充, 外围由一层 SiO₂ 或者

Si₃N₄ 作为绝缘介质来隔离金属铜与可导电的硅衬底^[15], 如图 2 所示. TSV 之所以会对三维集成电路的性能产生影响, 正是因为它本身的结构所带来的寄生电学参数.

对于典型的 TSV 结构, 硅衬底与 TSV 中金属填充会形成 MOS (金属-氧化物-半导体) 效应, 其电容值的获取可以通过类似平板电容器容值求解得到. 对于圆柱型 TSV, 则可通过求解圆柱坐标系的一维泊松方程获得. TSV 的介质层寄生电容 C_{ox} 如 (1) 式所示, 其大小取决于介质层的厚度、TSV 的直径与高度^[16].

$$C_{ox} = \frac{2\pi\epsilon_{ox}l}{\ln\left(1 + \frac{2t_{ox}}{d_{TSV}}\right)}, \quad (1)$$

式中, ϵ_{ox} 为 SiO₂ 介质层介电常数, l 表示 TSV 的高度, t_{ox} 为介质层厚度, d_{TSV} 代表 TSV 的直径.

同时, 在硅衬底中还存在一个耗尽层电容 C_{dep} , 如 (2) 式所示, 该值与衬底掺杂和耗尽层厚度密切相关.

耗尽层电容表达式为^[17]

$$C_{dep} = \frac{2\pi\epsilon_{Si}l}{\ln\left(1 + \frac{2t_{dep}}{d_{TSV} + 2t_{ox}}\right)}, \quad (2)$$

其中, ϵ_{Si} 为硅介电常数, t_{dep} 为耗尽层宽度, 其他参数物理含义同 (1) 式.

耗尽层宽度 t_{dep} 可以表示为

$$t_{dep} = \sqrt{\frac{4\epsilon_{Si}V_{th}\ln(N_A/n_i)}{qN_A}}, \quad (3)$$

其中, N_A 是杂质浓度, V_{th} 为阈值电压, q 为单个电子的电荷量, n_i 是本征载流子浓度.

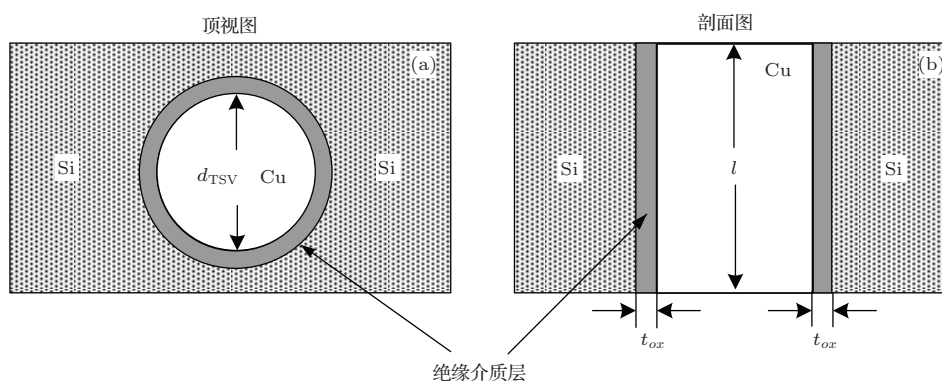


图 2 单层 TSV 结构 (a)TSV 顶视图; (b)TSV 剖面图

三维集成电路中的 TSV, 在硅衬底上还存在着寄生电容 C_{Si} , 其值较小, 本文将其忽略不计. 因此, 单层 TSV 总的寄生电容将由 C_{ox} 和 C_{dep} 二者串联构成

$$C_{TSV} = \frac{C_{ox} \cdot C_{dep}}{C_{ox} + C_{dep}}. \quad (4)$$

TSV 的寄生电阻包括直流电阻 R_{dc} 与交流电阻 R_{ac} . 低频时的表现为直流电阻, 当频率大于 500 MHz 时, 趋肤效应渐为显著, 直流电阻的影响变小, 交流电阻此时成为电阻主导分量 [18]. TSV 直流电阻和交流电阻分别如 (5) 和 (6) 式所示:

$$R_{dc} = \frac{\rho l}{\pi(d_{TSV}/2)^2}, \quad (5)$$

$$R_{ac} = \frac{\rho l}{2\pi \frac{d_{TSV}}{2} \delta_{skin} - \pi \delta_{skin}^2}, \quad (6)$$

(5) 和 (6) 式中 ρ 为 TSV 金属填充的电阻率, δ_{skin} 是趋肤深度 [19], 其他参数物理含义同上.

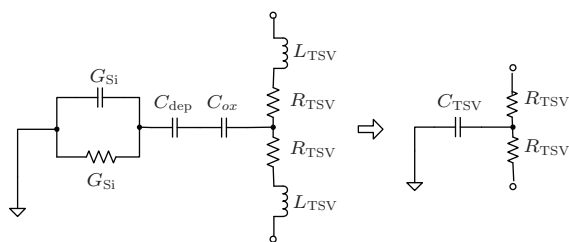


图3 单层圆柱型 TSV 等效电路及其简化模型

对于单层 TSV 结构来说, 由于不可避免的衬底漏电流的存在, 还存在衬底寄生电导 G_{Si} , 其值很小, 通常忽略 [20]. 此外, 还有和 TSV 几何尺寸相关的寄生电感, 由于本文重点讨论的是 TSV 的动态功耗, 电感对此的影响非常小 [21], 亦可忽略. 由此用于分析和讨论 TSV 动态功耗的简化模型如图 3 所示.

2.2 TSV 动态功耗

在三维集成电路中, 功耗包括动态功耗、泄漏功耗以及短路功耗. 对于全局时钟信号 TSV 而言, 当有高速时钟信号在其上传输时, 它将主要表现为动态功耗 [22], 其表达式为

$$P = \frac{1}{2} V_{dd}^2 C_{tsv} \alpha_{tsv} f_{tsv}, \quad (7)$$

式中, V_{dd} 和 f_{tsv} 分别为 TSV 上输入时钟信号的幅值和频率, α_{tsv} 为开关因子 [23].

由 (7) 式可以得出 TSV 动态功耗与其寄生电容成正比例关系. 而 TSV 寄生电容又与它的直径密切相关. 图 4 给出了单层 TSV 动态功耗与其直径的变化关系, 可以看出当 TSV 直径减小时, 它的动态功耗也随之减小.

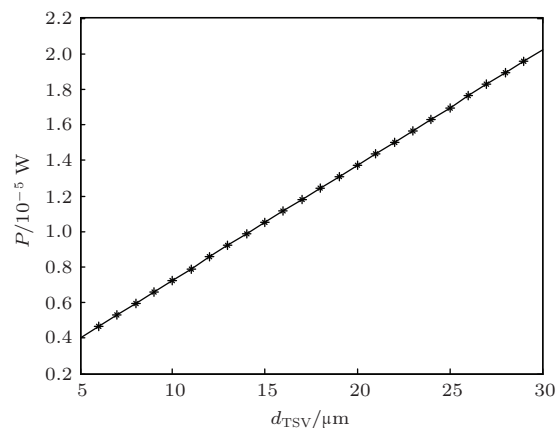


图4 单层 TSV 动态功耗与其直径的变化关系

对于 N 层堆叠 TSV, 它的动态功耗将是 N 个单层 TSV 动态功耗的简单叠加.

2.3 TSV 延时

本文的研究目标是 TSV 动态功耗的优化, 它通常是以牺牲延时为代价的. TSV 作为三维集成电路中的垂直互连, 可以采用一种简单有效的互连延时估算方法, 即 Elmore 延时模型来估计其延时 [24]. 对于 N 层堆叠 TSV, 它的 Elmore 延时为各层 TSV 寄生电阻与电容迭代相乘的和, 可以表示为

$$\tau = \sum_{i=1}^N C_{TSV,i} \sum_{j=1}^i R_{TSV,j}, \quad (8)$$

其中, $C_{TSV,i}$ 和 $R_{TSV,j}$ 分别为第 i 层 TSV 寄生电容和第 j 层 TSV 寄生电阻.

根据上述定义, 单层 TSV 的 Elmore 延时可以简单表示为其寄生电阻和电容的乘积, 即

$$\tau_{TSV} = R_{TSV} C_{TSV}. \quad (9)$$

图 5 所示为单层 TSV 延时与其直径的变化关系. 当 TSV 直径减小时, 其延时会非线性增大, 与功耗的变化趋势相反.

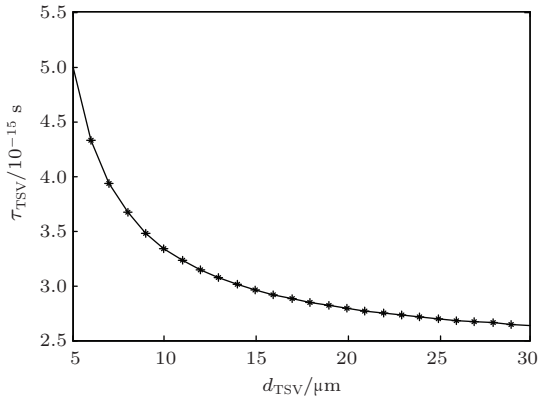


图5 单层 TSV 延时与其直径的变化关系

3 堆叠 TSV 动态功耗优化与讨论

正如上节讨论的一样, TSV 的尺寸会影响其动态功耗和延时, 当 TSV 直径减小时, 其动态功耗减小, 而延时会非线性增大. 据此, 我们提出了一种逐级缩减的堆叠 TSV 结构, 为在一定延时牺牲的前提下进行堆叠 TSV 动态功耗优化提供了一种可能, 如图 6 所示. 图 6 中未给出普遍深宽比, 仅给出了形状变化示意图. 在此结构的基础上构建如下的非线性约束的最优化问题:

$$\begin{aligned} & \min P(d_{\text{TSV}}) \\ & \text{s.t.} \begin{cases} P \leq P_0 \\ \tau = \tau_0 + \Delta\tau \\ \sum_{i=1}^N d_i \leq N \cdot d_0 \\ d_N \geq d_{\min} \end{cases} \end{aligned} \quad (10)$$

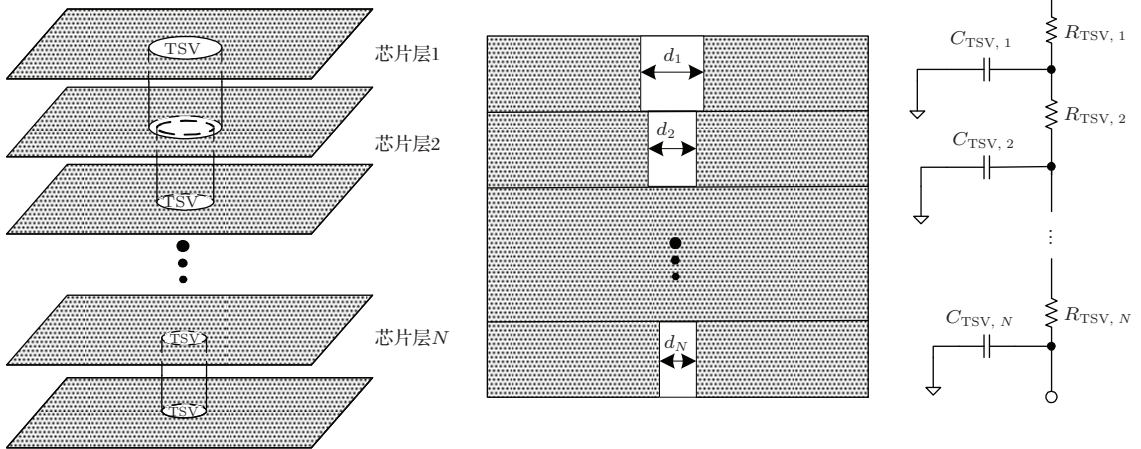


图6 逐级缩减的堆叠 TSV 结构及其等效电路

(10) 式中, 第一个约束条件为给定的功耗约束, 保证优化之后的堆叠 TSV 总的动态功耗小于均匀堆叠 TSV 的功耗; 第二个约束条件为优化后的总延时, 为均匀堆叠 TSV 的延时 τ_0 和所允许的牺牲延时 $\Delta\tau$ 之和; 第三个约束条件是为保证采用逐级缩减堆叠 TSV 结构后的总 TSV 直径, 即面积小于均匀堆叠 TSV 结构, 其中 d_i 为逐级缩减结构中第 i 层 TSV 的直径, d_0 为均匀堆叠 TSV 的直径; 第四个约束条件保证 TSV 最小直径 d_N 不能小于工艺能达到的最小 TSV 孔径 $d_{\min}$.

本文同时要求所构建逐级缩减堆叠 TSV 结构的尺寸线性变化, 第 i 层 TSV 直径满足

$$d_i = d_0 \cdot X - i \cdot l \cdot Y, \quad (11)$$

其中, X 和 Y 为与 TSV 直径变化规律有关的正数, l 为每层 TSV 高度.

不失一般性, 本文采用表 1 给出的典型三维集成电路 TSV 参数 [25,26], 同时考虑到目前国内外针对 TSV 电学特性的研究, 主要的方法多根据已有的研究成果建立相应的数学模型, 并进行仿真验证 [27-29]. 本文也采用相同的方式, 按照前述优化方法, 针对 10 层 TSV 堆叠结构, 在允许有 5% 的牺牲延时条件下, 讨论本文所提逐级缩减堆叠 TSV 结构动态功耗优化的可行性.

首先针对均匀堆叠 TSV 直径 $d_0 = 20 \mu\text{m}$, 单层 TSV 厚度 $l = 100 \mu\text{m}$, 在保证优化后的 TSV 深宽比介于 1 : 5 至 1 : 10 之间的条件下进行堆叠 TSV 的动态功耗优化.

表1 典型三维集成电路 TSV 参数

工艺	t_{ox}/m	ε_{ox}	ε_{Si}	$\varepsilon_0/\text{F}\cdot\text{m}^{-1}$	N_A/m^{-3}	n_i/m^{-3}	V_{dd}/V	V_{th}/mV	α	$\rho/\Omega\cdot\text{m}$	f_{clk}/GHz
数值	1.0×10^{-6}	3.9	11.9	8.85×10^{-12}	2.0×10^{21}	1.5×10^{16}	0.6	25.9	0.1	1.72×10^{-8}	2

表2 改变各层差值时的延时与功耗

$\Delta r/\mu\text{m}$	X	Y	$P_0/10^{-5} \text{ W}$	$P/10^{-5} \text{ W}$	功耗改变/%
0.6	1.1550	0.0060	6.8674	5.7338	-16.51
0.5	1.0870	0.0050	6.8674	5.6498	-17.73
0.4	1.0214	0.0040	6.8674	5.5812	-18.73
0.3	0.958	0.0030	6.8674	5.5269	-19.52

表3 改变其他工艺参数时的延时与功耗

$l/\mu\text{m}$	$t_{ox}/\mu\text{m}$	$\tau_0/10^{-15} \text{ s}$	$\tau/10^{-15} \text{ s}$	延时改变/%	$P_0/10^{-5} \text{ W}$	$P/10^{-5} \text{ W}$	功耗改变/%
120	1.0	2.7755	2.9142	+5.00	8.2409	6.8806	-16.51
100	1.0	1.9274	2.0238	+5.00	6.8674	5.6498	-17.73
100	0.8	2.2904	2.4050	+5.00	8.1608	6.6456	-18.57
80	1.0	1.2335	1.2952	+5.00	5.4939	4.4645	-18.74
80	1.2	1.0674	1.1208	+5.00	4.7538	3.9009	-17.94
60	1.0	6.9386	7.2854	+5.00	4.1204	3.3161	-19.52

分析 TSV 直径表达式 (11) 式可知, Y 值影响每层 TSV 的直径差值, 不能过小. 若选取 $\Delta d = 1 \mu\text{m}$, 则 $Y = 0.005$. 由此基于本文约束可求得 $X = 1.0870$. 此时有

$$\begin{cases} (\tau - \tau_0)/\tau_0 = 0.0500 \\ (P - P_0)/P_0 = -0.1773 \end{cases},$$

即堆叠 TSV 在延时增大了 5% 的情况下, 采用本文所述策略其功耗降低了 17.73%.

若改变叠层 TSV 结构中每层直径的差值, 其优化得到的叠层 TSV 动态功耗结果如表 2. 在延时约束条件下, 随着每层差值的减小, 功耗的优化效果愈发明显, 当允许差值 300 nm 时, 在延时增大 5% 的情况下功耗可减少 19.52%.

根据第二部分的讨论, 除了 TSV 的直径 d 对其寄生电学参数有影响, 进而影响 TSV 功耗和延时以外, TSV 的高度 l 与介质层的厚度 t_{ox} 也会产生一定的影响. 表 3 给出了在不同 TSV 的高度和介质层的厚度的情况下, 固定 $\Delta d = 1 \mu\text{m}$, 采用本文所述策略进行堆叠 TSV 结构动态功耗优化的结果. 比较第 1, 2, 4, 5 行数据可以发现, TSV 的高度越小, 即深宽比越小时, 优化的效果越好. 当最上层的 TSV 高度为 60 μm 时, 动态功耗可优化减小

19.52%. 比较 2, 3, 4, 5 行数据可以发现, 在同样的 TSV 高度情况下, 若介质层厚度越小, 则本文得到的优化结果越显著.

4 结 论

本文基于圆柱形 TSV 的基本结构, 在协同考虑延时、面积、最小孔径的约束条件下提出了一种针对多层 TSV 的动态功耗优化模型. 首先选取了三维集成电路中的一种堆叠 TSV 结构, 并提取了单根 TSV 的电路参数. 然后分析了与动态功耗及延时相关的影响因素, 针对其中的 TSV 直径提出了优化其动态功耗的新结构并计算了结构参数. 最后, 分析了 TSV 参数对性能的影响与对比. 在制造过程中, 可以根据实际的情况适当调节这些物理参数值, 从而得到最优的结果.

参考文献

- [1] Lee Y J, Lim S K 2011 *IEEE Trans. Comput.-Aided Des. Integr. Circ. Syst.* **30** 1635
- [2] Zhao X, Minz J, Lim S K 2011 *IEEE Trans. Compon. Packag. Manuf. Technol.* **1** 247

- [3] Zhu Z M, Wan D J, Yang Y T 2010 *Acta Phys. Sin.* **59** 4837 (in Chinese) [朱樟明, 万达经, 杨银堂 2010 物理学报 **59** 4837]
- [4] Khan N H, Alam S M, Hassoun S 2011 *IEEE Trans. Very Large Scale Integr. Syst. (VLSI)* **19** 647
- [5] Liu W, Du H, Wang Y, Ma Y, Xie Y, Quan J, Yang H 2013 *International Symposium on Quality Electronic Design* Santa Clara, USA, March 4–6, 2013 p300
- [6] Wei S H, Lee Y M, Ho C T, Sun C T, Cheng L C 2013 *International Symposium on VLSI Design, Automation and Test* Hsinchu, China, April 22–24, 2013 p1
- [7] Kim J, Cho J, Pak J S, Song T 2010 *International Conference on Electrical Performance of Electronic Packaging and Systems* Austin, USA, October 25–27, 2010 p41
- [8] Zhao X, Lim S K 2010 *Asia and South Pacific Design Automation Conference* Taipei, China, January 18–21, 2010 p175
- [9] Sai M P D, Shang Y H, Tan C S, Lim S K 2013 *IEEE Trans. Comput.-Aided Des. Integr. Circ. Syst.* **32** 1734
- [10] Qian L B, Zhu Z M, Xia Y S, Ding R X, Yang Y T 2014 *Chin. Phys. B* **23** 038402
- [11] Chen H T, Lin H L, Wang Z C, Hwang T T 2011 *DATE Conference and Exhibition* Grenoble, France, March 14–18, 2011 p1
- [12] Yang P, Chen H T, Hwang T T 2013 *Asia and South Pacific Design Automation Conference* Yokohama, Japan, January 22–25, 2013 p699
- [13] Zhao W S, Wang X P, Xu X L, Yin W Y 2010 *Proc. IEEE Electrical Design of Advanced Packaging & Systems Symposium* Singapore, December 7–9, 2010 p1
- [14] Chua T T, Ho S W, Li H Y, Khong C H, Liao E B, Chew S P, Lee W S, Lim L S, Pang X F, Kriangsak S L, Ng C, Nathapong S, Toh C H 2010 *International Symposium on Quality Electronic Design* Las Vegas, USA, June 1–4, 2010 p798
- [15] Han K J, Swaminathan M, Bandyopadhyay T 2010 *IEEE Trans. Adv. Package* **33** 804
- [16] Todri A, Kundu S, Girard P, Bosio A, Dilillo L 2013 *IEEE Trans. Very Large Scale Integr. (VLSI) Syst.* **21** 306
- [17] Savidis I, Friedman E G 2009 *IEEE Trans. Electron Dev.* **56** 1873
- [18] Kim J, Pak J S, Cho J, Song E 2011 *IEEE Trans. Compon. Packag. Manuf. Technol.* **1** 181
- [19] Hall S H, Hall G W, McCall J A 2000 *High-Speed Digital System Design: A Handbook of Interconnect Theory and Design Practices* (New York: John Wiley & Sons) p205
- [20] Liu E X, Li E P, Ewe W B, Lee H M 2011 *IEEE Trans. Microw. Theory Tech.* **59** 1454
- [21] Katti G, Stucchi M, Meyer K D, Dehaene W 2010 *IEEE Trans. Electron Dev.* **57** 256
- [22] Kim D Y, Kim J H, Pak J S, Lee H D, Lee J H, Park K W, Kim J H 2012 *IEEE Electronic Components and Technology Conference* California, USA, May 29–30, 2012 p1945
- [23] Elmiligi H, El-Kharashi M W, Gebali F 2013 *Microprocess. Microsy.* **37** 530
- [24] Dong G, Yang Y, Chai C C, Yang Y T 2010 *Chin. Phys. B* **19** 110202
- [25] Qian L B, Zhu Z M, Yang Y T 2012 *Acta Phys. Sin.* **61** 068001 (in Chinese) [钱利波, 朱樟明, 杨银堂 2012 物理学报 **61** 068001]
- [26] Savidis I, Alamc S M, Jain A, Pozder S, Jones R E, Chatterjee R 2010 *Microelectron. J.* **41** 9
- [27] Zhu Z M, Zuo P, Yang Y T 2011 *Acta Phys. Sin.* **60** 118001 (in Chinese) [朱樟明, 左平, 杨银堂 2011 物理学报 **60** 118001]
- [28] Kim J, Cho J, Kim J, Yook J M, Kim J C, Lee J, Park K, Pak J S 2014 *IEEE Trans. Compon. Packag. Manuf. Technol.* **4** 697
- [29] Greakis V, Avdikou C, Liolios A, Hatzopoulos A 2014 *International Symposium on Design and Diagnostics of Electronic Circuits & Systems* Warsaw, Poland, April 23–25, 2014 p310

Stack-through silicon via dynamic power consumption optimization in three-dimensional integrated circuit^{*}

Dong Gang[†] Wu Wen-Shan Yang Yin-Tang

(Key Laboratory of Ministry of Education for Wide Band-Gap Semiconductor Materials and Devices, Microelectronics Institute,
Xidian University, Xian 710071, China)

(Received 13 July 2014; revised manuscript received 12 August 2014)

Abstract

Stack-through silicon via (TSV) used in three-dimensional integrated circuit has good temperature and heat transfer characteristics. A novel model for optimizing the dynamic power consumption based on stacked-TSV is proposed in this paper, in which delay, area and minimum aperture are comprehensively considered. After extracting single TSV parasitic electrical parameters, we analyze the influences of TSV size on multilayer TSV power consumption and delay performance, thereby building the hierarchical reduction TSV structure step by step. Moreover, the influences of TSV height and thickness of oxide layer are discussed. Results show that the model can significantly improve the dynamic power consumption at the expense of little delay. The power consumption optimization reduction is up to 19.52% with 5% delay penalty.

Keywords: 3D integrated circuit, stack-through silicon via, dynamic power consumption, delay

PACS: 66.30.-h, 66.30.Qa, 72.15.-v, 84.30.-r

DOI: [10.7498/aps.64.026601](https://doi.org/10.7498/aps.64.026601)

^{*} Project supported by the National Natural Science Foundation of China (Grant No. 61334003).

[†] Corresponding author. E-mail: gdong@mail.xidian.edu.cn