

面向纳米电路的改进型卷积核可制造性模型建模研究

杨祎巍 张宏博 李斌

Improved convolution kernel based DFM model for nano-scale circuits

Yang Yi-Wei Zhang Hong-Bo Li Bin

引用信息 Citation: *Acta Physica Sinica*, 64, 058501 (2015) DOI: 10.7498/aps.64.058501

在线阅读 View online: <http://dx.doi.org/10.7498/aps.64.058501>

当期内容 View table of contents: <http://wulixb.iphy.ac.cn/CN/Y2015/V64/I5>

您可能感兴趣的其他文章

Articles you may be interested in

基于版图优化的综合灵敏度模型

Net sensitivity for open and short model based on layout optimization

物理学报.2014, 63(12): 128503 <http://dx.doi.org/10.7498/aps.63.128503>

面向纳米电路的改进型卷积核可制造性模型建模研究*

杨祎巍^{1)2)†} 张宏博³⁾ 李斌²⁾

1)(南方电网科学研究院, 广州 510080)

2)(华南理工大学电子与信息学院, 广州 510640)

3)(Synopsys Inc., 美国, 俄勒冈 97006)

(2014年7月19日收到; 2014年10月9日收到修改稿)

由于材料和工艺稳定性等原因, 纳米级集成电路制造依然基于 193 nm 激发光的工艺, 光刻波长远大于版图尺寸, 使得制造中光的干涉和衍射现象极大降低了分辨率, 影响了芯片质量, 因此版图在制造前需要使用可制造性模型进行查错. 传统模型对制造过程进行物理建模, 通过对模型中的矩阵进行分解得到卷积核, 所使用的物理模型不仅复杂, 而且应用难度高, 加之还有物理模型缺失的情况, 因此难以描述具有上千参数的生产线. 本文使用卷积的形式作为可制造性模型的框架, 通过优化算法提取版图到硅片轮廓这一过程的信息并以卷积核的形式体现出来, 卷积核中的每一个元素均为根据已知的生产线输入输出数据优化得出, 是描述制造过程的一个维度. 该模型克服了传统模型需要工艺参数等机密信息的缺陷, 同时具有更强的描述制造过程的能力; 模型甚至可以包含版图校正信息, 描述从版图到硅片轮廓这一全流程. 该模型在 65 nm 工艺下的实验结果表明该模型具有 8 nm 的精度.

关键词: 可制造性模型, 卷积核, 全流程

PACS: 85.40.Bh

DOI: 10.7498/aps.64.058501

1 引言

集成电路产业基本按照摩尔定律向前发展, 目前已经进入纳米时代, 电路尺寸达到几十个纳米的级别^[1], 即使版图遵循设计规则, 依然难以保证其成品率和电路性能, 因此制造中所遇到的可制造性问题越来越大^[2-5]. 在代工厂收到设计者递交的版图后, 首先要进行一系列的校正工作, 如光学邻近校正^[6-8] (OPC)、散射条插入^[9,10] (SBI)、双重图形^[11-14] (double patterning)、反向光刻^[15-17] (inverse lithography) 等, 而后要对校正后的版图进行全面的查错, 找出易出现问题的版图图案^[18,19]. 期间, 若有错误难以校正, 需要返还给设计者重新修改, 直至没有疑点为止^[19], 这样会浪费大量时

间. 如果设计者在完成设计后, 可以自行检查并解决版图中绝大多数的错误, 则可以极大缩短芯片面市时间.

校正和查错使用的传统模型是通过将每一步工艺进行物理建模并级联而成, 重要的模型有掩膜模型^[20-22]、光刻模型^[23-25]、光刻胶模型^[26,27]、化学机械抛光模型^[28-30]等. 由于工艺复杂, 物理模型难以描述所有工艺细节, 故存在物理模型缺失、模型臃肿、计算量大、应用难度高等缺陷, 因而精度有限. 物理模型建模需要用到工艺参数等机密信息, 难以将模型发布给设计者使用, 制约了设计和生产流程的改善.

作者在文献^[31]中使用卷积作为可制造性模型的框架, 建模使用的信息为版图及其在硅片上对

* 中央高校基本科研业务费 (批准号: 2013ZM0015) 资助的课题.

† 通信作者. E-mail: yangyw@csg.cn

应的实测轮廓, 建模过程无需工艺参数等机密信息, 适合于发布给设计者使用. 本文在此基础上进一步改进, 证明了满足约束的模型只含有一个卷积核矩阵, 大大降低的模型的计算噪声; 卷积核矩阵中的每一个元素都是描述生产过程的一个自由维度, 高维数使得模型具有较强的描述生产过程的能力.

2 基于卷积核的模型建模

集成电路生产工艺步骤多且复杂, 但其中起主导作用的步骤是光刻, 它负责将掩膜上的图形转移到硅片上, 光场强度使用加权卷积平方和(部分相干光系统)的形式描述, 光刻卷积核由TCC矩阵分

解得到. 光刻使光刻胶发生反应固化图形, 可使用sigmoid函数描述这一过程. 为了描述整个生产过程, 放开光刻卷积核的约束, 将其泛化为卷积核, 即卷积核中的每一个元素不再由光学模型计算得出, 而由优化算法计算得出. 生产前对版图进行的校正, 可以等效为图形的伸缩等操作, 因而也可由上述架构描述. 此外, 所有可以用卷积关系描述的物理现象都在建模过程中包含了进去.

2.1 可制造性模型建模

首先, 定义表1所示的变量, 版图 M 用二值形式表示, 卷积核 K 是方阵, λ 是其权重, 光强 I 是光通过掩膜后的二维光强分布, 轮廓 C 表示最终出现在硅片上的轮廓.

表1 变量及取值范围

符号	取值范围	符号	取值范围
版图 M	$D^{H \times V}, D = \{0, 1\}$	实测轮廓 Z	$D^{H \times V}, D = \{0, 1\}$
卷积核 K	$R^{A \times A}$	光强 I	$R^{H \times V}$
卷积核权重 λ	R	仿真轮廓 C	$Q^{H \times V}, Q \in [0, 1]$

光强 I 的分布可由

$$I = \sum_{i=1}^N \lambda_i (K_i \otimes M)^2 \quad (1)$$

式表示, 其中 \otimes 表示卷积, N 表示卷积核的数量.

光刻胶通过显影、蚀刻等工艺, 将图形固化在硅片上. 这一过程可用sigmoid函数表示为

$$C(I) = 1/[1 + \exp(-e(I - T))], \quad (2)$$

其中, e 是蚀刻因子, T 表示成像阈值, 可以是定阈值形式, 也可以是变阈值形式. 通过(2)式的作用, 光强矩阵 I 中的元素被推向0或1, 向二值矩阵逼近, 以便与目标轮廓相比较.

整个可制造性模型的形式为

$$C(I; K_1, \lambda_1, \dots, K_N, \lambda_N) = 1/(1 + \exp(-e(\sum_{i=1}^N \lambda_i (K_i \otimes M)^2 - T))), \quad (3)$$

输入是版图 M , 在参数 K_i, λ_i 的控制下, 生成硅片上的轮廓 C .

当仿真生成的轮廓 C 与硅片上的实测轮廓 Z 一致时, 模型质量最好. 为此, 将建模的过程转化

为一个优化问题, 如下式所示:

$$\begin{aligned} \min \text{cost}(K_1, \lambda_1, \dots, K_N, \lambda_N) \\ = \sum_{p=1}^Y W_p \left[\sum_{i=1} \sum_{j=1} (C_{p,ij} - Z_{p,ij})^2 \right], \quad (4) \end{aligned}$$

代价函数 $\text{cost}()$ 表示仿真轮廓与实测轮廓的差值. 因此, 建模需要的数据是版图及其在硅片上的实测轮廓. 其中, W_p 是版图及其对应轮廓的权重, Y 是版图及其对应轮廓的数量.

为了模型更加的合理, 卷积核需要满足一些性质, 即模型需要添加一些约束条件. 常用的约束有两个, 一个是卷积核归一化的约束, 另一个是卷积核正交化的约束, 分别如下:

$$\begin{aligned} \sum_i \lambda_i \|K_i\| &= \sum_i \lambda_i \left(\sum_p \sum_q K_{i,pq}^2 \right) = 1 \\ K_p \perp K_q &= \sum_i \sum_j K_{p,ij} K_{q,ij} = 0, \\ p \neq q, p, q &= 1, \dots, N. \quad (5) \end{aligned}$$

归一化约束表示光强最大值是1, 正交化约束则保证卷积核没有冗余.

(4)式和(5)式一起将建模转化为求解带有等式约束的优化问题. 考虑到卷积核两两正交, 因

此通过

$$\begin{aligned} & \lambda_1(K_1 \otimes M)^2 + \lambda_2(K_2 \otimes M)^2 \\ & = [(\sqrt{\lambda_1}K_1 + \sqrt{\lambda_2}K_2) \otimes M]^2 \end{aligned} \quad (6)$$

可知, 若模型包含有多于一个的卷积核, 则可以通过(6)式进行化简, 最终模型仅需要一个卷积核即可, 大大简化了模型的复杂度, 缩短了建模时间, 降低了模型的计算噪声.

2.2 模型求解

生产过程将图形从版图上转移到硅片上, 图形在转移过程中会产生失真, 由此引发芯片质量和性能问题. 与传统可制造性模型建模过程不同, 本模型的求解不需要工艺参数信息, 仅仅需要版图及其对应的硅片上的轮廓, 即只需要所建模型的输入和输出数据. 所有生产信息均蕴含在输入输出数据中, 只要能够合理有效的提取数据, 就可以很好的描述生产过程. 由此带来的额外优势是本模型可以发布给设计者使用, 以便设计者在版图发给代工厂之前就可以自行查错, 缩短交互时间.

通过添加Lagrange惩罚项, 将带有等式约束的优化问题转为无约束的优化问题如下式:

$$\begin{aligned} & \min \text{newcost}(K_1, \lambda_1) \\ & = \sum_{p=1}^Y W_p \left[\sum_{i=1} \sum_{j=1} (C_{p,ij} - Z_{p,ij})^2 \right] \\ & \quad + \alpha[\lambda_1 \|K_1\| - 1]^2, \end{aligned} \quad (7)$$

$$\begin{aligned} K_1^{n+1} &= K_1^n - s * g_{K_1}^n, \\ \lambda_1^{n+1} &= \lambda_1^n - s * g_{\lambda_1}^n. \end{aligned} \quad (8)$$

而后采用牛顿梯度法求解参数. 牛顿梯度法无法保证全局最优, 若要模型质量较好, 需要提供高质量的初始值.

模型需要优化求解的变量是卷积核 K_1 及其权重 λ_1 , 牛顿梯度法的迭代过程如(8)式所示. 其中, s 是迭代步长, $g_{K_1}^n$ 表示第 n 次迭代时代价函数关于卷积核 K_1 的梯度, $g_{\lambda_1}^n$ 表示第 n 次迭代时代价函数关于卷积核权重 λ_1 的梯度. 整个模型的建模过程如图1所示, 模型的输入是版图, 模型采用卷积核框架, 模型的输出是仿真轮廓, 根据仿真轮廓与硅片上实测轮廓的误差并通过优化算法来调整模型参数, 使得仿真轮廓与硅片轮廓误差最小.

由于代价函数中有三项, 因此梯度的具体表

达式为

$$\begin{aligned} g_{K_1}^n &= \nabla_{K_1} \text{cost} + \nabla_{K_1} (\alpha[\lambda_1 \|K_1\| - 1]^2), \\ g_{\lambda_1}^n &= \nabla_{\lambda_1} \text{cost} + \nabla_{\lambda_1} (\alpha[\lambda_1 \|K_1\| - 1]^2), \end{aligned} \quad (9)$$

其中, (9)式中梯度的具体表达式如下式所示:

$$\begin{aligned} & \nabla_{K_1} \text{cost} \\ & = 4\lambda_1 e \sum_{p=1}^Y [W_p (C_p - Z_p) \odot C_p \odot (1 - C_p) \\ & \quad \odot (K_1 \otimes M_p)] \otimes \text{rot}180(M_p), \end{aligned} \quad (10)$$

$$\begin{aligned} & \nabla_{K_1} (\alpha[\lambda_1 \|K_1\| - 1]^2) \\ & = 4\lambda_1 \alpha [\lambda_1 \|K_1\| - 1] K_1, \end{aligned} \quad (11)$$

$$\begin{aligned} & \nabla_{\lambda_1} \text{cost} \\ & = 2e \sum_{p=1}^Y W_p \left[\sum_h \sum_v (C_{p,hv} - Z_{p,hv}) \right. \\ & \quad \left. \times C_{p,hv} (1 - C_{p,hv}) ((K_1 \otimes M_p)^2) \right], \end{aligned} \quad (12)$$

$$\begin{aligned} & \nabla_{\lambda_1} (\alpha[\lambda_1 \|K_1\| - 1]^2) \\ & = 2\alpha [\lambda_1 \|K_1\| - 1] \|K_1\|, \end{aligned} \quad (13)$$

\odot 表示矩阵中对应元素相乘, $\text{rot}180()$ 表示将矩阵旋转 180° .

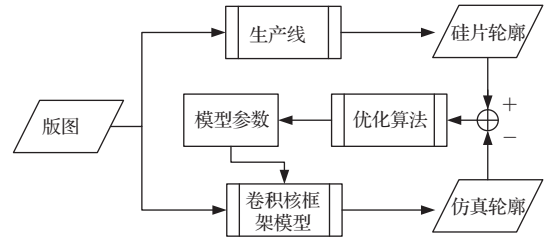


图1 可制造性模型建模流程图

3 实验及分析

卷积核的维度需要在模型求解前确定: 维度太大, 由于离中心远的点对中心点光强贡献小, 造成矩阵边缘元素数值很小, 成为了噪声; 维度太小, 不足以描述周围环境对中心点光强的影响. 因此, 卷积核的维度或者根据经验确定, 或者选取一个较大维度的卷积核, 根据计算结果再进行缩小. 计算过程中, 为了避免卷积核中元素过于小, 可以将归一化约束设定为一个较大的值, 比如10000. 模型初始值采取以下若干方式选取, 随机生成卷积核、卷积核所有元素均相等、光刻卷积核. 模型中sigmoid函数采用恒定阈值的形式.

本实验采65 nm工艺, 使用的光刻波长是193 nm, 卷积核矩阵采用13 nm一个格点. 为了使模型具有更加强大的描述能力, 建模所使用的版图-轮廓数据不仅仅包含一维CD数据, 还包括各种逻辑电路版图的图形、存储器版图图形. 图2是版图-轮廓数据的示意图, 图2(a)是原始版图, 图2(b)是硅片上实测轮廓, 建模过程使得模型的仿真轮廓不断逼近实测轮廓. 建模所使用图形的复杂性越大, 出现的图形的种类越多, 模型的精度就会越高, 预测就会越准. 实验使用36组版图及其对应硅片上轮廓数据, 使用其中24组训练模型, 另外12组验证

模型.

综上, 本文采用的建模参数如表2所示.

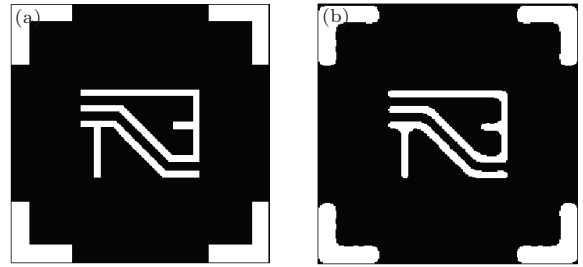


图2 建模数据示意图 (a)原始版图; (b)版图在硅片上的实测轮廓

表2 模型参数取值

模型参数	参数值	模型参数	参数值
格点/nm	13	维数	31 × 31
蚀刻因子	90	成像阈值	0.3
归一化光强	1	Lagrange 惩罚项权重 α	1
训练数据	24 组	检验数据	12 组
训练数据权重 W_p	等权重, 同为 1		

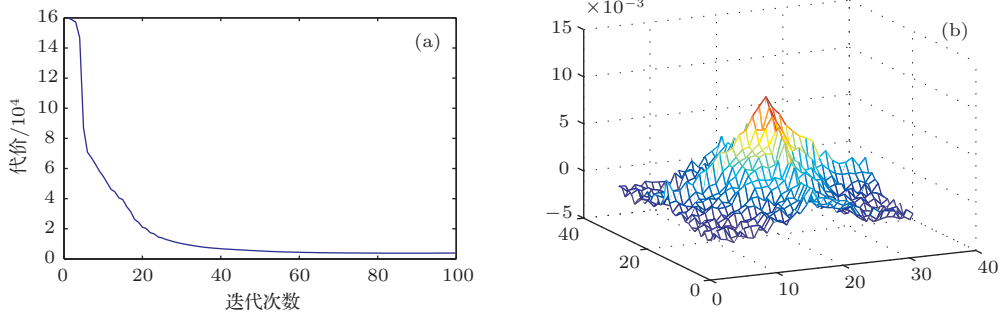


图3 (a)代价函数与迭代次数的关系; (b)卷积核

表3 模型训练及预测结果

模型训练			模型预测		
面积差异%	特征尺寸 (均值, 方差)/nm	线端差异 (均值, 方差)/nm	面积差异%	特征尺寸 (均值, 方差)/nm	线端差异 (均值, 方差)/nm
2.3	(0.01, 0.1)	(8.1, 3.4)	2.4	(0.01, 0.2)	(8.2, 3.7)

图3(a)是代价函数变化过程, 可以看出, 在经过60次迭代后, 代价函数基本达到极小值; 所对应的卷积核如图3(b)所示, 卷积核尺寸是31 × 31, 且近似满足中心对称的性质. 表3是模型训练和模型预测的各项主要指标, 其中面积差异在2.3%左右; 特征尺寸精度较高, 仿真轮廓与硅片实测轮廓的特征尺寸基本没有偏差; 线端和拐角处差异较大, 误差均在8.1 nm. 本模型的特征尺寸精度、线端和拐角处的精度均优于65 nm工艺下物理模型常

见的特征尺寸精度2 nm和线端拐角处精度10 nm. 图4是一个例子, 图4(a)是硅片上轮廓, 图4(b)是仿真轮廓, 两者非常接近, 其差异部分如图4(c)所示, 可以看出差别主要集中在线端和拐角处, 与表3的结论符合. 通过对比训练数据和预测数据可以看出, 预测数据与训练数据较为一致, 模型较好的描述了生产过程, 对于查找可能造成生产问题的版图热点(Hot Spot)等应用, 模型精度已基本满足要求.

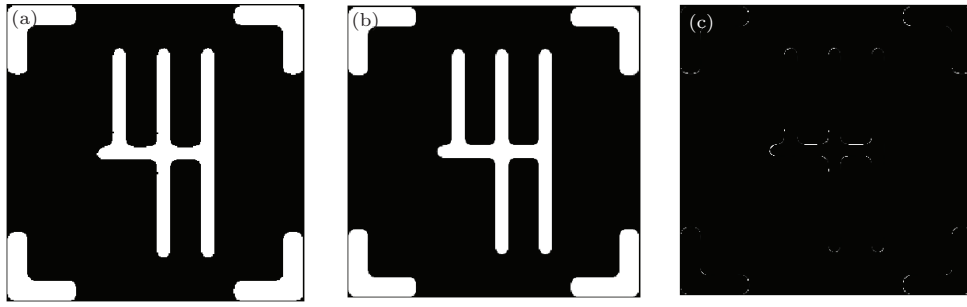


图4 (a) 硅片上轮廓; (b) 仿真轮廓; (c) 仿真轮廓与目标轮廓之间的不同

4 结 论

由于现有可制造性模型的建模均需要生产工艺等机密参数, 通过分解交叉传递系数 (transmission cross coefficient, TCC) 得到卷积核矩阵, 不适用于发布给设计者使用, 且模型结构复杂, 计算量大, 精度不高. 版图及其所对应的硅片上轮廓这类数据是可制造性模型的输入及输出数据, 它们包含了描述这一过程的足够多的信息, 只要能够有效的从中提取信息, 就可以准确的描述这一过程. 本文采用加权卷积平方和与 sigmoid 函数作为模型的框架结构, 与制造工艺中起决定性作用的光刻和显影等步骤相对应, 将光刻卷积核泛化为卷积核, 使得模型具有更强的描述能力; 通过对卷积核添加约束, 使得模型更加高效紧凑, 最终将建模过程转化为一个优化问题, 并使用牛顿梯度法求解该优化问题, 得到卷积核矩阵. 实验结果表明, 该模型可以较好的描述从版图到硅片轮廓这一过程, 精度满足查找版图热点的要求.

参考文献

[1] www.itrs.net
 [2] Tian X B, Xu H, Li Q J 2013 *Chin. Phys. B* **22** 088502
 [3] Fang X D, Tang Y H, Wu J J, Zhu X, Zhou J, Huang D 2013 *Chin. Phys. B* **22** 078901
 [4] Cai D L, Song Z T, Li X, Chen H P, Chen X G 2011 *Chin. Phys. Lett.* **28** 018501
 [5] Zhu Z M, Li R, Hao B T, Yang Y T 2009 *Chin. Phys. B* **18** 4995
 [6] Cobb N B, Avideh Zakhor 1995 *15th Annual BACUS Symposium on Photomask Technology and Management Santa Clara, CA, September 20, 1995* p534
 [7] Cobb N, Dudau D 2006 *Proc. SPIE 6154, Optical Microlithography XIX San Jose, CA, February 19, 2006* p61540I

[8] Jaione T A, Alan E R, Timothy B 2014 *J. Micro/Nanolith. MEMS MOEMS*. **13** 023014
 [9] Lori A J, Michael T R, Jason D, Christiane J 2002 *Proc. SPIE 4691, Optical Microlithography XV Santa Clara, CA, March 03, 2002* p861
 [10] Bouton G, Connolly B, Courboin D, Di Giacomo A, Gasnier F, Lallement R, Parker D, Pindo M, Richoilley J C, Royere F, Rameau-Savio A, Tissier M 2011 *27th European Mask and Lithography Conference Dresden, Germany, January 18, 2011* p79850R
 [11] Carau D, Bouyssou R, Dezauzier C, Besacier M, Gourgon C 2014 *Optical Micro-and Nanometrology V Brussels, Belgium, April 14, 2014* p91320D
 [12] Michael Hyatt, Karen Huang, Anton DeVilliers, Mark Slezak, Zhi Liu 2014 *Advances in Patterning Materials and Processes XXXI San Jose, California, USA, February 23, 2014* p905118
 [13] Drapeau M, Wiaux V, Hendrickx E, Verhaegen S, Machida T 2007 *Conference on Design for Manufacturability through Design-Process Integration San Jose, CA 2007* p652109
 [14] Ghaida R S, Torres G, Gupta, P 2011 *Semiconductor Manufacturing, IEEE Transactions on* **24** 93
 [15] Poonawala A, Milanfar P 2007 *Image Processing, IEEE Transactions on* **16** 774
 [16] Alexandre Villaret, Alexander Tritchkov, Jorge Entradas, Emek Yesilada 2013 *Optical Microlithography XXVI San Jose, California, USA, February 24, 2013* p86830E
 [17] Lv W, Xia Q, Liu S Y 2013 *J. MicroNanolith. Mem. Moems* **12** 043003
 [18] Wang J P, Qi S Y, Liu S G 2014 *Acta Phys. Sin.* **63** 128503 (in Chinese) [王俊平, 戚苏阳, 刘士钢 2014 物理学报 **63** 128503]
 [19] Kong JT 2004 *IEEE Transactions on VLSI Systems* **12** 1132
 [20] Zhang Z M, Xiao P, Sun X, Ding Z J 2006 *Acta Phys. Sin.* **55** 5803 (in Chinese) [张增明, 肖沛, 孙霞, 丁泽军 2006 物理学报 **55** 5803]
 [21] Mazen Saied, Franck Foussadier, Jérôme Belledent, Yorick Trouiller, Isabelle Schanen, Emek Yesilada, Christian Gardin, Jean Christophe Urbani, Frank Sundermann, Frédéric Robert, Christophe Couderc, Florent Vautrin, Laurent LeCam, Gurwan Kerrien, Jonathan

- Planchot, Catherine Martinelli, Bill Wilkinson, Yves Rody, Amandine Borjon, Nicolo Morgana, Jean-Luc Di-Maria, Vincent Farys 2007 *Photomask Technology 2007* Monterey, CA, September 17, 2007 p673050
- [22] Viviana Agudelo, Tim Fühner, Andreas Erdmann, Peter Evanschitzky 2013 *J. MicroNanolith. MEMS MOEMS.* **13** 011002
- [23] Chen D L, Cao Y P, Huang Z F 2011 *Chin. Phys. Lett.* **28** 068503
- [24] Ye Chen, Zheng Shi, Ke Zhou, Yue Ma, Shanhu Shen, Xiaolang Yan 2006 *Solid-State and Integrated Circuit Technology*, 2006 ICSICT'06 8th International Conference on 2006 pp1453–1455
- [25] Zavyalova L V, Lan Luan, Hua Song, Thomas Schmoeller, Shiely J P 2014 *Optical Microlithography XXVII* San Jose, California, USA, February 23, 2014 p905222
- [26] Chen D L, Cao Y P, Huang Z F, Lu X, Zhai A P 2012 *Chin. Phys. B* **21** 084201
- [27] Wang H, Li C H, Pan F, Wang H B, Yan D H 2009 *Chin. Phys. Lett.* **26** 118501
- [28] Katakamsetty U, Colin H, Yeo S, Valerio P, Yang Qing, Quek Shyue Fong, Aravind, N S Matthias, R Roberto S 2014 *Design-Process-Technology Co-optimization for Manufacturability VIII* 2014 San Jose, CA, USA, 23 Feb. 2014 p905312
- [29] Yan W X, Wang L Y, Zhang Z F, Liu W L, Song Z T 2014 *Chin. Phys. B* **23** 048301
- [30] He A D, L B, Song Z T, Wang L Y, Liu W L, Feng G M, Feng S L 2014 *Chin. Phys. B* **23** 088802
- [31] Yang Y W, Shi Z, Sun L T, Chen Y, Hu Z J 2010 *iDesign for Manufacturability through Design-Process Integration IV* San Jose, CA, USA, 3 April 2010 p764100

Improved convolution kernel based DfM model for nano-scale circuits*

Yang Yi-Wei^{1)2)†} Zhang Hong-Bo³⁾ Li Bin²⁾

1) (Electric Power Research Institute of China Southern Power Grid, Guangzhou 510080, China)

2) (College of Electronic and Information Engineering, South China University of Technology, Guangzhou 510640, China)

3) (Synopsys Inc., Oregon 97006, US)

(Received 19 July 2014; revised manuscript received 9 October 2014)

Abstract

Limited by materials and process stability, the nano-scale IC manufacturing process is still based on the 193 nm light technology and the wavelength is larger than the feature size of layout, thus the induced interference and diffraction greatly reduce the resolution, which affect the quality of the chip. So the layout needs to be checked by the design-for-manufacturability (DfM) model before manufacturing. Traditional DfM models describe the process steps using physical models, and deduce the convolution kernels by decomposing the matrix in corresponding physical models, which are not only complicated but also hard to use; thus combined with the insufficiency of physical models, it is difficult to describe the process with thousands of parameters. This paper uses convolution form as the framework of DfM model, and deduces the relationship, represented as convolution kernels, between layout and contour by an optimization method. Every element in the convolution kernels is optimized based on the input and output data of the process and is also a dimension to describe the process. This model overcomes the disadvantages of the traditional model which needs confidential information such as process parameters, and it has more powerful capability to describe the process. Moreover, the model can contain the layout correction information, and describe the process from layout to contour. Experiment results for 65 nm process show that the model has an accuracy of 8 nm.

Keywords: design for manufacturability model, convolution kernel, full process

PACS: 85.40.Bh

DOI: 10.7498/aps.64.058501

* Project supported by the Fundamental Research Fund for the Central Universities of China (Grant No. 2013ZM0015).

† Corresponding author. E-mail: yangyw@csg.cn