

多个硅通孔引起的热应力对迁移率和阻止区的影响

董刚 刘荡 石涛 杨银堂

Effects of thermal stress induced by multiple through silicon vias on mobility and keep out zone

Dong Gang Liu Dang Shi Tao Yang Yin-Tang

引用信息 Citation: *Acta Physica Sinica*, 64, 176601 (2015) DOI: 10.7498/aps.64.176601

在线阅读 View online: <http://dx.doi.org/10.7498/aps.64.176601>

当期内容 View table of contents: <http://wulixb.iphy.ac.cn/CN/Y2015/V64/I17>

---

您可能感兴趣的其他文章

Articles you may be interested in

三维集成电路堆叠硅通孔动态功耗优化

Stack-through silicon via dynamic power consumption optimization in three-dimensional integrated circuit

物理学报.2015, 64(2): 026601 <http://dx.doi.org/10.7498/aps.64.026601>

C N O 原子在金属 V 中扩散行为的第一性原理计算

First-principles calculations of the diffusion behaviors of C N and O atoms in V metal

物理学报.2015, 64(2): 026602 <http://dx.doi.org/10.7498/aps.64.026602>

考虑自热效应的互连线功耗优化模型

A novel interconnect-optimal power model considering self-heating effect

物理学报.2013, 62(1): 016601 <http://dx.doi.org/10.7498/aps.62.016601>

一般边界条件下球形压力容器钢壁中氚和氦-3 的浓度变化规律研究

Research on tritium and helium-3 content distributions in steel wall of spherical pressure vessel under general boundary condition

物理学报.2012, 61(15): 156601 <http://dx.doi.org/10.7498/aps.61.156601>

fcc 金属表面能的各向异性分析及表面偏析的预测

Anisotropy analysis of surface energy and prediction of surface segregation for fcc metals

物理学报.2011, 60(1): 016601 <http://dx.doi.org/10.7498/aps.60.016601>

# 多个硅通孔引起的热应力对迁移率和阻止区的影响\*

董刚<sup>†</sup> 刘荡 石涛 杨银堂

(西安电子科技大学微电子研究所, 宽禁带半导体材料与器件教育部重点实验室, 西安 710071)

(2015年3月15日收到; 2015年4月13日收到修改稿)

本文主要讨论了多个硅通孔引起的热应力对迁移率和阻止区的影响, 得到了器件沟道沿[100]方向时, 硅通孔之间的角度和间距对电子迁移率和阻止区的影响. 设定两种阻止区区域, 即迁移率变化分别为5%和10%的区域, 且主要考虑相邻TSV之间的区域. 仿真结果表明: 当硅通孔和X轴所成角度为 $\pi/4$ 时, 电子迁移率变化和阻止区区域最小, 但是可布置器件区域不规则, 不易于布局. 随着间距的增加, 电子迁移率变化和阻止区区域逐渐增大, 趋向于单个TSV的情况; 当角度为0时, 电子迁移率变化和阻止区区域变大, 可布置器件区域为硅通孔围成的中心小区域上, 形状比较规则, 便于布局. 而且随着间距的增加, 电子迁移率变化和阻止区区域越来越小, 趋向于单个硅通孔的情况.

**关键词:** 硅通孔, 热应力, 迁移率变化, 阻止区

**PACS:** 66.30.-h, 62.20.-x, 72.15.-v, 84.30.-r

**DOI:** 10.7498/aps.64.176601

## 1 引言

随着器件特征尺寸缩小到纳米阶段, 特征尺寸趋向于物理极限, 提高集成度变得越来越困难, 三维集成电路应运而生. 相对于二维集成, 三维集成具有集成度高、可实现异质集成、提高速度、改善性能等优点<sup>[1-5]</sup>.

硅通孔(through silicon via, TSV)技术是实现三维集成电路的重要方式, 但由于TSV材料与硅衬底之间热膨胀系数的不匹配, 会在TSV内部以及硅衬底产生热应力, 从而造成可靠性问题<sup>[6-8]</sup>. 同时, 由于硅衬底中存在压阻效应, TSV所引起的热应力会引起器件迁移率的改变, 导致器件性能变化, 从而影响电路的时序<sup>[9,10]</sup>.

TSV热应力会造成载流子迁移率的变化, 而且越靠近TSV影响越大. 如果器件所在区域受TSV热应力影响很大, 那么器件的性能以及电路的时序性能都会受到影响. 因此, 引入阻止区(keep out

zone, KOZ), 即器件不能被放置的区域, 来削弱载流子迁移率的波动以及电路性能的变化<sup>[11-13]</sup>.

文献[14]讨论了TSV热应力对迁移率的影响, 得出迁移率变化的分布. 文献[15]利用微拉曼光谱法得到了TSV周围硅中的应力. 文献[16-18]利用有限元分析方法得到热应力, 然后利用压阻效应得到迁移率变化分布. 文献[19]讨论了热应力对KOZ的影响. 但是主要针对单一情况进行了粗略分析, 并未详细地对多个TSV间所成角度及间距等对迁移率和KOZ的影响进行讨论. 文献[20]通过仿真得到多个TSV下的热应力分布以及对饱和电流的影响, 注重TSV的数目对于器件性能的影响, 没有考虑TSV之间间距对于器件性能变化的影响. 因此本文对多个TSV布局情况进行分析, 研究TSV之间角度与间距对迁移率和KOZ的影响.

## 2 线性叠加方法

线性叠加方法在线弹性结构分析中十分常用.

\* 国家自然科学基金(批准号: 61334003)资助的课题.

<sup>†</sup> 通信作者. E-mail: gdong@mail.xidian.edu.cn

该原理认为,如果在弹性体中所有点的位移和产生它们的力成正比,那么这个物体是线弹性的.大量同时作用在该物体上力的效果,即应力和位移,是各个力分别作用在该物体上的总和.本文应用这个原理将每个TSV在该点引起的应力相加得到该点的总应力,如下:

$$S = \sum_{i=1}^n S_i, \quad (1)$$

其中,  $S$  是在该点处的总应力,  $S_i$  是在这一点上由于第  $i$  个TSV引起的应力张量.

根据线性叠加原理,本文通过Matlab软件对单个TSV引起的应力进行线性叠加得到多个TSV引起的总的应力,然后得到迁移率变化,并绘出KOZ等高线图.

和硅相比,虽然绝缘层材料  $\text{SiO}_2$  的热膨胀系数与TSV金属材料铜相差更大,但由于  $\text{SiO}_2$  的杨氏模量小,因此它能吸收界面应力,忽略绝缘层相当于最坏情况.且绝缘层一般很薄,对硅衬底的应力分布影响较小<sup>[21]</sup>.因此本文忽略了绝缘层的影响.为了验证忽略  $\text{SiO}_2$  层的合理性,选取铜的半径为  $2.5 \mu\text{m}$ ,  $\text{SiO}_2$  层的厚度为  $120 \text{ nm}$ <sup>[22]</sup>,利用有限元仿真工具Ansys分别在有无  $\text{SiO}_2$  层的两种情况对硅衬底中的应力进行了仿真,结果如图1所示.

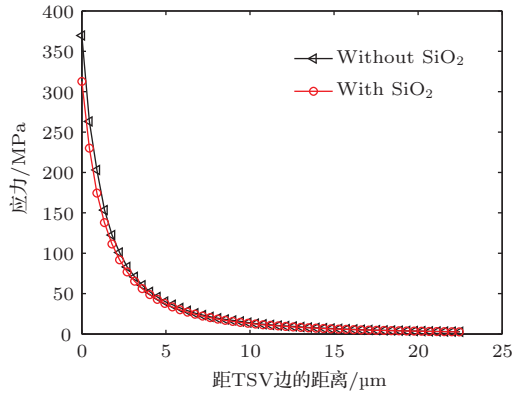


图1 (网刊彩色) 绝缘层对应力的影响

Fig. 1. (color online) Effects of  $\text{SiO}_2$  liner on stress.

从图1可知,虽然距离TSV边界较近处两者相差大约  $50 \text{ MPa}$ ,但随着距离TSV边界越来越远,两者相差很快变小.而且忽略  $\text{SiO}_2$  层的情况比存在  $\text{SiO}_2$  层的条件下应力更大,忽略绝缘层相当于最坏情况,因此本文忽略  $\text{SiO}_2$  层比较合理.

简单起见,本文使用拉梅应力模型<sup>[23,24]</sup>来获得硅衬底中的应力分布,热应力可以表示为

下式<sup>[25]</sup>:

$$\sigma_{rr}^{\text{Si}} = -\sigma_{\theta\theta}^{\text{Si}} = -\frac{E\Delta\alpha\Delta T}{2} \left(\frac{D_{\text{TSV}}}{2r}\right)^2, \quad (2)$$

$$\sigma_{zz}^{\text{Si}} = \sigma_{rz}^{\text{Si}} = \sigma_{\theta z}^{\text{Si}} = \sigma_{r\theta}^{\text{Si}} = 0, \quad (3)$$

其中  $\sigma_{rr}^{\text{Si}}$  和  $\sigma_{\theta\theta}^{\text{Si}}$  分别是硅衬底中的径向应力和环向应力,  $E$  是硅的杨氏模量,  $\Delta\alpha$  是硅衬底和TSV材料铜的热膨胀系数失配量,  $\Delta T$  是热载荷,  $r$  是到TSV中心的距离,  $D_{\text{TSV}}$  是TSV直径.这里我们取  $\Delta T = -250 \text{ }^\circ\text{C}$ ,即TSV制造过程中的退火温度为  $275 \text{ }^\circ\text{C}$ <sup>[11,26]</sup>,芯片的使用温度为  $25 \text{ }^\circ\text{C}$ .  $D_{\text{TSV}} = 5 \mu\text{m}$ ,  $E = 130 \text{ GPa}$ ,硅衬底和TSV材料铜的CTE分别为  $2.3$  和  $17 \text{ ppm/K}$ <sup>[27]</sup>.

此应力方程为极坐标下应力方程,为了能够计算应力对迁移率的影响,需要将该方程转换到直角坐标系下,设直角坐标系和圆柱坐标系中应力张量分别是  $S_{xyz}$  和  $S_{r\theta z}$ :

$$S_{xyz} = \begin{bmatrix} \sigma_{xx} & \sigma_{xy} & \sigma_{xz} \\ \sigma_{yx} & \sigma_{yy} & \sigma_{yz} \\ \sigma_{zx} & \sigma_{zy} & \sigma_{zz} \end{bmatrix}, \quad (4)$$

$$S_{r\theta z} = \begin{bmatrix} \sigma_{rr} & \sigma_{r\theta} & \sigma_{rz} \\ \sigma_{\theta r} & \sigma_{\theta\theta} & \sigma_{\theta z} \\ \sigma_{zr} & \sigma_{z\theta} & \sigma_{zz} \end{bmatrix}. \quad (5)$$

转换矩阵  $Q$  为

$$Q = \begin{bmatrix} \cos\theta & -\sin\theta & 0 \\ \sin\theta & \cos\theta & 0 \\ 0 & 0 & 1 \end{bmatrix}, \quad (6)$$

其中,  $\theta$  是  $X$  轴和TSV中心到模拟点连线之间的角度.应力张量从极坐标系转换到直角坐标系中的变换公式为

$$S_{xyz} = QS_{r\theta z}Q^T. \quad (7)$$

### 3 应力与迁移率变化的关系

压阻效应是指由于应力的作用,使得载流子迁移率发生变化,从而导致半导体的电阻率发生变化.迁移率随施加应力变化而变化,其关系可以用下面公式来表示<sup>[28]</sup>:

$$\frac{\Delta\mu}{\mu} = -(\pi_{11} \times \sigma_{xx} + \pi_{12} \times \sigma_{yy}), \quad (8)$$

其中  $\pi_{11}$  是平行于  $X$  轴方向的载流子的压阻系数,  $\pi_{12}$  是平行于  $Y$  轴方向的载流子的压阻系数,  $\sigma_{xx}$

是硅衬底中沿着  $X$  轴方向的应力,  $\sigma_{yy}$  是硅衬底中沿着  $Y$  轴方向的应力. 应力有符号, 正号表示拉伸应力, 负号表示压缩应力.

由于硅衬底中压阻效应的各向异性, 不同晶向上的压阻系数不同, TSV 热应力引起的迁移率变化也不同. 考虑到在硅衬底中器件的实际沟道方向, 本文选取  $[100]$  方向开展讨论,  $[100]$  方向压阻系数如表 1 所示.

表 1  $[100]$  晶向压阻系数 ( $\text{TPa}^{-1}$ )

Table 1. Piezo-resistivity coefficient ( $\text{TPa}^{-1}$ ) along  $[100]$  crystal direction.

| 类型   | $\pi_{11}$ | $\pi_{12}$ | $\pi_{44}$ |
|------|------------|------------|------------|
| n 型硅 | -1022      | 534        | -136       |
| p 型硅 | 66         | -11        | 1381       |

## 4 多个 TSV 热应力对迁移率和 KOZ 的影响

### 4.1 两个 TSV 情况下迁移率的变化

当两个 TSV 靠近时, 载流子迁移率会同时受到两个 TSV 的影响. 且两个 TSV 之间角度和间

距发生变化时, 都会对迁移率变化分布产生影响, KOZ 区域也会同时发生变化. TSV 相对位置如图 2 所示,  $l$  表示两个 TSV 的间距,  $\theta$  表示中心连线与  $X$  轴的夹角. 本文主要考虑两个 TSV 之间的区域.

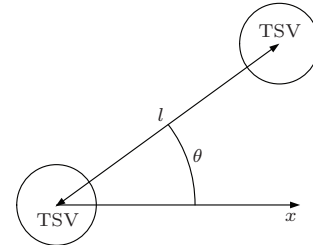


图 2 TSV 相对位置

Fig. 2. Placement of TSV.

#### 4.1.1 TSV 相对角度对迁移率变化和 KOZ 的影响

本节讨论两个 TSV 之间不同角度对于电子迁移率变化和 KOZ 的影响. 其中 TSV 之间间距为  $10 \mu\text{m}$ , 一个 TSV 固定, 另一个 TSV 围绕其旋转.

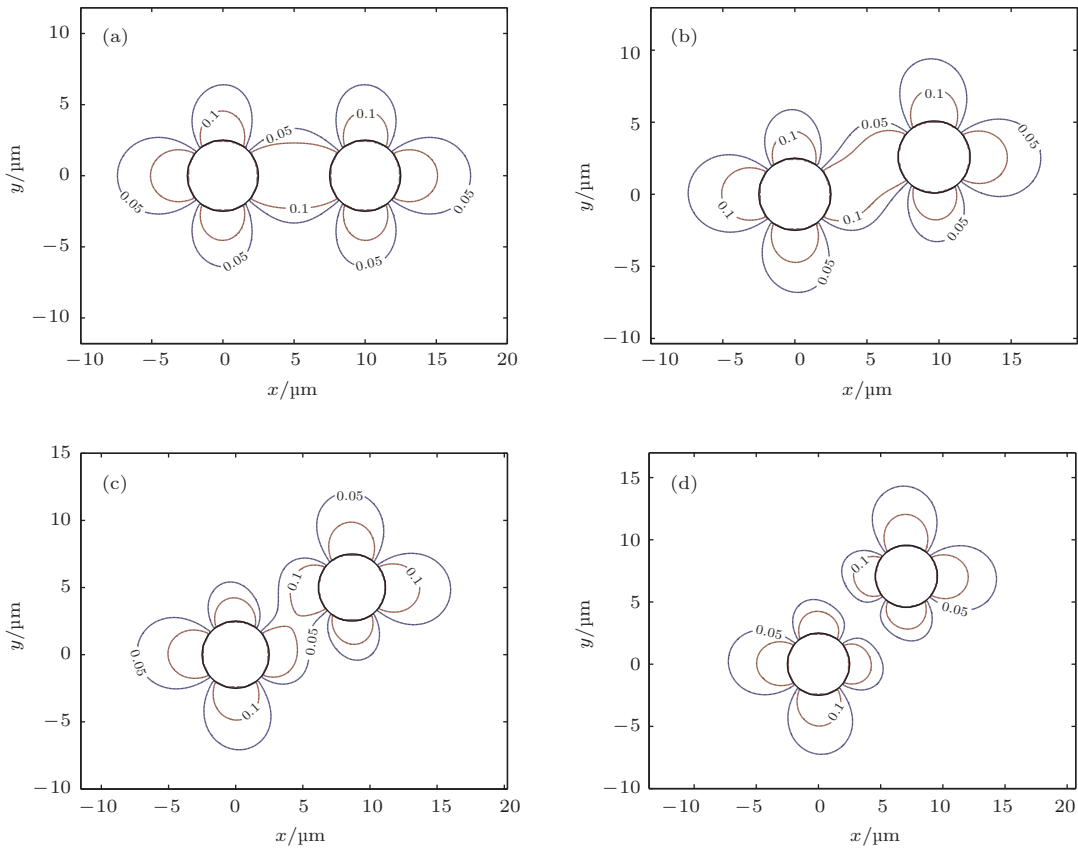


图 3 (网刊彩色) 两个 TSV 不同角度下的电子迁移率和 KOZ 区域变化 (a) 0; (b)  $\pi/12$ ; (c)  $\pi/6$ ; (d)  $\pi/4$

Fig. 3. (color online) Electron mobility variation and KOZ under different angles between TSVs: (a) 0; (b)  $\pi/12$ ; (c)  $\pi/6$ ; (d)  $\pi/4$ .

图3所示的是不同角度下的电子迁移率变化和KOZ分布情况, 由于对称性可以选取两个TSV中心连线与X轴所成角度分别为 $0, \pi/12, \pi/6, \pi/4$ 即可. 从图中可以看出, 当角度为 $0$ 时, 两个TSV之间的区域由于叠加使电子迁移率变化更大, 且两个TSV之间区域的KOZ区域是连通的, 这是因为在X轴方向两个TSV对于电子迁移率的变化都是增强的. 随着角度的增加, 由于TSV沿着Y轴方向对电子迁移率的影响逐渐减小, 两个TSV之间的区域由于抵消作用电子迁移率变化越来越小, 且KOZ区域发生变化. 当角度达到 $\pi/6$ 时, 迁移率变化为 $10\%$ 的KOZ区域发生分离. 当达到 $\pi/4$ 后, 迁移率变化为 $5\%$ 的KOZ区域也发生分离. 除此之外, 随着角度的增加, 两个TSV总的KOZ区域面积有所下降, 当达到 $\pi/4$ 时, 面积最小.

基于以上分析可以得出: TSV之间角度对迁移率变化和KOZ影响很大. 因此可以通过调整角度来优化TSV布局, 且当角度为 $\pi/4$ 时迁移率变化小, KOZ区域面积小.

#### 4.1.2 TSV间距对迁移率变化和KOZ的影响

从上一节讨论知道两个TSV之间角度为 $\pi/4$ 时, 电子迁移率变化小, KOZ区域面积小. 但角度为 $0$ 时布局规则, 易于制造. 因此针对这两种情况, 本节考虑TSV间距对于电子迁移率变化和KOZ的影响. 分别取间距为 $10, 15, 20 \mu\text{m}$ .

图4是角度为 $0$ 时, 不同间距下两个TSV的KOZ区域图. 通过对比三个图, 可以看出, 当两个TSV间距比较近时, 迁移率变化较大, 且两个TSV间KOZ区域是连通的, 即两个TSV间不能放置器件. 随着间距的增加, 电子迁移率变化减小, KOZ区域也发生相应的变化. 当间距增加到 $15 \mu\text{m}$ 时, 两个TSV之间的电子迁移率变化为 $10\%$ 的KOZ区域分离, 且其最远处距离TSV边界为 $5.6 \mu\text{m}$ , 比单个TSV情况增加了 $1.1 \mu\text{m}$ , 而电子迁移率变化 $5\%$ 的KOZ区域依旧连通. 当间距增加到 $20 \mu\text{m}$ 时, 两个TSV之间的电子迁移率为 $10\%$ 和 $5\%$ 的KOZ区域都分离, 且其最远处距离TSV边界分别为 $5.1 \mu\text{m}$ 和 $8.4 \mu\text{m}$ , 比单个TSV情况分别增加了 $0.6 \mu\text{m}$ 和 $2 \mu\text{m}$ . 除此之外, 间距的变化对电子迁移率变化为 $5\%$ 的KOZ面积的影响更大, 即对迁移率变化较小的面积的影响更大. 而且随着间距的增加影响变弱.

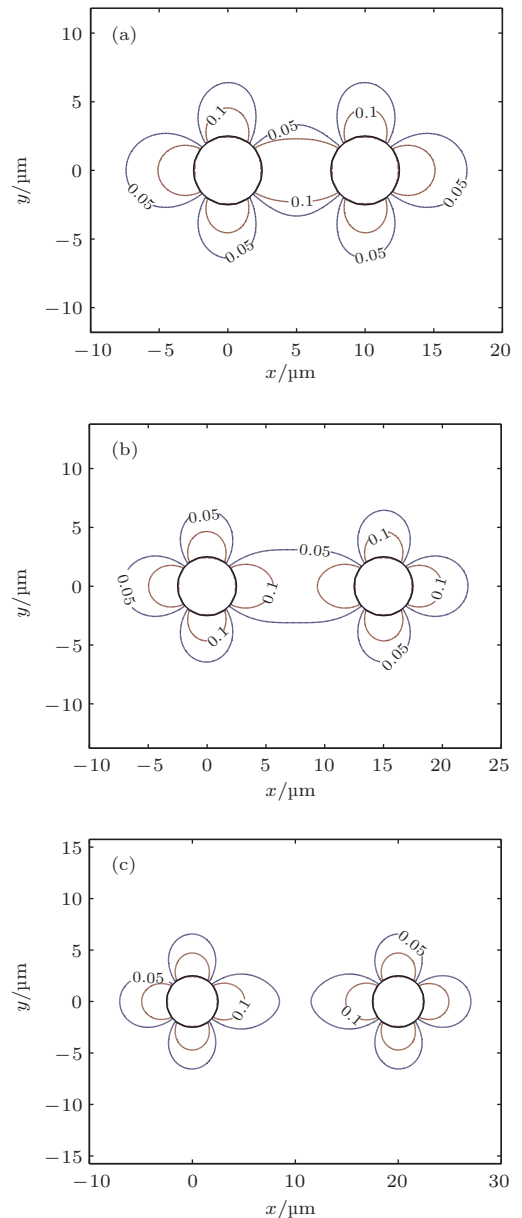


图4 (网刊彩色) 角度为 $0$ 时不同间距的两个TSV的KOZ区域 (a)  $10 \mu\text{m}$ ; (b)  $15 \mu\text{m}$ ; (c)  $20 \mu\text{m}$   
 Fig. 4. (color online) KOZ under different pitches when angle is  $0$ : (a)  $10 \mu\text{m}$ ; (b)  $15 \mu\text{m}$ ; (c)  $20 \mu\text{m}$ .

图5是角度为 $\pi/4$ 时, 不同间距下两个TSV的KOZ区域图. 从图中可以看出, 两个TSV之间的KOZ区域始终是分离的. 当间距为 $10 \mu\text{m}$ 时, 两个TSV之间的电子迁移率变化 $10\%$ 和 $5\%$ 的KOZ区域, 其最远处距离TSV边界分别为 $4.2 \mu\text{m}$ 和 $5.2 \mu\text{m}$ , 分别比单个TSV情况减小了 $0.3 \mu\text{m}$ 和 $1.2 \mu\text{m}$ . 当间距为 $15 \mu\text{m}$ 时, 两个TSV之间的电子迁移率变化为 $10\%$ 和 $5\%$ 的KOZ区域, 其最远处距离TSV边界分别为 $4.5 \mu\text{m}$ 和 $6.1 \mu\text{m}$ , 电子迁移率变化 $5\%$ 的KOZ区域基本不变, 而电子迁移率变化 $10\%$ 的KOZ区域减小了 $0.3 \mu\text{m}$ . 当间距为 $20 \mu\text{m}$

时, 两个 TSV 之间的电子迁移率变化为 10% 和 5% 的 KOZ 区域, 其最远处距离 TSV 边界分别为 4.5  $\mu\text{m}$  和 6.4  $\mu\text{m}$ , 这和单个 TSV 情况相同. 由此可以看出角度为  $\pi/4$  情况下, KOZ 区域相对于单个 TSV 时减小了, 这是由于在该区域内, 两个 TSV 对迁移率的影响是相反的, 使得这部分总的迁移率变化量下降了. 但是随着间距的增加减小量逐渐下降, 当达到 20  $\mu\text{m}$  时, 两种情况 KOZ 面积基本一样. 对于 TSV 较密集的区域, 选择这样的布置方式可以增加器件使用面积.

基于以上分析可以得到: 角度为 0 时, 随着 TSV 之间间距的增加, 两个 TSV 之间的电子迁移率变化逐渐减弱, 直到趋近于单个 TSV 的变化水平. 同时, 随着间距的增大, 两个 TSV 之间的 KOZ 区域逐渐分离. 而角度为  $\pi/4$  时, 电子迁移率变化最小, 两个 TSV 之间的 KOZ 区域始终是分离的. 随着间距的增加, 在两个 TSV 之间区域内, KOZ 面积和电子迁移率变化逐渐趋近于单个 TSV 的水平. 因此在面积允许的条件下, 我们可以通过调整 TSV 间距来优化 TSV 布局.

### 4.2 四个 TSV 布局情况对于迁移率和 KOZ 的影响

根据以上两个 TSV 布局情况的讨论, 可以得到  $\pi/4$  角度布局时效果较好, 但角度为 0 时, 布局规则便于制造. 因此本节重点讨论角度为 0 和  $\pi/4$  两种布局情况, 同时将对 TSV 的研究个数进行扩展, 取 4 个 TSV 的布局情况作为研究对象, 这是因为 4 个 TSV 的布局情况非常具有代表性. 同样, 本文把关注点放在相邻 TSV 之间的区域.

#### 4.2.1 角度为 0 时的四个 TSV 布局情况

图 6 是四个 TSV 按阵列式布局时的迁移率变化和 KOZ 区域图, 相邻两个 TSV 的间距分别为 10, 15, 20  $\mu\text{m}$ . 由图可以看出, 当相邻的 TSV 间距比较小时, 四个 TSV 形成的 KOZ 区域是连通的, 相邻 TSV 中间不能放置器件, 只有在四个 TSV 围成的中心小区域上可以放置器件. 当间距增加到 15  $\mu\text{m}$  时, 两个 TSV 之间的电子迁移率变化为 10% 的 KOZ 区域分开, 其最远处距离 TSV 边界为 5.3  $\mu\text{m}$ , 比单个 TSV 情况增加了 0.8  $\mu\text{m}$ , 相邻 TSV 中间可以放置器件, 而电子迁移率变化为 5% 的 KOZ 区域依旧连通. 当间距增加到 20  $\mu\text{m}$  时, 两个 TSV 之间的电子迁移率变化为 10% 和 5% 的 KOZ 区域都分离, 其最远处距离 TSV 边界分别为 5  $\mu\text{m}$  和 7.5  $\mu\text{m}$ , 分别比单个 TSV 情况增加了 0.5  $\mu\text{m}$  和 1.1  $\mu\text{m}$ , 相邻 TSV 之间都可以放置器件. 由此可以看出阵列式布局情况下, KOZ 区域相对于单个 TSV 时增大了. 当 TSV 较密集时, 器件只能放置在被 TSV 围成的一个个小区域上. 另一方面, 其器件可用面积比较规则, 当 TSV 间距较大时, 也可以形成连通的可放置器件区域.

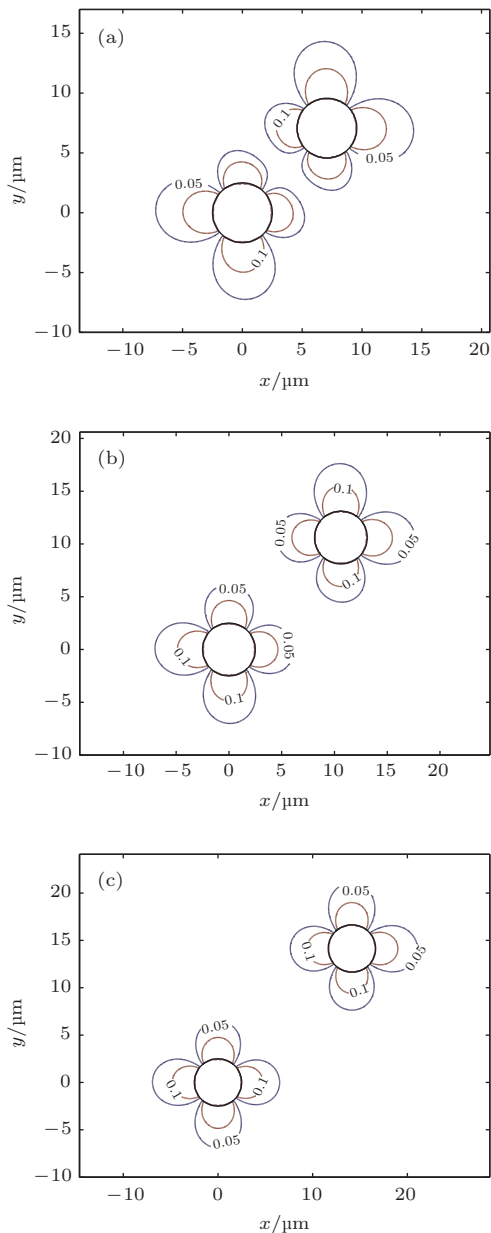


图 5 (网刊彩色) 角度为  $\pi/4$  时不同间距的两个 TSV 的 KOZ 区域 (a) 10  $\mu\text{m}$ ; (b) 15  $\mu\text{m}$ ; (c) 20  $\mu\text{m}$   
 Fig. 5. (color online) KOZ under different pitches when angle is  $\pi/4$ : (a) 10  $\mu\text{m}$ ; (b) 15  $\mu\text{m}$ ; (c) 20  $\mu\text{m}$ .

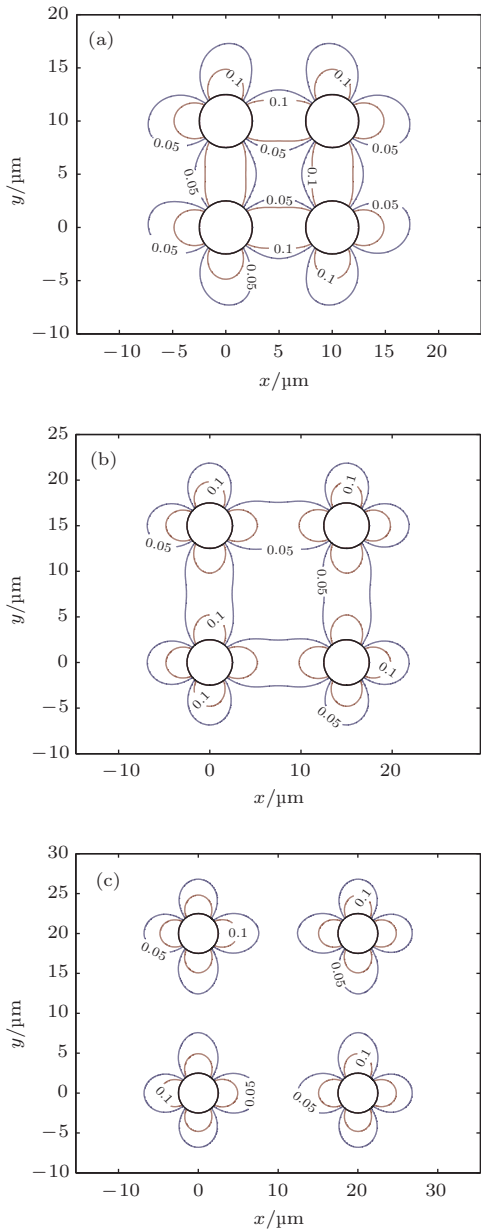


图6 (网刊彩色) 不同间距下的四个TSV按阵列式布局时的迁移率变化和KOZ区域图 (a) 10  $\mu\text{m}$ ; (b) 15  $\mu\text{m}$ ; (c) 20  $\mu\text{m}$

Fig. 6. (color online) Mobility variation and KOZ of square TSV pattern under different pitches: (a) 10  $\mu\text{m}$ ; (b) 15  $\mu\text{m}$ ; (c) 20  $\mu\text{m}$ .

#### 4.2.2 角度为 $\pi/4$ 时的四个 TSV 布局情况

图7是四个 TSV 按菱形布局时的 KOZ 区域图, 即角度为  $\pi/4$ , 相邻两个 TSV 的间距分别为 10, 15, 20  $\mu\text{m}$ . 从图中可以看出, TSV 之间的 KOZ 区域始终是分离的. 当间距为 10  $\mu\text{m}$  时, 两个 TSV 之间的电子迁移率变化为 10% 和 5% 的 KOZ 区域, 其最远处距离 TSV 边界为分别为 4.2  $\mu\text{m}$  和 5  $\mu\text{m}$ , 分别比单个 TSV 情况减小了 0.3  $\mu\text{m}$  和 1.4  $\mu\text{m}$ . 当间距为 15  $\mu\text{m}$  时, 其 KOZ 最远处距离 TSV 边界分别

为 4.5  $\mu\text{m}$  和 6  $\mu\text{m}$ , 电子迁移率变化为 5% 的 KOZ 区域基本不变, 而电子迁移率变化为 10% 的 KOZ 区域减小了 0.4  $\mu\text{m}$ . 当间距为 20  $\mu\text{m}$  时, 其 KOZ 最远处距离 TSV 边界分别为 4.5  $\mu\text{m}$  和 6.4  $\mu\text{m}$ , 和单个 TSV 情况相比几乎没变. 由此可以看出菱形布局情况下, KOZ 区域相对于单个 TSV 时减小了, 且随着间距的增加, 总的 KOZ 面积增大, 直到趋近于单个 TSV 的情况. 但这种布局情况下, TSV 把可布置器件区域划分成较窄长的区域, 不利于布置器件.

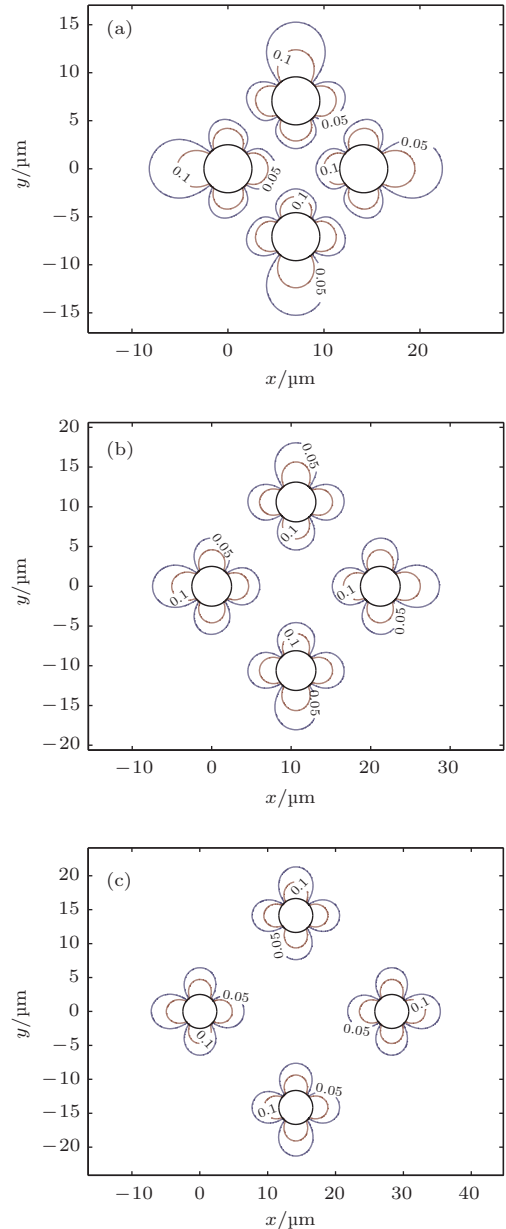


图7 (网刊彩色) 四个 TSV 按菱形布局时的 KOZ 区域图 (a) 10  $\mu\text{m}$ ; (b) 15  $\mu\text{m}$ ; (c) 20  $\mu\text{m}$

Fig. 7. (color online) Mobility variation and KOZ of diamond TSV pattern under different pitches: (a) 10  $\mu\text{m}$ ; (b) 15  $\mu\text{m}$ ; (c) 20  $\mu\text{m}$ .

## 5 结 论

本文主要讨论了多个TSV引起的热应力对迁移率变化和KOZ的影响,并主要考虑了相邻TSV之间角度和间距,得到了迁移率变化和KOZ的等高线图。通过仿真结果可以发现两者对电子迁移率变化和KOZ影响很大,因此可以通过调整角度和间距来优化TSV布局,对于提高芯片的机械可靠性具有十分重要的意义。

## 参考文献

- [1] Sai M P D, Shang Y H, Tan C S, Lim S K 2013 *IEEE Trans. Comput. -Aided Des. Integr. Circuits Syst.* **32** 1734
- [2] Dong G, Yang Y, Chai C C, Yang Y T 2010 *Chin. Phys. B* **19** 110202
- [3] Lee Y J, Lim S K 2011 *IEEE Trans. Comput. -Aided Des. Integr. Circuits Syst.* **30** 1635
- [4] Qian L B, Zhu Z M, Xia Y S, Ding R X, Yang Y T 2014 *Chin. Phys. B* **23** 038402
- [5] Wang F, Zhu Z, Yang Y, Liu X, Ding R 2013 *IEICE Electron. Express* **10** 20130666
- [6] Qian L B, Zhu Z M, Yang Y T 2012 *Acta Phys. Sin.* **61** 068001 (in Chinese) [钱利波, 朱樟明, 杨银堂 2012 物理学报 **61** 068001]
- [7] Weerasekera R, Li H Y, Yi L W, Sanming H, Shi J, Minkyu J, Teo K H 2013 *IEEE Electron Device Lett.* **34** 18
- [8] Che F X, Li H Y, Zhang X W, Gao S, Teo K H 2012 *IEEE Trans. Compon. Packag. Manufact. Tech.* **2** 944
- [9] Jung M, Mitra J, Pan D Z, Lim S K 2011 *IEEE Design Automation Conference* New York, USA, June 5–9, 2011 p188
- [10] Udupa A, Subbarayan G, Koh C K 2012 *Microelectron. Reliab.* **53** 63
- [11] Ryu S K, Lu K H, Zhang X, Im J H, Ho P S, Huang R 2011 *IEEE Trans. Device Mater. Rel.* **11** 35
- [12] Tsai M Y, Huang P S, Huang C Y, Jao H, Huang B, Wu B, Lin Y Y, Liao W, Huang L, Shih S, Lin J P 2013 *IEEE Trans. Electron Devices* **60** 2331
- [13] Selvanayagam C, Zhang X W, Rajoo R, Pinjala D 2011 *IEEE Trans. Compon. Packag. Manufact. Tech.* **1** 1328
- [14] Marella S K, Kumar S K, Sapatnekar S S 2012 *IEEE ACM Int Conf Comput Aided Des (ICCAD)*, Nov 5–8, 2012 p317
- [15] Chan Y S, Zhang X W 2014 *IEEE Trans. Compon. Packag. Manufact. Tech.* **4** 1010
- [16] Kuo C W, Tsai H Y 2012 *13th IEEE Intersociety Conference on Thermal and Thermomechanical Phenomena in Electronic System* San Diego, CA, May30-June1, 2012 p202
- [17] Lee H M, Liu E X, Samudra G S, Li E P 2012 *IEEE Electrical Design of Advanced Packaging and Systems Symposium* Taipei, China, December 9–11, 2012 p189
- [18] Zou Q, Zhang T, Kursun E, Xie Y 2013 *Date conference and exhibition* Grenoble, France, March 18–22, 2013 p1255
- [19] Yang J S, Athikulwongse K, Lee Y J, Lim S K, Pan D Z 2010 *47th ACM/IEEE Design Automation Conference(DAC)*, June 13–18, 2010 p803
- [20] Mercha A, Van D P G, Moroz V, Wolf D 2010 *IEEE International Electron Devices Meeting(IEDM)*, San Francisco, CA, Dec 6–8, 2010 p2.2.1
- [21] Chen C F 2014 *IEEE 64th Electronic Components and Technology Conference(ECTC)* Orlando, FL, May 27–30, 2014 p2020
- [22] Van der P G, Limaye P, Mercha A, Oprins H, Torregiani C, Thijs S, Linten D, Stucchi M, Guruprasad K, Velenis D, Shinichi D, Cherman V, Vandeveld B, Simons V, De W I, Labie R, Perry D, Bronckers S, Minas N, Cupac M, Ruythooren W, Van O J, Phommahaxay A, de Potter de ten Broeck M, Opdebeeck A, Rakowski M, De W B, Dehan M, Nelis M, Agarwal R, Dehaene W, Travaly Y, Marchal P, Beyne E 2010 *Dig Tech Pap IEEE Int Solid State Circuits Conf (ISSCC)* San Francisco, CA, Feb 1–7, 2010 p148
- [23] Sumi, Chikayoshi 2006 *IEEE Trans Ultrason Ferroelectr Freq Control* **53** 2416
- [24] Li Y, Chang W Y, Zuo K W, Wang J, Yu D, Boning D 2012 *13th International Symposium on Quality Electronic Design*, Santa Clara, CA, March 19–21, 2012 p216
- [25] Li Y, Pan D Z 2013 *50th IEEE Design Automation Conference*, Austin, USA, May 29–June 7, 2013 p1
- [26] Jung M, Pan D M, Lim S K 2013 *IEEE Trans. Comput. -Aided Des. Integr. Circuits Syst.* **32** 1694
- [27] Lim D F, Leong K C 2012 *IEEE International 3D Systems Intergration Conference*, Osaka, Jan 31–Feb 2, 2012 p1
- [28] Ryu S K, Lu K H, Jiang T F, Im J H, Huang H, Ho P S 2012 *IEEE Trans. Device Mater. Reliab.* **12** 255

# Effects of thermal stress induced by multiple through silicon vias on mobility and keep out zone\*

Dong Gang<sup>†</sup> Liu Dang Shi Tao Yang Yin-Tang

(Key Laboratory of Ministry of Education for Wide Band-Gap Semiconductor Materials and Devices, Microelectronics Institute, Xidian University, Xi'an 710071, China)

( Received 15 March 2015; revised manuscript received 13 April 2015 )

## Abstract

Effects of thermal stress induced by multiple through silicon vias (TSVs) on mobility and keep out zone (KOZ) are mainly discussed in this paper. It is found that the angle and pitch between TSVs have a great effect on the carrier mobility and KOZ. In this paper, the device channel direction is set along [100]. And two types of KOZ are presented, namely the variations of electron mobility are 5% and 10% respectively. As for the two TSVs, their KOZ sizes change significantly with the angles between TSVs which change from zero to  $\pi/4$ , and the area of a KOZ is the minimum when the angle is  $\pi/4$ . But the zone for device placement is irregular, which is difficult for agreement. The area of a KOZ is the maximum when the angle is zero, and it is easy to make arrangement as the space for device distribution is regular. Based on these analyses, the effects of pitch between TSVs are presented. When the angle is zero, the area of KOZ decreases as the pitch increases and tends to be the same as that of a single TSV. For example, the KOZ, in which the variations of electron mobility are 5% and 10%, will reduce to 8.4  $\mu\text{m}$  and 5.1  $\mu\text{m}$  as the pitch increases to 20  $\mu\text{m}$ , which is close to that of the single TSV. But when the angle is  $\pi/4$ , the KOZ with an electron mobility 5% increases from 5.2 to 6.4  $\mu\text{m}$  as the pitch increases and tends to be the same as that of a single TSV at last. The KOZ with an electron mobility 10% will increase from 4.2 to 4.5  $\mu\text{m}$ . In addition, the above analyses can be extended to the KOE of four TSVs, a more representative pattern. And two kinds of TSV displacement style including "square" and "diamond" TSV patterns are also discussed, the impact of pitch for these two patterns are also given in this paper. For the "square" TSV pattern, the KOZ decreases as the pitch increases. Under this condition, the devices can only be placed in a small square region surrounded by TSVs, but the region is regular, which is beneficial for device arranging. While for the "diamond" TSV pattern, the KOZ increases as the pitch increases. Under this condition, the area for device placement is larger than the "square" TSV pattern, but the region is irregular as it is divided into long narrow parts, which is hard for device placement.

**Keywords:** through silicon via, thermal stress, mobility variation, keep out zone

**PACS:** 66.30.-h, 62.20.-x, 72.15.-v, 84.30.-r

**DOI:** 10.7498/aps.64.176601

\* Project supported by the National Natural Science Foundation of China (Grant No. 61334003).

<sup>†</sup> Corresponding author. E-mail: [gdong@mail.xidian.edu.cn](mailto:gdong@mail.xidian.edu.cn)