

LaTiO 高 k 栅介质 Ge MOS 电容电特性及 Ti 含量优化

徐火希 徐静平

Electrical properties of LaTiO high- k gate dielectric Ge MOS capacitor and Ti content optimization

Xu Huo-Xi Xu Jing-Ping

引用信息 Citation: *Acta Physica Sinica*, 65, 037301 (2016) DOI: 10.7498/aps.65.037301

在线阅读 View online: <http://dx.doi.org/10.7498/aps.65.037301>

当期内容 View table of contents: <http://wulixb.iphy.ac.cn/CN/Y2016/V65/I3>

您可能感兴趣的其他文章

Articles you may be interested in

超短沟道绝缘层上硅平面场效应晶体管中热载流子注入应力导致的退化对沟道长度的依赖性

Gate length dependence of hot carrier injection degradation in short channel silicon on insulator planar MOSFET

物理学报.2015, 64(16): 167305 <http://dx.doi.org/10.7498/aps.64.167305>

高 k 栅介质 GeOI 金属氧化物半导体场效应管阈值电压和亚阈斜率模型及其器件结构设计

Models on threshold voltage/subthreshold swing and structural design of high- k gate dielectric GeOI MOS-FET

物理学报.2014, 63(8): 087301 <http://dx.doi.org/10.7498/aps.63.087301>

柔性有机非易失性场效应晶体管存储器的研究进展

Progress of flexible organic non-volatile memory field-effect transistors

物理学报.2014, 63(2): 027302 <http://dx.doi.org/10.7498/aps.63.027302>

功率 MOSFET 的负偏置温度不稳定性效应中的平衡现象

Flat-roof of dynamic equilibrium phenomenon in static negative biase temperature instability effect on power metal-oxide-semiconductor field-effect transistor

物理学报.2013, 62(16): 167305 <http://dx.doi.org/10.7498/aps.62.167305>

氮氟复合注入对注氧隔离 SOI 材料埋氧层内固定正电荷密度的影响

Effect of co-implantation of nitrogen and fluorine on the fixed positive charge density of the buried oxide layer in SIMOX SOI materials

物理学报.2013, 62(11): 117303 <http://dx.doi.org/10.7498/aps.62.117303>

LaTiO高 k 栅介质Ge MOS电容电特性及Ti 含量优化*

徐火希¹⁾ 徐静平^{2)†}

1)(黄冈师范学院电子信息系, 黄州 438000)

2)(华中科技大学光学与电子信息学院, 武汉 430074)

(2015年9月12日收到; 2015年11月9日收到修改稿)

采用共反应溅射法将Ti添加到La₂O₃中, 制备了LaTiO/Ge金属-氧化物-半导体电容, 并就Ti含量对器件电特性的影响进行了仔细研究. 由于Ti-基氧化物具有极高的介电常数, LaTiO栅介质能够获得高 k 值; 然而由于界面/近界面缺陷随着Ti含量的升高而增加, 添加Ti使界面质量恶化, 进而使栅极漏电流增大、器件可靠性降低. 因此, 为了在器件电特性之间实现协调, 对Ti含量进行优化显得尤为重要. 就所研究的Ti/La₂O₃比率而言, 18.4%的Ti/La₂O₃比率最合适. 该比率导致器件呈现出高 k 值(22.7)、低 D_{it} ($5.5 \times 10^{11} \text{ eV}^{-1} \cdot \text{cm}^{-2}$)、可接受的 J_g ($V_g = 1 \text{ V}$, $J_g = 7.1 \times 10^{-3} \text{ A} \cdot \text{cm}^{-2}$)和良好的器件可靠性.

关键词: Ge MOS, LaTiO, 界面质量, k 值

PACS: 73.40.Qv, 73.61.-r, 73.20.-r

DOI: 10.7498/aps.65.037301

1 引言

由于具有较高的体载流子迁移率, Ge被认为是制备高性能金属-氧化物-半导体(metal-oxide-semiconductor, MOS)器件的有效沟道材料之一. 为了在提高运行速度的同时进一步等比缩小器件尺寸, 人们对Ge MOS器件的高 k 栅介质进行了广泛研究, 如HfO₂^[1-3], ZrO₂^[4], Al₂O₃^[5]和TiO₂^[6]等, 然而在栅介质制备和退火工艺中, Ge衬底表面极易氧化生成不稳定的低 k GeO_x. 这一氧化物使界面质量恶化, 进而使器件性能退化. 为了克服上述问题, 人们采用了多种方法, 如GeO₂^[7,8]和GeON^[9,10]夹层等. 本文旨在寻找能直接作用于Ge衬底的高质量高 k 栅介质材料. 据文献报道, Ge衬底上的CeO₂^[11], Gd₂O₃^[12], La₂O₃^[13,14]和Y₂O₃^[14]等稀土金属氧化物薄膜表现出许多优良的电特性, 其中La₂O₃薄膜的表现尤其突出. 由

于Ge扩散进入La₂O₃栅介质层形成稳定的化合物LaGeO, La₂O₃/Ge MOS器件呈现出低界面态密度、小栅极漏电流、非常小的回滞和频率色散等特性^[14,15]. 然而, 栅介质薄膜的 k 值仅约为10, 限制了小尺寸La₂O₃/Ge器件的可测性, 因为小尺寸器件的栅极漏电流成为一个不可忽视的问题, 尤其对于低功耗器件而言. 另一方面, 由于Ti-基氧化物具有极高的介电常数和N可以抑制Ge向外扩散, 文献^[16-18]通过在Hf-基氧化物中添加Ti或/N来提高 k 值, 取得了良好效果. 文献^[19]正是采用同时向La₂O₃中添加Ti和N的方法来改善 k 值, 但Ti和N含量均需优化^[19,20], 增加了工艺难度. 基于上述原因, 本工作采用将Ti直接添加到La₂O₃中的方法来制备Ge MOS器件的栅介质, 期望同时获得高 k 值和良好的界面质量. 因此, 通过共反应溅射Ti和La₂O₃靶淀积LaTiO薄膜, 制备了LaTiO/Ge MOS电容, 并就Ti含量对电容电特

* 国家自然科学基金(批准号: 61274112)、湖北省自然科学基金(批准号: 2011CDB165)和黄冈师范学院科研项目(批准号: 2012028803)资助的课题.

† 通信作者. E-mail: 799904108@qq.com

性的影响进行了研究. 可以发现, LaTiO/Ge MOS 电容的界面质量、栅极漏电流特性、器件可靠性及 k 值等均与 Ti 含量密切相关; 当对 Ti 含量进行优化后, 可以实现电特性之间的协调.

2 样品制备及特性测量

衬底采用 Sb 掺杂、电阻率为 $0.10\text{--}0.11\ \Omega\cdot\text{cm}$ 的 (100) 晶向 n 型 Ge 片. 首先对 Ge 片进行清洗, 在丙酮、三氯乙烯、甲苯和乙醇四种有机溶剂中各超声振荡 2 min 后, 循环使用去离子水冲洗和稀释的氢氟酸 (1 : 50) 浸渍 30 s, 以去除 Ge 片表面的杂质和自然氧化物. 经 N_2 气体吹干后, 立即将 Ge 片送入高真空磁控溅射镀膜机的溅射腔内. 在室温和腔内气氛为 Ar (24 sccm) 的环境下, 通过共反应溅射 Ti 和 La_2O_3 靶, 在 Ge 衬底上淀积约 7.5 nm 的 LaTiO 薄膜. 如表 1 所列, Ti 靶功率分别取 11.9, 17.7, 26.0 和 30.6 W, La_2O_3 靶功率固定为 30 W, 以获得不同 Ti 含量的样品来研究 Ti 含量对器件电特性的影响, 从而实现对 LaTiO 栅介质中 Ti 含量的优化, 对应的样品分别标记为 LTO1, LTO2, LTO3 和 LTO4. Ti/ La_2O_3 比率被用来表示 Ti 含量的相对变化, 是用 Ti 和 La_2O_3 的淀积速度之比来计算的. 在温度和溅射气氛相同、 La_2O_3 靶功率仍然为 30 W 的条件下, 在 Ge 衬底上淀积约 7.5 nm 的 La_2O_3 薄膜作为控制样品, 标记为 LO. 将所有样品送到 $500\ ^\circ\text{C}$ 的 N_2 气体中进行淀积后退火 (post-deposition annealing, PDA) 5 min, N_2 气体流速为 $500\ \text{mL/min}$. 然后蒸 Al、刻蚀形成栅电极, 电极面积为 $7.85 \times 10^{-5}\ \text{cm}^2$. 最后, 在 $300\ ^\circ\text{C}$ 的形成气中退火 20 min, 以改善电极接触, 形成气为 $\text{N}_2 : \text{H}_2 = 95 : 5$.

为了观察栅介质/Ge 界面, 用透射电镜 (transmission electron microscope, TEM) 拍摄了 $\text{La}_2\text{O}_3/\text{Ge}$ MOS 和 LaTiO/Ge (LTO2) MOS 的横截面照片, TEM 照片如图 1(a) 和图 1(b) 所示. 栅介质物理厚度 (t_{ox}) 由多波长椭偏仪和 TEM 照片确定, t_{ox} 的值见表 1. 用 HP4284A 精密 LCR 测试仪测量样品的高频电容-电压特性, 典型的高频 (1 MHz) 栅电容 (C_g)-栅电压 (V_g) 曲线如图 2 所示, 从高频 (1 MHz) C_g - V_g 提取的样品电特性参数如表 2 所示. 栅极漏电流特性由 HP4156A 精密半导体参数分析仪测量, 栅极漏电流密度 (J_g) 随 V_g 变化曲线如图 3 所示. 用 HP4156A 精密半导

体参数分析仪将电容偏置在积累状态, 并施加 $10\ \text{MV}\cdot\text{cm}^{-1}$ 的高场应力 3600 s, 测量施加应力前后的 J_g - V_g 和 高频 (1 MHz) C_g - V_g , 然后提取栅极漏电流增量 (ΔJ_g) 和平带电压偏移 (ΔV_{fb}) 来评估器件的可靠性, ΔV_{fb} 和 $V_g = 1\ \text{V}$ 时的 ΔJ_g 如图 4 所示. 所有测量均在室温、遮光和电磁屏蔽条件下进行.

表 1 Ti 靶功率、 t_{ox} 及 Ti/ La_2O_3 比率 (Ti/ La_2O_3 比率用 Ar = 24 sccm 时 Ti (溅射功率不同) 和 La_2O_3 (溅射功率为 30 W) 的淀积速度之比计算)

Table 1. Ti-target powers, t_{ox} and the Ti/ La_2O_3 ratios, which are calculated from the ratio of the deposition rates of Ti (at different sputtering powers) and La_2O_3 (at a sputtering power of 30 W) in the same Ar = 24 sccm ambient.

样品	Ti 靶功率/W	t_{ox}/nm	Ti/ $\text{La}_2\text{O}_3/\%$
LO	—	7.51	—
LTO1	11.9	7.39	10.6
LTO2	17.7	7.54	18.4
LTO3	26	7.65	25.7
LTO4	30.6	7.62	31.5

3 结果分析与讨论

从图 1(a) 和图 1(b) 所示的 $\text{La}_2\text{O}_3/\text{Ge}$ MOS 和 LaTiO/Ge MOS (LTO2) 的横截面 TEM 照片可以看出, La_2O_3 或 LaTiO 栅介质与 Ge 衬底之间几乎不存在夹层. 这是因为, 在 PDA 期间 Ge 向外扩散进入整个栅介质层, 并与之反应生成 LaGeO 或 LaTiGeO 化合物 [14,15], 如同 Ge 扩散进入 HfO_2 或 HfTiO 反应生成 HfGeO 或 HfTiGeO 一样 [21–23]. 在 La_2O_3 与 Ge 反应时, 由于 O 更倾向于与 La 结合, 处于 O 空位状态的 Ge 形成悬挂键 [22,24]. 由于退火腔内残留的 O 会填充 O 空位, 实际存留的 Ge 悬挂键并不多; 加上生成的 LaGeO 化学性能稳定, 且抑制了不稳定的 GeO_x 的形成, 界面/近界面缺陷较少, $\text{La}_2\text{O}_3/\text{Ge}$ MOS 获得了一个质量良好的界面. 同样道理, 在 LaTiO 与 Ge 反应时, 由于 Ti 的存在, 与 Ge 结合的 O 更少, Ge 悬挂键数增多 (Ti 与 Ge 不能形成稳定的 Ti—Ge 键) [25,26], Ti 引入的新悬挂键几乎没有被 O 填充 (退火腔内残留的 O 有限), 界面/近界面缺陷增加, 界面质量恶化. 因此, LaTiO/Ge 界面质量比 $\text{La}_2\text{O}_3/\text{Ge}$ 的差, 而且 Ti 含量越高界面质量越差.

这一结论可以从表 2 中的样品界面态密度 (D_{it}) 得到验证.

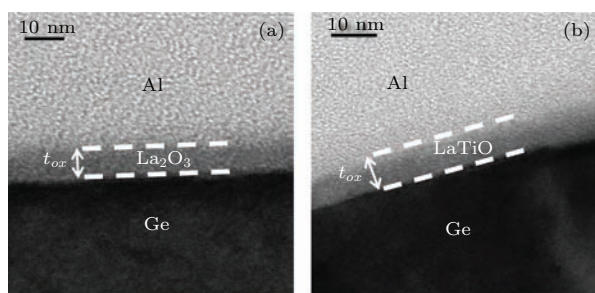


图 1 (a) $\text{La}_2\text{O}_3/\text{Ge}$ MOS 和 (b) LaTiO/Ge (LTO2) MOS 的横截面 TEM 照片

Fig. 1. The cross-sectional TEM pictures of (a) $\text{La}_2\text{O}_3/\text{Ge}$ MOS, and (b) LaTiO/Ge (LTO2) MOS.

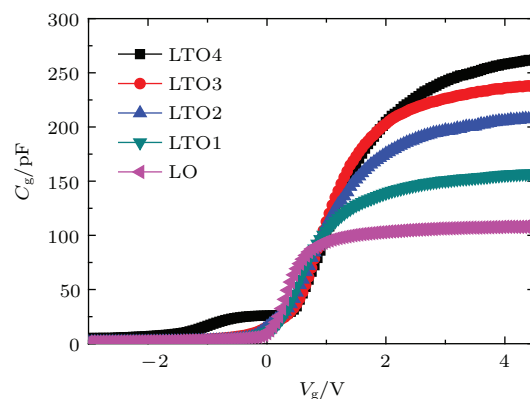


图 2 (网刊彩色) 样品的典型高频 (1 MHz) C_g - V_g 曲线

Fig. 2. (color online) Typical high-frequency (1 MHz) C_g - V_g curves for the samples.

表 2 从高频 (1 MHz) C_g - V_g 曲线提取的样品电特性参数

Table 2. Electrical parameters of the samples, extracted from the high-frequency (1 MHz) C_g - V_g curves.

样品	C_{ox}/pF	CET/nm	V_{fb}/V	Q_{ox}/cm^{-2}	$D_{it}/\text{eV}^{-1}\cdot\text{cm}^{-2}$	k
LO	108	2.5	0.23	-1.03×10^{12}	3.3×10^{11}	11.7
LTO1	159	1.7	0.33	-2.87×10^{12}	4.6×10^{11}	17.5
LTO2	209	1.3	0.35	-4.04×10^{12}	5.5×10^{11}	22.7
LTO3	240	1.1	0.46	-6.74×10^{12}	1.4×10^{12}	26.4
LTO4	268	1.0	0.49	-8.26×10^{12}	4.5×10^{12}	29.4

从图 2 所示的 C_g - V_g 曲线和表 2 中的氧化物电容 (C_{ox})、电容等效厚度 (CET) 及 k 值等参数可以看出, 四个含 Ti 样品 (LTO1, LTO2, LTO3, LTO4) 的 C_{ox} 比不含 Ti 样品 (LO) 的 C_{ox} 大, 而且 Ti 靶功率越高 (意味着 Ti 含量越高, 见表 1) C_{ox} 越大. 由于 C_{ox} 越大对应的 k 值越高、 CET 越小, LTO4 样品具有最高的 k 值 (29.4)、最小的 CET (1.0 nm). 之所以较高的 Ti 含量可以获得较高的 k 值和较小的 CET , 是因为随着 Ti 含量的升高, LaTiO 中的 Ti-基氧化物随之增加, 而 Ti-基氧化物的介电常数远高于 La-基氧化物. 然而, 随着 Ti 含量升高, 界面质量逐渐恶化. 这一点可以从 LTO4 和 LTO3 样品的 C_g - V_g 曲线扭曲程度和利用 Terman 方法^[27] 提取的带隙中间附近的 D_{it} (如表 2 所列) 得到确认. 在所有样品中, LO 的 D_{it} ($3.3 \times 10^{11} \text{ eV}^{-1}\cdot\text{cm}^{-2}$) 最低, LTO4 的 D_{it} ($4.5 \times 10^{12} \text{ eV}^{-1}\cdot\text{cm}^{-2}$) 最高, 即 LTO4 样品的界面质量最差. 之所以如此, 主要是因为与 Ge 结合的 O 随着 Ti 含量的升高而减少, 处于 O 空位状态的 Ge 悬挂键随之增多, 界面/近界面缺陷增加. 样品的等效氧化物电荷密度 (Q_{ox}) 也列在表 2 中, Q_{ox} 的值为负说明界面/氧化物陷阱

为类受主陷阱, 主要由 Ge 扩散进入高 k 栅介质与 $\text{La}_2\text{O}_3/\text{LaTiO}$ 反应引起. 由于 Ti 引入新的氧化物电荷和界面陷阱电荷, 含 Ti 样品的 Q_{ox} 比不含 Ti 样品的 Q_{ox} 大. 因此, 在向 La_2O_3 中添加 Ti 时, 必须考虑 k 值与 D_{it} 之间的协调, 即在获得较高 k 值的同时使 D_{it} 处于较低水平. 本文所采用的四个 Ti 靶功率中, 17.7 W 的溅射功率最为合适. 这一功率下制备的样品 (LTO2) 具备较高的 k 值 (22.7)、较低的 D_{it} ($5.5 \times 10^{11} \text{ eV}^{-1}\cdot\text{cm}^{-2}$). 当然, 要想使 k 值与 D_{it} 之间的协调更理想, 需要进一步对 Ti 含量进行优化.

从图 3 所示的样品的 J_g - V_g 曲线可以清楚看到, 含 Ti 样品的栅极漏电流比不含 Ti 样品的栅极漏电流大, 而且 Ti 含量越高栅极漏电流越大. 在栅介质厚度几乎相同的情况下, $V_g = 1 \text{ V}$ 时, LTO4 样品的 J_g ($9.7 \times 10^{-2} \text{ A}\cdot\text{cm}^{-2}$) 约是 LO 样品 J_g ($2.5 \times 10^{-3} \text{ A}\cdot\text{cm}^{-2}$) 的 40 倍、LTO1 样品 J_g ($4.6 \times 10^{-3} \text{ A}\cdot\text{cm}^{-2}$) 的 20 倍, 说明较高的 Ti 含量导致较差的栅极漏电流特性. Ti 引起的界面陷阱和氧化层陷阱构成新的漏电路径^[18,20], 在电场力作用下, 电子沿着这些路径被陷阱俘获/发射 (陷

阱辅助隧穿), 形成的新漏电使栅极漏电流增大, 栅极漏电流特性退化. 对漏电流特性起决定作用的是界面陷阱, 而 D_{it} 随着 Ti 含量的升高而增大 (如表 2 和图 2 所示), 即陷阱辅助隧穿效应随着 Ti 含量的升高而增强, 栅极漏电流特性随之退化. 因此, 必须对 LaTiO 栅介质中的 Ti 含量进行优化, 在实现 k 值与 D_{it} 协调的同时, 使栅极漏电流的大小位于合适区间. 在四个含 Ti 样品中, LTO2 不仅具有较高的 k 值、相对较少的界面缺陷 (即 D_{it} 相对较低), 而且呈现出一个可以接受的 J_g ($V_g = 1$ V 时, $J_g = 7.1 \times 10^{-3}$ A·cm $^{-2}$).

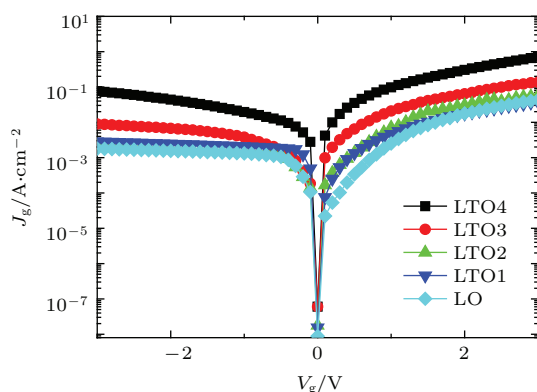


图 3 (网刊彩色) 样品的 J_g - V_g 曲线

Fig. 3. (color online) J_g - V_g curves for the samples.

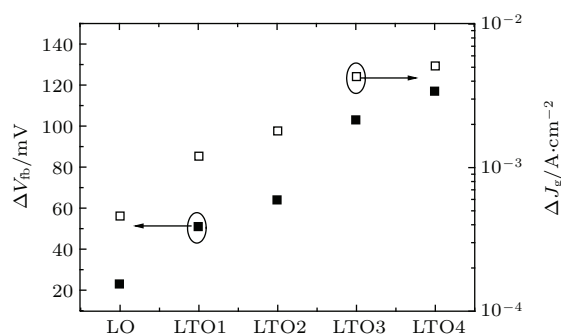


图 4 施加 10 MV·cm $^{-1}$ 高场应力 3600 s 后, 样品的 ΔV_{fb} 和 $V_g = 1$ V 时的 ΔJ_g

Fig. 4. ΔV_{fb} and ΔJ_g at $V_g = 1$ V for the samples after a high-field stress of 10 MV·cm $^{-1}$ for 3600 s.

从图 4 可以看出, 含 Ti 样品的 ΔV_{fb} 和 ΔJ_g 均比不含 Ti 样品的 ΔV_{fb} 和 ΔJ_g 大, 而且 ΔV_{fb} 和 ΔJ_g 随着 Ti 含量的升高而增大. LTO4 样品的 ΔV_{fb} (117 mV) 和 ΔJ_g (5.1×10^{-3} A·cm $^{-2}$) 分别约是 LO 样品的 ΔV_{fb} (23 mV) 和 ΔJ_g (4.6×10^{-4} A·cm $^{-2}$) 的 5 倍和 10 倍、LTO1 样品的 ΔV_{fb} (51 mV) 和 ΔJ_g (1.2×10^{-3} A·cm $^{-2}$) 的 2 倍和 4 倍, 说明器件

的可靠性随着 Ti 含量的升高而降低. 这主要与界面质量随 Ti 含量升高而恶化有关, 较高的 D_{it} 意味着较多的界面/近界面电荷陷阱, 在高场应力作用下产生较大的 ΔV_{fb} 和 ΔJ_g . 因此, Ti 靶功率选择 (从而控制 Ti 含量) 是 LaTi- 基高 k 栅介质 MOS 器件获得良好可靠性的关键. LTO2 样品具有相对较小的 ΔV_{fb} (64 mV) 和 ΔJ_g (1.8×10^{-3} A·cm $^{-2}$), 说明 LTO2 样品在获得较高 k 值和较低 D_{it} 的同时, 具有良好的器件可靠性.

4 结 论

通过共反应溅射 Ti 和 La $_2$ O $_3$ 靶, 制备了 La-TiO 高 k 栅介质 Ge MOS 电容, 并就 Ti 含量对电容电特性的影响进行了研究. 结果表明, 由于 Ti-基氧化物具有极高的介电常数, 向 La $_2$ O $_3$ 中添加 Ti 可以显著地提高栅介质 k 值和减小 CET , 而且 Ti 含量越高 k 值越高、 CET 越小; 然而 Ti 含量升高引起界面/近界面缺陷增加, 使界面质量恶化, 进而使栅极漏电流增大、器件可靠性降低. 因此, 制备 La-TiO/Ge MOS 器件时必须对 Ti 含量进行优化, 从而实现 k 值, D_{it} , J_g 和器件可靠性等特性之间的协调. 在本文所制备的四个含 Ti 样品中, Ti/La $_2$ O $_3$ 比率为 18.4% 的样品 (LTO2) 最为理想. 该样品具备高 k 值 (22.7)、低 D_{it} (5.5×10^{11} eV $^{-1}$ ·cm $^{-2}$)、可接受的 J_g ($V_g = 1$ V 时, $J_g = 7.1 \times 10^{-3}$ A·cm $^{-2}$) 和良好的器件可靠性.

参考文献

- [1] Zhao M, Liu L, Liang R R, Wang J, Xu J 2014 *Jpn. J. Appl. Phys.* **53** 041301
- [2] Oh I K, Kim M K, Lee J S, Lee C W, Lansalot-Matras C, Noh W, Park J, Noori A, Thompson D, Chu S, Maeng W J, Kim H 2013 *Appl. Surf. Sci.* **287** 349
- [3] Fan J B, Liu H X, Fei C X, Ma F, Fan X J, Hao Y 2013 *Chin. Phys. B* **22** 037702
- [4] Bethge O, Henkel C, Abermann S, Pozzovivo G, Stoeger-pollach M, Werner W S M, Smoliner J, Bertagnoli E 2012 *Appl. Surf. Sci.* **258** 3444
- [5] Bom N M, Soares G V, Krug C, Pezzi R P, Baumvol I J R, Radtke C 2012 *Appl. Surf. Sci.* **258** 5707
- [6] Xie Q, Deduytsche D, Schaekers M, Caymax M, Delabie A, Qu X P, Detavernier C 2010 *Appl. Phys. Lett.* **97** 112905
- [7] Liu G Z, Li C, Lu C B, Tang R F, Tang M R, Wu Z, Yang X, Huang W, Lai H K, Chen S Y 2012 *Chin. Phys. B* **21** 117701

- [8] Lin M, An X, Li M, Yun Q X, Li M, Li Z Q, Liu P Q, Zhang X, Huang R 2014 *Chin. Phys. B* **23** 067701
- [9] Li Q L, Xie Q, Jiang Y L, Ru G P, Qu X P, Li B Z, Zhang D W, Deduytsche D, Detavernier C 2011 *Semicond. Sci. Tech.* **26** 125003
- [10] Xue B Q, Wang S K, Han L, Chang H D, Sun B, Zhao W, Liu H G 2013 *Chin. Phys. B* **22** 107302
- [11] Maeng W J, Oh I K, Lee H B R, Kim M K, Lee C W, Lansalot C 2014 *Appl. Surf. Sci.* **321** 214
- [12] Pi T W, Huang M L, Lee W C, Chu L K, Lin T D, Chiang T H, Wang Y C, Wu Y D 2011 *Appl. Phys. Lett.* **98** 062903
- [13] Lamagna L, Wiemer C, Perego M, Volkos S N, Baldovino S, Tsoutsou D, Coulon P E, Fanciulli M 2010 *J. Appl. Phys.* **108** 084108
- [14] Mirovic I Z, Althobaiti M, Weerakkody A D, Dhanak V R, Linhart W M, Veal T D, Sedghi N, Hall S, Chalker P R, Tsoutsou D, Dimoulas A 2014 *J. Appl. Phys.* **115** 114102
- [15] Mavrou G, Galata S, Tsipas P, Sotiropoulos A, Panayiotatos Y A, Dimoulas A, Evangelou E K, Seo J W, Dieker C 2008 *J. Appl. Phys.* **103** 014506
- [16] Cheng C L, Horng J H, Wu Y Z 2012 *Dev. Mater. Reliab.* **12** 399
- [17] He G, Sun Z Q, Liu M, Zhang L D 2010 *Appl. Phys. Lett.* **97** 192902
- [18] Hu A B, Xu Q X 2010 *Chin. Phys. B* **19** 528
- [19] Xu H X, Xu J P, Li C X, Chan C L, Lai P T 2010 *Appl. Phys. A* **99** 903
- [20] Xu H X, Xu J P, Li C X, Liu L, Lai P T, Chan C L 2009 *Proceedings of IEEE International Conference on Electron Devices and Solid-State Circuits Xi'an, China, November 25–27, 2009* p225
- [21] Fu C H, Chang-Liao K S, Liu L J, Li C C, Chen T C, Cheng J W, Lu C C 2014 *Electron Dev.* **61** 2662
- [22] Sun Q Q, Shi Y, Dong L, Liu H, Ding S J, Zhang D W 2008 *Appl. Phys. Lett.* **92** 102908
- [23] Li C X, Zou X, Lai P T, Xu J P, Chen C L 2008 *Microelectron. Reliab.* **48** 526
- [24] Lu N, Bai W, Ramirez A, Mouli C, Ritenour A, Lee M L, Antoniadis D, Kwong D L 2005 *Appl. Phys. Lett.* **87** 051922
- [25] Arimura H, Naitou Y, Kitano N, Oku Y, Yamaguchi N, Kosuda M, Hosoi T, Shimura T, Watanabe H 2008 *ECS Trans.* **16** 121
- [26] Lu N, Li H J, Gardner M, Wickramanayaka S 2005 *Electron Dev. Lett.* **26** 298
- [27] Terman L M 1962 *Solid State Electron.* **5** 285

Electrical properties of LaTiO high- k gate dielectric Ge MOS capacitor and Ti content optimization*

Xu Huo-Xi¹⁾ Xu Jing-Ping^{2)†}

1) (Department of Electronic Information, Huanggang Normal University, Huangzhou 438000, China)

2) (School of Optical and Electronic Information, Huazhong University of Science and Technology, Wuhan 430074, China)

(Received 12 September 2015; revised manuscript received 9 November 2015)

Abstract

Ti is intentionally added into La_2O_3 to prepare LaTiO gate dielectric Ge metal-oxide-semiconductor (MOS) capacitor with both high k value and good interface quality. In order to examine the effects of Ti content on the electrical properties of the device, LaTiO films with different Ti/ La_2O_3 ratios (10.6%, 18.4%, 25.7% and 31.5%) are deposited by reactively co-sputtering Ti and La_2O_3 targets. Capacitance-voltage curves, gate-leakage current properties and high-field stress characteristics of the devices are measured and analyzed. It is found that some electrical properties, such as interface-state density, gate-leakage current, device reliability and k value, strongly depend on Ti content incorporated into La_2O_3 . Ti incorporation can significantly increase the k value: the higher the Ti content, the larger the k value is. The relevant mechanism lies in the fact that higher Ti content leads to an increase of Ti-based oxide in the LaTi-based oxide, because Ti-based oxide has larger k value than La-based oxide. On the contrary, interface quality, gate-leakage current and device reliability deteriorate as Ti content increases because Ti-induced defects at and near the interface increase with Ti content increasing. Of the Ti/ La_2O_3 ratios in the examined range, the largest Ti/ La_2O_3 ratio is 31.5%, which results in the highest k value of 29.4, the largest gate-leakage current of $9.7 \times 10^{-2} \text{ A}\cdot\text{cm}^{-2}$ at $V_g = 1 \text{ V}$, the highest interface-state density of $4.5 \times 10^{12} \text{ eV}^{-1}\cdot\text{cm}^{-2}$ and the worst device reliability, while the La_2O_3 film without Ti incorporation exhibits the lowest k value of 11.7, the smallest gate-leakage current of $2.5 \times 10^{-3} \text{ A}\cdot\text{cm}^{-2}$ at $V_g = 1 \text{ V}$, the lowest interface-state density of $3.3 \times 10^{11} \text{ eV}^{-1}\cdot\text{cm}^{-2}$ and the best device reliability. As far as the trade-off among the electrical properties is concerned, 18.4% is the most suitable Ti/ La_2O_3 ratio, which leads to a higher k value of 22.7, lower interface-state density of $5.5 \times 10^{11} \text{ eV}^{-1}\cdot\text{cm}^{-2}$, an acceptable gate-leakage current of $7.1 \times 10^{-3} \text{ A}\cdot\text{cm}^{-2}$ at $V_g = 1 \text{ V}$, and a better device reliability. In view of the fact mentioned above, excellent electrical properties could be obtained by setting Ti content to be an optimal value. Therefore, the optimization of Ti content is critical for LaTi-based oxide Ge MOS device preparation.

Keywords: Ge metal-oxide-semiconductor, LaTiO, interface quality, k value

PACS: 73.40.Qv, 73.61.-r, 73.20.-r

DOI: 10.7498/aps.65.037301

* Project supported by the National Natural Science Foundation of China (Grant No. 61274112), the Natural Science Foundation of Hubei Province, China (Grant No. 2011CDB165), and the Scientific Research Program of Huanggang Normal University, China (Grant No. 2012028803).

† Corresponding author. E-mail: 799904108@qq.com