

InGaZnO薄膜晶体管背板的层间Cu互连静电保护研究

马群刚 王海宏 张盛东 陈旭 王婷婷

Electro-static discharge protection analysis and design optimization of interlayer Cu interconnection in InGaZnO thin film transistor backplane

Ma Qun-Gang Wang Hai-Hong Zhang Sheng-Dong Chen Xu Wang Ting-Ting

引用信息 Citation: *Acta Physica Sinica*, 68, 158501 (2019) DOI: 10.7498/aps.68.20190646

在线阅读 View online: <https://doi.org/10.7498/aps.68.20190646>

当期内容 View table of contents: <http://wulixb.iphy.ac.cn>

您可能感兴趣的其他文章

Articles you may be interested in

InGaZnO薄膜晶体管背板的栅极驱动电路静电释放失效研究

Electro-static discharge failure analysis and design optimization of gate-driver on array circuit in InGaZnO thin film transistor backplane

物理学报. 2019, 68(10): 108501 <https://doi.org/10.7498/aps.68.20190265>

InGaZnO薄膜晶体管泄漏电流模型

Leakage current model of InGaZnO thin film transistor

物理学报. 2019, 68(5): 057302 <https://doi.org/10.7498/aps.68.20182088>

退火温度和Ga含量对溶液法制备InGaZnO薄膜晶体管性能的影响

Effects of annealing temperature and Ga content on properties of solution-processed InGaZnO thin film

物理学报. 2016, 65(12): 128502 <https://doi.org/10.7498/aps.65.128502>

SiO₂固态电解质中的质子特性对氧化物双电层薄膜晶体管性能的影响

Effects of protons within SiO₂ solid-state electrolyte on performances of oxide electric-double-layer thin film transistor

物理学报. 2015, 64(7): 077302 <https://doi.org/10.7498/aps.64.077302>

同步对称双栅InGaZnO薄膜晶体管电势模型研究

Analytical channel potential model of amorphous InGaZnO thin-film transistors with synchronized symmetric dual-gate

物理学报. 2017, 66(9): 097101 <https://doi.org/10.7498/aps.66.097101>

一个非晶InGaZnO薄膜晶体管线性区陷阱态的提取方法

A technique for extracting the density of states of the linear region in an amorphous InGaZnO thin film transistor

物理学报. 2015, 64(13): 137101 <https://doi.org/10.7498/aps.64.137101>

InGaZnO 薄膜晶体管背板的层间 Cu 互连静电保护研究*

马群刚¹⁾²⁾ 王海宏³⁾ 张盛东^{1)2)†} 陈旭⁴⁾ 王婷婷⁴⁾

1) (北京大学信息工程学院, 深圳 518055)

2) (北京大学信息科学技术学院, 北京 100871)

3) (南京中电熊猫液晶显示科技有限公司, 南京 210033)

4) (南京中电熊猫平板显示科技有限公司, 南京 210033)

(2019年4月29日收到; 2019年5月15日收到修改稿)

InGaZnO 薄膜晶体管 (InGaZnO thin film transistor, IGZO TFT) 与 Cu 互连组合的驱动背板, 在生产线机台上的抗静电放电 (electrostatic discharge, ESD) 耐压能力比传统 a-Si TFT 背板低将近一个数量级电压, 数据线和扫描线层间 Mo/Cu 互连抗击穿电压只有传统 a-Si TFT 背板层间 Mo/Al/Mo 互连的 60% 左右. 层间 Cu 互连的 ESD 破坏成为影响 IGZO TFT 超高清面板正常显示的一个重要因素. 本文建立了扫描线层 Cu 金属扩散进入 SiN_x/SiO₂ 绝缘层和数据线层 Cu 金属在爬坡拐角处扩散进入 SiO₂ 绝缘层, 诱发层间 Cu 互连 ESD 破坏的机理模型. 提出了 Cu 互连周边 ESD 保护电路架构三种基本结构的选型条件, 以及保证层间 Cu 互连抗 ESD 击穿能力的 ESD 保护电路设计方法. 利用本文提出的方法, 有效降低了 IGZO TFT 背板的层间 Cu 互连 ESD 破坏风险.

关键词: InGaZnO 薄膜晶体管, Cu 互连, SiO₂ 绝缘层, 静电放电

PACS: 85.30.De, 77.22.Jp, 72.20.-i, 73.40.-c

DOI: 10.7498/aps.68.20190646

1 引言

氧化物薄膜晶体管 (thin film transistor, TFT) 背板已经成为驱动超高清显示面板最具竞争力的技术方案^[1,2]. InGaZnO (IGZO) TFT 与 Cu 互连是氧化物 TFT 背板的基本工艺组合, 分别用来提升像素开关的导电能力和降低总线的信号延时^[3-5]. 为了稳定 IGZO 有源层的电学性能, 需要在 IGZO 有源层的上侧和下侧都生长 SiO₂ 薄膜. 但是, Cu 扩散进入 IGZO 和 SiO₂ 薄膜会降低 IGZO TFT 背板的性能^[6]. 与特大规模集成电路

(ultra large scale IC, ULSI) 在 Cu 互连的四周都制作阻挡层不同, IGZO TFT 背板的 Cu 互连只制作底部阻挡层, Cu 金属在其他三侧扩散进入 SiO₂ 薄膜成为引起 IGZO TFT 背板可靠性问题的一个主要原因^[7,8]. 为了阻挡栅极 Cu 金属向 IGZO 层方向扩散, 需要在栅极 Cu 金属上方生长一层比 SiO₂ 薄膜更致密的 SiN_x 薄膜, 形成 Mo/Cu:SiN_x/SiO₂:IGZO 结构^[9,10].

目前, 研究 IGZO TFT 背板静电放电 (electrostatic discharge, ESD) 问题的文献不多. 仅有的报道主要针对单个 IGZO TFT 器件进行 TLP (transmission line pulse) 或者 HBM (human

* 国家自然科学基金 (批准号: 61574003, 61774010) 和深圳市科学计划基金 (批准号: GGF20170728163447038, JCYJ20180504165449640) 资助的课题.

† 通信作者. E-mail: zhangsd@pku.edu.cn

body model) 测试分析, 找出 ESD 影响因素并提出 ESD 鲁棒性高的器件结构与保护结构 [11–15]. IGZO TFT 器件发生 ESD 破坏的一个路径是源漏极金属与栅极金属之间形成漏电通道. 这种漏电通道同样存在于数据线跨过扫描线的交叉位置. 所以, IGZO TFT 器件的抗 ESD 击穿能力需要与层间 Cu 互连交叉处的抗 ESD 击穿能力进行匹配设计, 才能实现高鲁棒性的 IGZO TFT 背板.

IGZO TFT 背板的数据线 Cu 互连与扫描线 Cu 互连之间隔着 $\text{SiN}_x/\text{SiO}_2$ 绝缘层. 从扫描线到数据线的层间 $\text{Mo}/\text{Cu}:\text{SiN}_x/\text{SiO}_2:\text{Mo}/\text{Cu}$ 结构中, 扫描线 Cu 金属扩散进入 $\text{SiN}_x/\text{SiO}_2$ 绝缘层, 同时数据线 Cu 金属扩散进入 SiO_2 绝缘层, 会引起数据线和扫描线交叉处的抗 ESD 能力下降. 相比 $\text{Mo}/\text{Al}/\text{Mo}:\text{SiN}_x:\text{Mo}/\text{Al}/\text{Mo}$ 结构的 a-Si TFT 背板, IGZO TFT 背板的线上抗 ESD 击穿电压下降了将近一个数量级别. IGZO TFT 背板 ESD 破坏的位置, 常见于数据线跨过扫描线的爬坡处. 本文通过上下层 Cu 互连的金属扩散原理建立层间 Cu 互连的 ESD 破坏模型, 并针对性地提出实现高鲁棒性 IGZO TFT 背板的方法. 这些方法的对策有效性试验, 验证了本文提出的层间 Cu 互连 ESD 破坏模型的合理性.

2 层间 Cu 互连 ESD 失效机理分析

2.1 数据线爬坡处 Cu 金属扩散仿真

随着大尺寸显示面板像素分辨率的不断提高, 数据线 Cu 互连的宽度逐渐减小, 逼近光刻精度的限值. Cu 互连宽度越细, 承受的电流密度越高. 同时, 显示面板分辨率越高, Cu 互连的功耗越大, Cu 互连上的工作温度越高. 在这些因素的共同作用下, 容易引起 Cu 金属迁移, 形成微空洞、微裂纹等损伤. Cu 互连带电后会产生由热扩散主导的电迁移现象 [16]. 在 Cu 互连的局部缺陷处, 需要考虑电迁移的风险. 特别在数据线跨过扫描线的爬坡位置, Cu 金属容易发生过刻蚀现象, 导致 Cu 互连的

截面积减少, 电流密度增加. 同时, 数据线跨过扫描线的上坡转折位置与下坡转折位置, 容易形成晶格缺陷, 导致电流密度增加.

数据线 Cu 互连的电流密度最大情况一般出现在数据线输入端的第一行像素. 建立如图 1(a) 所示的第一行像素点的二维结构模型: 数据线 Mo/Cu 叠层的宽度为 $3.4 \mu\text{m}$, 厚度为 $350 \text{ \AA}/3500 \text{ \AA}$; Cu 互连的上侧和下侧都是 SiO_2 层. Cu 和 SiO_2 的具体属性参数如表 1 所列.

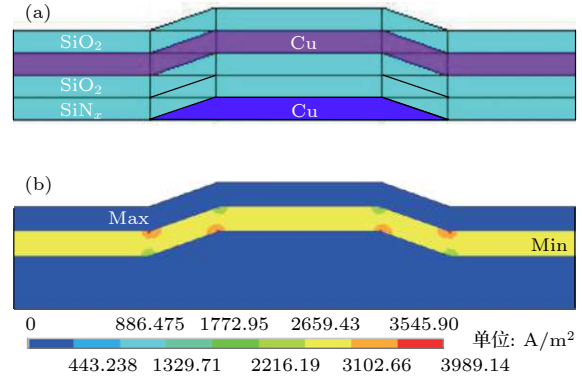


图 1 像素点 Cu 互连电流密度的 ANSYS 仿真 (a) 二维仿真模型; (b) 二维仿真结果

Fig. 1. ANSYS simulation of current density of Cu interconnect in a pixel: (a) Two-dimensional simulation model; (b) two-dimensional simulation results.

第一行像素对应的数据线 Cu 互连传输通道, 电阻不到 1Ω , 通道上的电流大小由 IGZO TFT 的开态电流决定. 所以, Cu 互连载荷加载方式以 0.001 A 的开态电流上限定义右端通入的电流, 同时左端定义 0 V 电压. 采用 ANSYS 进行稳态电流传导二维仿真, 所以选择单元类型为 plane67. 从图 1(b) 所示的仿真结果可以看出, 电流在数据线 Cu 互连爬坡的拐角处出现拥挤, 最大电流密度为 $3989.14 \text{ A}/\text{m}^2$. 数据线 Cu 互连拐角处的通量散度较大, 使得拐角处的 Cu 表面扩散速度远高于平坦区域的 Cu 互连内部扩散速度. 从仿真结果看, 平坦区域的 Cu 互连电流密度在 $2659 \text{ A}/\text{m}^2$, Cu 互连的电迁移风险较低.

线宽只有几个微米的数据线跨过扫描线, 需要

表 1 仿真模型中不同材料的属性参数

Table 1. Attribute parameters of different materials in simulation model.

材料	弹性模量/Pa	泊松比	热导率/ $\text{W}\cdot\text{mK}^{-1}$	热膨胀系数/ $\text{ppm}\cdot\text{K}^{-1}$	电阻率/ $\Omega\cdot\text{m}$	质量密度/ $\text{kg}\cdot\text{m}^{-3}$
SiO_2	69×10^9	0.17	7.6	0.54×10^{-6}	—	2200
Cu	119×10^9	0.326	398	17.5×10^{-6}	1.7×10^{-8}	8900

一个上坡和一个下坡. 因为数据线 Cu 互连在拐角处的通量散度较大, 使得拐角处 Cu 金属容易扩散进入到周围的 SiO₂ 绝缘层中.

2.2 层间有效介质层降低机理

如图 2 所示, 数据线左右两侧的 Cu 金属被刻蚀后, 界面的平坦性被破坏, 界面损伤加重, 粗糙度增加, 使得 Cu:SiO₂ 界面的黏附性降低. 数据线 Cu 互连在刻蚀出图案后, 还要在上方用 PECVD 依次生长 SiO₂ 薄膜和 SiN_x 薄膜, 用来保护 IGZO 有源层. 用作保护层的 PVX-SiO₂, 成膜温度是 250 °C, 退火温度是 300 °C. 在高温作用下, 数据线两侧的 Cu 金属会加速扩散到周围的 PVX-SiO₂ 和 GI-SiO₂ 层 [17]. 图 2 的数据线截面对应数据线上坡或者下坡的转折位置. 这里的通量散度最大, Cu 金属表面损伤最严重.

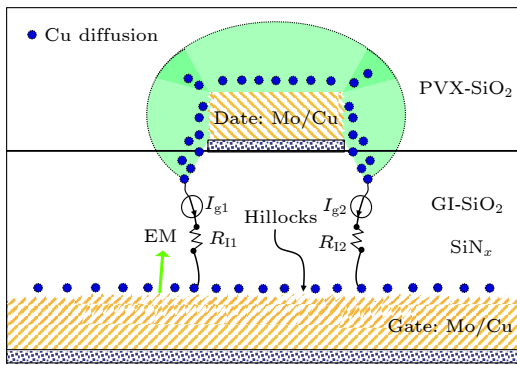


图 2 Cu 扩散引起层间绝缘层有效厚度下降的机理
Fig. 2. Mechanism of Cu diffusion induced decrease in effective thickness of insulation layer.

同时, 扫描线 Cu:SiN_x/SiO₂ 界面的 Cu 表面 hillocks 凸起位置, 是 Cu 离子向 SiN_x/SiO₂ 层扩散的拥挤点 [18]. 扫描线 Cu 金属进入 SiN_x 的扩散系数比进入 SiO₂ 的小. 扫描线 Cu 金属扩散进入 SiN_x 层和数据线 Cu 金属扩散进入 SiO₂ 层同时作用, 使得扫描线与数据线之间的有效绝缘层厚度 d_{eff} 降低. 实际施加在绝缘层上的电场强度 F 增加.

随着层间有效绝缘层厚度的减小, 电子很容易越过降低后的势垒, 在栅极绝缘层的陷阱态中进行跳跃导电, 甚至注入形成场致发射. 如果场致发射电流 I_{g1} 和 I_{g2} 接近限制电流, SiN_x/SiO₂ 栅极绝缘层的阻抗 R_{11} 和 R_{12} 将从高阻态变为低阻态, 丧失绝缘性能, 导致 TFT 器件失效 [19]. 一种极端的表现是数据线和扫描线之间的压降 $V(t)$ 达到几十伏

特后, 由于电极反应产生大量的 Cu 离子, 分别向 SiN_x 层和 SiO₂ 层进一步扩散. 因为 Cu 离子带正电, 在外加电压作用下的 Cu 离子向低电压一端快速扩散. Cu 离子向 SiN_x 层和 SiO₂ 层进一步扩散, 最后在扫描线和数据线之间形成细长的晶须, 使得数据线和扫描线之间短路 [20]. 在短路的细长晶须上形成密集电流, 导致 SiN_x/SiO₂ 绝缘层击穿烧毁, 如图 3 所示.

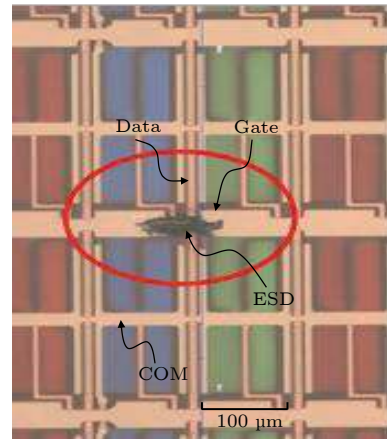


图 3 数据线与扫描线层间 Cu 互连的 ESD 破坏现象
Fig. 3. ESD damage of interlayer Cu interconnects between data line and gate line.

3 ESD 保护电路研究

通过对 Cu 金属成膜工艺与 SiN_x/SiO₂ 成膜工艺的优化控制, 降低 Cu 金属表面缺陷, 可以改善 Cu 金属表面缺陷引起的 Cu 扩散. 但是, 要彻底对策层间 Cu 互连的 ESD 破坏, 需要对数据线和扫描线分别设计 ESD 保护电路, 及时泄放 Cu 互连上的静电, 避免静电电压在数据线和扫描线的交叉处造成 ESD 破坏.

3.1 ESD 保护电路的基本架构

因为 Cu 金属扩散, IGZO TFT 背板的 ESD 保护电路设计有别于传统的 a-Si TFT 工艺, 需要根据 Mo/Cu:SiN_x/SiO₂:Mo/Cu 的实际抗压能力, 设计对应的 ESD 保护电路. 图 4 给出了三种常用的 ESD 保护电路架构, 分别是 R 型保护架构、R half 型保护架构和 Diode 型保护架构. R 型和 R half 型保护架构的源漏极连接沟道有源层, 栅极悬置. 源极或者漏极出现瞬时高电压时, 器件就等效为电阻进行放电. Diode 型保护架构是一对背对背连接

的 R 型保护电路.

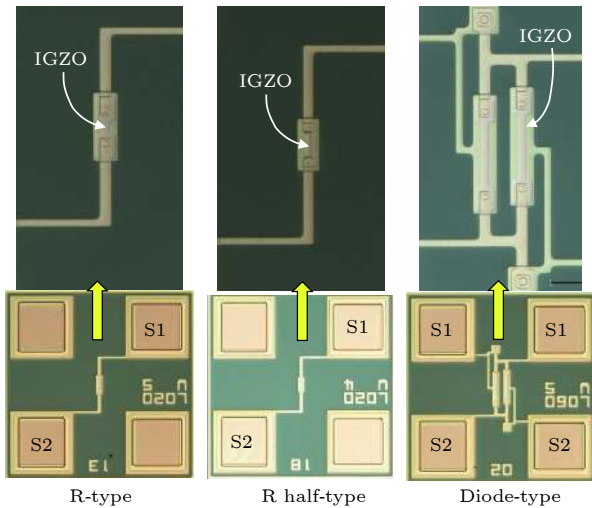


图 4 三种 ESD 保护架构的版图

Fig. 4. Layout of three ESD protection architectures.

基于 IGZO TFT 工艺的三种 ESD 保护电路, 在 ESD 器件两端施加 0—200 V 电压, 分别测量其电流, 对比三者的耐压能力. 耐压值高于栅极绝缘层的击穿电压才能起到较好的 ESD 防护作用.

图 5(a) 和图 5(b) 分别是 R 型架构的 ESD 保护电路, 在器件的 TFT 沟道宽度 W 分别为 5 和 4 μm 时, 沟道长度 L 从 20 到 60 μm 对应的 I - V 曲线. 图 5(c) 和图 5(d) 分别是 R half 型架构的 ESD 保护电路, 在器件的 TFT 沟道宽度 W 分别为 5 和 4 μm 时, 沟道长度 L 从 20 到 60 μm 对应的 I - V 曲线. 根据测试结果, R half 型与 R 型的 I - V 曲线规律基本相同. 随着器件的 TFT 沟道长度 L 的增加, ESD 保护电路最大耐压能力由 50 V 增加至 120 V, 大约是 R 型架构的 1.5 倍, 同时电流减小. 沟道宽度 W 越小, TFT 的最大耐压值越大. 图 5(e) 和图 5(f) 分别是 Diode 型架构的 ESD 保护电路, 在器件的 TFT 沟道宽度 W 为 5 和 4 μm 时, 沟道长度 L 从 40 到 80 μm 对应的 I - V 曲线. 随着器件的 TFT 沟道长度 L 的增加, TFT 最大耐压能力由 60 V 增加至 80 V, 同时电流减小. 但是, TFT 的耐压能力随沟道宽度 W 的变化并不明显. 与 R 型相比, Diode 型架构的耐压能力较差, 但是电流较大.

通过实验对比, 三种类型的 ESD 保护电路耐压能力都随沟道长度增加而增大, 与 R 型 ESD 相比, R half 型 ESD 设计耐压能力更强; Diode 型

ESD 器件的耐压能力较弱, 但是其高电压下电流较大, 当三种器件的耐压值均高于栅极绝缘层击穿电压时, Diode 型 ESD 保护电路的放电更快, 抗 ESD 能力更好.

3.2 IGZO TFT 背板的抗 ESD 能力分析

如图 6 所示, 传统 a-Si TFT 背板一般采用 Mo/Al/Mo:SiN_x/Mo/Al/Mo 结构, 上下 Mo 阻挡层可以有效防止 Al 互连电迁移. TFT 栅极绝缘层和背板的绝缘保护层都用致密性更高的 SiN_x 薄膜, 可以降低金属在绝缘层中的扩散速度. a-Si TFT 背板在阵列工艺的机台上, 静电电压达到 1500 V 都不会出现 Al 互连的 ESD 破坏现象. 但是, IGZO TFT 背板的静电电压达到 400 V 左右可能出现 Cu 互连的 ESD 破坏现象.

直接对 IGZO TFT 背板 Mo/Cu:SiN_x/SiO₂:Mo/Cu 交叉处的数据线 Cu 互连和扫描线 Cu 互连施加一组持续增加的电压, 发现 Mo/Cu:SiN_x/SiO₂:Mo/Cu 结构的耐压极限在 50—60 V 之间. 同样对传统 a-Si TFT 背板 Mo/Al/Mo:SiN_x/Mo/Al/Mo 结构的数据线 Al 互连和扫描线 Al 互连施加一组持续增加的电压, 发现 Mo/Al/Mo:SiN_x/Mo/Al/Mo 结构的耐压极限在 90—110 V 之间.

所以, IGZO TFT 背板的 Mo/Cu:SiN_x/SiO₂:Mo/Cu 结构与传统 a-Si TFT 背板的 Mo:SiN_x:Mo 结构相比, 玻璃基板级的抗 ESD 能力下降近一个数量级, 互连级的抗 ESD 能力下降近 60%. Cu 互连的抗电迁移能力比 Al 强, 所以 Cu 互连一般省略上侧的阻挡层. 但是, Cu 原子晶界扩散和界面扩散的激活能分别只有 1.2 eV 和 0.7—1.0 eV, 小于 Al 的扩散激活能 1.48 eV^[21,22]. 所以, Cu 会扩散进入 SiN_x/SiO₂^[7]. 这种扩散现象是造成 IGZO TFT 背板抗 ESD 能力下降的根本原因.

3.3 ESD 保护电路的匹配设计

本文在 Cu 金属成膜与 Cu 金属界面处理等工艺优化的基础上, 提出高鲁棒性 IGZO TFT 背板的 Cu 互连周边 ESD 保护方法. 显示区周边 ESD 保护电路的设计要求数据线和扫描线层间 Cu 互连发生 ESD 击穿之前, 在互连线上积累的静电从 ESD 保护电路上先泄放掉. ESD 保护电路设计需要按照严格的设计窗口来设计, 如图 7 所示. 其中, 触发电压 V_L 为工作电压加上设计余量电压,

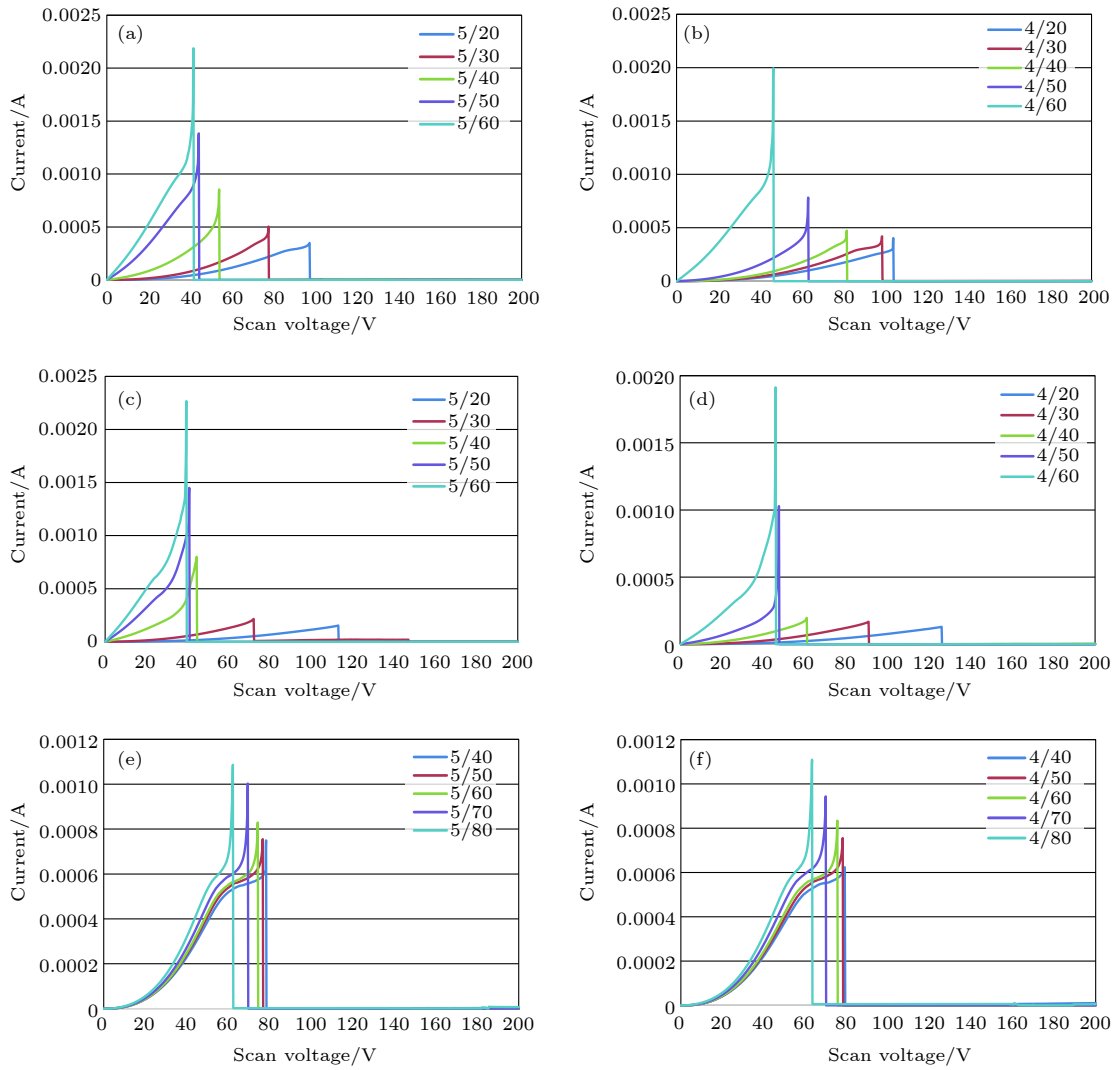


图 5 三种类型 ESD 保护电路的 $I-V$ 曲线 (a) $W = 5 \mu\text{m}$, R 型; (b) $W = 4 \mu\text{m}$, R 型; (c) $W = 5 \mu\text{m}$, R half 型; (d) $W = 4 \mu\text{m}$, R half 型; (e) $W = 5 \mu\text{m}$, Diode 型; (f) $W = 4 \mu\text{m}$, Diode 型

Fig. 5. Layout of three ESD protection architectures: (a) R-type $I-V$ curves at $W = 5 \mu\text{m}$; (b) R-type $I-V$ curves at $W = 4 \mu\text{m}$; (c) R half-type $I-V$ curves at $W = 5 \mu\text{m}$; (d) R half-type $I-V$ curves at $W = 4 \mu\text{m}$; (e) Diode-type $I-V$ curves at $W = 5 \mu\text{m}$; (f) Diode-type $I-V$ curves at $W = 4 \mu\text{m}$.

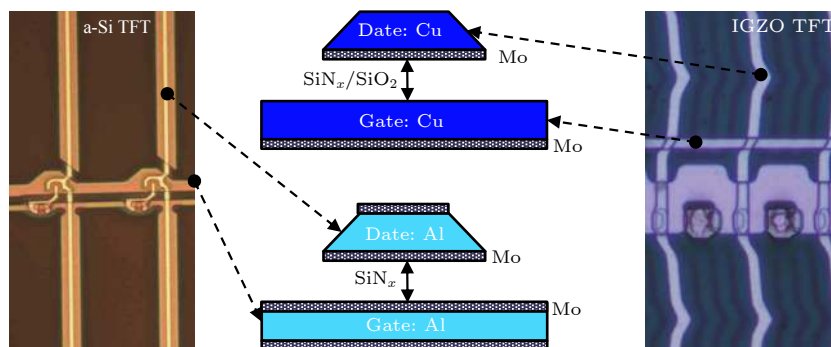


图 6 数据线扫描线层间结构比较

Fig. 6. Structural comparison between data line and scanning line.

截止电压 V_H 为栅极绝缘层击穿电压加上设计余量电压。

根据图 7 所示的 ESD 保护电路设计窗口, ESD 设计窗口在 V_L 到 V_H 之间. V_H 大于 Mo/Cu:

SiN_x/SiO₂:Mo/Cu 结构的耐压极限, V_L 大于器件工作电压. I_L 对应 V_L 电压时的电流, I_L 的经验值低于 10^{-4} A. I_L 不能太大, 以免影响器件的工作电压. I_H 对应电压为 V_H 时的电流, 需要至少大于 10^{-8} A, 电流越大其抗静电能力越好, 以保证积累的静电迅速导出.

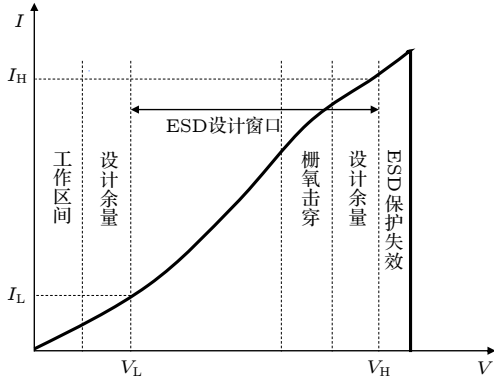


图 7 ESD 保护电路设计窗口

Fig. 7. Design window of ESD protection circuit.

在三种类型的 ESD 器件中, R 型保护架构的器件虽然 I_L 较小, 但是 I_H 较低, 其放电能力不及 Diode 型保护架构, 一般用于高压器件之间的放电. LCD 阵列基板的数据线工作电压范围为 0—20 V, 属于低压范围. 综合考虑放电能力及版图空间, 一般选择 Diode 型保护架构作为 Cu 互连周边 ESD 保护器件. 根据 V_L 的电压值设计 ESD 保护电路的 TFT 器件开态阻抗, 即设计器件沟道的宽长比 W/L . 在 (1) 式中, 电子迁移率 μ , 单位介质电容 C_{ox} , 器件电压 V_{gs} , V_{th} 和 V_{ds} 是已知参数, I 在 I_L — I_H 中间取值, 一般取值不大于 10^{-4} A, 可求出 W/L 比值.

$$I = \mu \cdot C_{ox} \cdot \frac{W}{L} (V_{gs} - V_{th}) V_{ds}. \quad (1)$$

实际的 IGZO TFT 背板生产工艺变更, 会使器件特性发生变化, 在 I_{ds} - V_{gs} 曲线上表现为 TFT 阈值电压 V_{th} 飘移. 如图 8 所示, 在不同工艺下, IGZO TFT 特性发生飘移: 对应第一种生产工艺时, V_{th} 为 -3.12 V, 对应第二种生产工艺时, V_{th} 为 5.61 V. 周边的 ESD 保护电路需要相应地进行匹配设计. 当 V_{th} 变小, 迁移率变大时, ESD 保护电路器件在面板工作时会因为器件漏电, 导致显示异常. 如果 V_{th} 变大, 迁移率变小时, ESD 保护电路器件电流较小, Cu 互连上积累的静电无法在短时间内快速泄放, 导致 ESD 保护功能不理想.

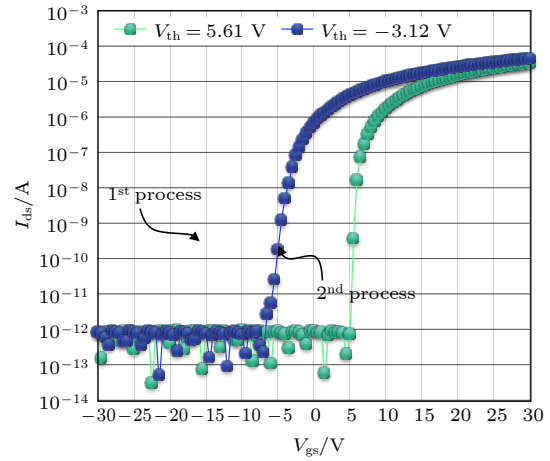


图 8 不同生产工艺下的 IGZO TFT 的 I_{ds} - V_{gs} 曲线

Fig. 8. I_{ds} - V_{gs} curves of IGZO TFT devices with different production technologies.

在两种不同的生产工艺中, 使用同样的 Diode 型 ESD 保护电路器件, 其电压扫描结果如图 9 所示. 根据数据线工作电压和栅极绝缘层的耐压值, 设置 V_L 和 V_H 的观察值分别为 30 V 和 80 V. 在

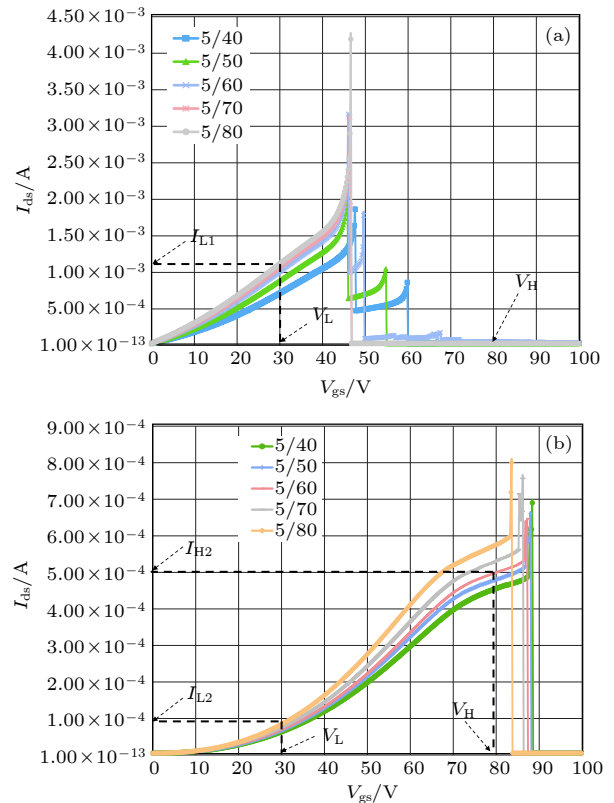


图 9 不同生产工艺条件下的 Diode 型 ESD 电压扫描结果 (a) 第一种生产工艺条件; (b) 第二种生产工艺条件

Fig. 9. Voltage scanning results of Diode ESD protection circuit under different production technologies: (a) The first production process conditions; (b) the second production process conditions.

第一种生产工艺中, 由于 V_{th} 偏小, 沟道导电性能较强, I_{L1} 电流小于 10^{-3} A, Cu 互连之间会出现信号干扰问题, 面板无法正常显示. 在 V_H 位置, Diode 型保护电路器件因为电流过大, 出现烧毁无法保护层间栅绝缘层的击穿. 在第二种生产工艺中, 沟道导电性恢复至合理水平, $I_{L2} \leq 10^{-4}$ A. 此时, 可以忽略数据线 Cu 互连之间因为 Diode 型保护电路器件的漏电流干扰, 面板可以正常显示. $I_{H2} \geq 10^{-4}$ A, 可以保证静电电荷在积累到栅绝缘层的击穿电压前被释放掉, 层间 Cu 互连的 ESD 保护效果较好.

4 结果与讨论

根据前面的层间 Cu 互连 ESD 失效机理分析, 由于 Cu 离子的扩散性比 Al 强, 所以在相同的栅绝缘层厚度下, Cu 互连对应的栅绝缘层的抗静电能力要弱一些. 为实现更好的静电保护效果, 在数据线和扫描线 Cu 互连之间配置如图 10 所示的 Diode 型 ESD 保护电路. 针对稳定的 IGZO TFT 生产工艺, 结合图 6 所示的 ESD 保护电路设计窗口, 在大尺寸 UHD 和 QUHD 的 IGZO TFT 背板上设计数据线 Cu 互连的周边 ESD 保护电路. Diode 型保护电路器件的 $W/L = 5/60$. 单根数据线 Cu 互连上积累的静电超过 30 V 电压时, 会与相连数据线 Cu 互连进行电荷共享, 提前泄放 Cu 互连上积累的静电.

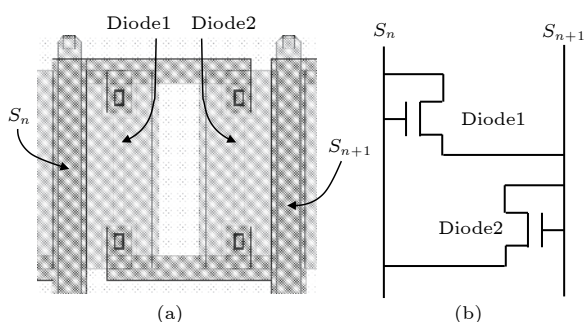


图 10 数据线之间的 Diode 型 ESD 保护电路 (a) 版图; (b) 原理图

Fig. 10. Diode-type ESD protection circuit between data lines: (a) Layout; (b) schematic diagram.

本文提出的 ESD 保护电路设计思想, 有效提高了 IGZO TFT 背板的层间 Cu 互连抗 ESD 破坏的效果. 采用传统 a-Si TFT 背板的周边 ESD 保护电路, 因为 ESD 破坏导致的数据线和扫描线层

间 Cu 互连短路不良率较高. 数据线和扫描线之间发生 ESD, 会导致栅绝缘层被击穿, 上下两层金属线发生导通, 形成十字交叉线显示不良. 通过测量特定 IGZO TFT 工艺的层间 Cu 互连耐压水平, 进行周边 ESD 保护电路的匹配设计, 层间 Cu 互连短路不良基本消除.

5 结论

IGZO TFT 背板在生产线上机台上的抗 ESD 耐压能力比传统 a-Si TFT 背板低将近一个数量级电压. IGZO TFT 背板的数据线和扫描线层间 Mo/Cu 互连抗击穿电压只有传统 a-Si TFT 背板层间 Mo/Al/Mo 互连的 60% 左右. 提高层间 Mo/Cu 互连的抗 ESD 击穿能力, 需要优化 Cu 成膜工艺、 SiO_2 成膜工艺和 $Cu:SiN_x/SiO_2$ 界面处理工艺. 在稳定的 IGZO TFT 工艺基础上, 测得数据线和扫描线交叉处的层间 Mo/Cu 互连抗击穿电压, 用于 Cu 互连周边的 Diode 型保护电路设计, 可以获得高鲁棒性 IGZO TFT 背板. 通过生产验证, 证明了 IGZO TFT 背板上下层 Cu 互连的金属扩散是降低层间 Cu 互连抗 ESD 破坏能力下降的根本原因, 为后续高鲁棒性 IGZO TFT 背板设计提供了理论依据.

感谢工业和信息化部第五研究所电子元器件可靠性物理及其应用技术重点实验室在 Cu 互连电流密度仿真上给予的帮助.

参考文献

- [1] Lan L F, Zhang P, Peng J B 2016 *Acta Phys. Sin.* **65** 128504 (in Chinese) [兰林锋, 张鹏, 彭俊彪 2016 *物理学报* **65** 128504]
- [2] Choi J H, Yang J H, Pi J E, Hwang C Y, Choi K, Kim H O, Kwon O S, Hwang C S 2017 *IEEE Electron Dev. Lett.* **38** 1398
- [3] Sang H L, Dong J O, Hwang A Y, Dong S H, Shin K, Jae K J, Jong W P 2015 *IEEE Electron Dev. Lett.* **36** 802
- [4] Nam W J, Shim J S, Shin H J, Kim J M, Ha W S, Park K H, Kim H G, Kim B S, Oh C H, Ahn B C, Kim B C, Cha S Y 2013 *Sid Symposium Digest Technical Papers* **44** 243
- [5] Lee C K, In D Y, Oh D J, Lee S H, Lee J W, Jeong J K 2018 *IEEE Trans. Electron Dev.* **65** 1383
- [6] Jeong J, Jun Lee G, Kim J, Choi B 2012 *Appl. Phys. Lett.* **100** 112109
- [7] Lee K W, Wang H, Bea J C, Murugesan M 2014 *IEEE Electron Dev. Lett.* **35** 114
- [8] Ma Q G, Zhou L F, Yu Y, Ma G Y, Zhang S D 2019 *Acta Phys. Sin.* **68** 108501 (in Chinese) [马群刚, 周刘飞, 喻明, 马

- 国永, 张盛东 2019 物理学报 **68** 108501]
- [9] Liu X, Wang L L, Ning C, Hu H H, Yang W, Wang K, Yoo S Y, Zhang S D 2014 *IEEE Trans. Electron Dev.* **61** 4299
- [10] Ji K H, Kim J I, Jung H Y, Park S Y, Mo Y G, Jeong J K 2011 *18th IEEE International Symposium on the Physical and Failure Analysis of Integrated Circuits (IPFA)*, Incheon, South Korea, July 4–7 2011, p12190972
- [11] Simicic M, Hellings G, Chen S H, Myny K, Linten D 2018 *40th Electrical Overstress/Electrostatic Discharge Symposium (EOS/ESD)* Reno, NV, USA, September 23–28, 2018 p1
- [12] Tai Y H, Chiu H L, Chou L S 2013 *J. Disp. Technol.* **9** 613
- [13] Liu Y, Chen R, Li B, En Y F, Chen Y Q 2017 *IEEE Trans. Electron Dev.* **65** 356
- [14] Scholz M, Steudel S, Myny K, Chen S, Boschke R, Hellings G, Linten D 2016 *EOS/ESD Symp.* Garden Grove, September 11–16, 2016 pp1–7
- [15] Kim L Y, Kwon O K 2018 *IEEE Electron Dev. Lett.* **39** 43
- [16] Cao L, Ganesh K J, Zhang L, Aubel O, Hennesthall C, Hauschildt M, Ferreira P J, Ho P S 2013 *Appl. Phys. Lett.* **102** 131907
- [17] Hu C K, Gignac L M, Lian G, et al. 2018 *IEEE International Electron Devices Meeting (IEDM)* San Francisco, December 1–5, 2018 p18420793
- [18] Chiang H C, Chang T C, Liao P Y, Chen B W, Tsao Y C, Tsai T M, Chien Y C, Yang Y C, Chen K F, Yang C I, Hung Y J, Chang K C, Zhang S D, Lin S C, Yeh C Y 2017 *Appl. Phys. Lett.* **111** 133504
- [19] Thermadam S P, Bhagat S K, Alford T L, Sakaguchi Y, Kozicki M N, Mitkova M 2010 *Thin Solid Films* **518** 3293
- [20] Deng X Q, Deng L W, He Y N, Liao C W, Huang S X, Luo H 2019 *Acta Phys. Sin.* **68** 057302 (in Chinese) [邓小庆, 邓联文, 何伊妮, 廖聪维, 黄生祥, 罗衡 2019 物理学报 **68** 057302]
- [21] Chen W, Barnaby H J, Kozicki M N 2016 *IEEE Electron Dev. Lett.* **37** 580
- [22] Choi Z S, Mönig R, Thompson C V 2007 *J. Appl. Phys.* **102** 083509

Electro-static discharge protection analysis and design optimization of interlayer Cu interconnection in InGaZnO thin film transistor backplane*

Ma Qun-Gang¹⁾²⁾ Wang Hai-Hong³⁾ Zhang Sheng-Dong^{1)2)†}
Chen Xu⁴⁾ Wang Ting-Ting⁴⁾

1) (*School of Electronic and Computer Engineering, Peking University, Shenzhen 518055, China*)

2) (*School of Electronics Engineering and Computer Science, Peking University, Beijing 100871, China*)

3) (*Nanjing CEC Panda LCD Technology Co., Ltd., Nanjing 210033, China*)

4) (*Nanjing CEC Panda FPD Technology Co., Ltd., Nanjing 210033, China*)

(Received 29 April 2019; revised manuscript received 15 May 2019)

Abstract

The InGaZnO thin film transistor (IGZO TFT) backplane combined with Cu interconnection has nearly an order of magnitude lower in the ability to withstand voltage than that of traditional a-Si TFT backplane on the production line. The breakdown voltage of Mo/Cu interconnection between data line and gate line is only about 60% of that of traditional a-Si TFT backplane. The electrostatic discharge (ESD) breakdown of Mo/Cu:SiN_x/SiO₂:Mo/Cu structure has become an important factor affecting the normal display of IGZO TFT ultra high definition (UHD) panel. We find that the anti-ESD damage ability of IGZO TFT devices needs matching with the anti-ESD damage ability of interlayer Cu interconnection in order to achieve a high-robustness IGZO TFT backplane. The position of ESD damage in IGZO TFT backplane is commonly in the climbing place where the data line crosses the scanning line. In this paper, a Cu diffusion model is proposed to explain the mechanism for the ESD failure of interlayer Cu interconnection. The Cu metal in gate line diffuses into SiN_x/SiO₂ gate insulator, and Cu metal at the corner of data line, where the data line crosses the gate line, diffuses into SiO₂ film on the data line. The selection conditions of three kinds of protection architectures for ESD protection circuits around Cu interconnection, i.e. R-type, R-half-type, and Diode-type protection architectures, are proposed. On the basis of process optimization such as Cu metal film forming and Cu metal interface treatment, an ESD protection method for the Cu interconnection periphery of IGZO TFT backplane with high robustness is proposed. For the stable production process of IGZO TFT, combined with the design window of ESD protection circuit, the peripheral ESD protection circuit of Cu interconnect is designed with diode-type protection circuit on the IGZO TFT backplane of large-sized UHD and QUHD panel, which effectively improves the effect of interlayer Cu interconnection of IGZO TFT backplane on ESD damage. Through the production verification, it is proved that the metal diffusion of Cu interconnection on IGZO TFT backplane is the fundamental reason for reducing the anti-ESD damage ability of Mo/Cu:SiN_x/SiO₂:Mo/Cu structure. The rationality of the proposed ESD damage model for interlayer Cu interconnection is verified, which provides a theoretical basis for subsequent IGZO TFT backplane design with high robustness.

Keywords: InGaZnO thin film transistor, Cu interconnect, SiO₂ insulator, electrostatic-discharge

PACS: 85.30.De, 77.22.Jp, 72.20.-i, 73.40.-c

DOI: 10.7498/aps.68.20190646

* Project supported by the National Natural Science Foundation of China (Grant Nos. 61574003, 61774010) and the Municipal Scientific Program of Shenzhen, China (Grant Nos. GGFW20170728163447038, JCYJ20180504165449640).

† Corresponding author. E-mail: zhangsd@pku.edu.cn