

光电协控多层 $\text{MoS}_2$ 记忆晶体管的阻变行为与机理研究

邓文 汪礼胜 刘嘉宁 余雪玲 陈凤翔

**Resistive switching behavior and mechanism of multilayer  $\text{MoS}_2$  memtransistor under control of back gate bias and light illumination**

Deng Wen Wang Li-Sheng Liu Jia-Ning Yu Xue-Ling Chen Feng-Xiang

引用信息 Citation: *Acta Physica Sinica*, 70, 217302 (2021) DOI: 10.7498/aps.70.20210750

在线阅读 View online: <https://doi.org/10.7498/aps.70.20210750>

当期内容 View table of contents: <http://wulixb.iphy.ac.cn>

## 您可能感兴趣的其他文章

### Articles you may be interested in

基于Au/TiO<sub>2</sub>/FTO结构忆阻器的开关特性与机理研究

Resistive switching characteristics and resistive switching mechanism of Au/TiO<sub>2</sub>/FTO memristor

物理学报. 2018, 67(15): 157302 <https://doi.org/10.7498/aps.67.20180425>

具有感觉记忆的忆阻器模型

Mathematical model of memristor with sensory memory

物理学报. 2019, 68(1): 018501 <https://doi.org/10.7498/aps.68.20181577>

具有经验学习特性的忆阻器模型分析

Analysis of memristor model with learning–experience behavior

物理学报. 2019, 68(19): 198502 <https://doi.org/10.7498/aps.68.20190808>

一种适用于大规模忆阻网络的忆阻器单元解析建模策略

An analytic modeling strategy for memristor cell applicable to large–scale memristive networks

物理学报. 2021, 70(17): 178505 <https://doi.org/10.7498/aps.70.20210116>

新型忆阻器神经形态电路的设计及其在条件反射行为中的应用

Design of novel memristor–based neuromorphic circuit and its application in classical conditioning

物理学报. 2019, 68(23): 238501 <https://doi.org/10.7498/aps.68.20191023>

基于忆阻器的多涡卷混沌系统及其脉冲同步控制

Memristor–based multi–scroll chaotic system and its pulse synchronization control

物理学报. 2018, 67(11): 110502 <https://doi.org/10.7498/aps.67.20180025>

# 光电协控多层 MoS<sub>2</sub> 记忆晶体管的阻变行为与机理研究\*

邓文 汪礼胜<sup>†</sup> 刘嘉宁 余雪玲 陈凤翔<sup>‡</sup>

(武汉理工大学理学院物理科学与技术系, 武汉 430070)

(2021 年 4 月 20 日收到; 2021 年 6 月 17 日收到修改稿)

记忆晶体管是结合忆阻器和场效应晶体管性能且同时实现存储和信息处理的一种新型多端口器件. 本文采用微机械剥离的多层二硫化钼 (MoS<sub>2</sub>) 制备了场效应晶体管结构的背栅记忆晶体管, 并系统研究了器件在电场、光场及其协同调控下的阻变开关特性和阻变机理. 实验结果表明, 多层 MoS<sub>2</sub> 记忆晶体管具有优异的双极性阻变行为和良好的循环耐久性. 器件在栅压调控下, 开关比可实现在 10<sup>0</sup>—10<sup>5</sup> 范围内变化, 最高可达 1.56 × 10<sup>5</sup>, 表明器件具有很强的门控效应; 在光场调控下, 器件的阻变特性对光波长有很强的依赖性; 光电协同调控时, 器件表现出极好的四端口调控能力, 开关比达 4.8 × 10<sup>4</sup>. 其阻变特性的机理可归因于 MoS<sub>2</sub> 与金属电极接触界面电荷俘获状态和肖特基势垒高度的变化, 以及 MoS<sub>2</sub> 沟道光生载流子引起的持续光电导效应.

**关键词:** MoS<sub>2</sub>, 记忆晶体管, 忆阻器, 阻变特性

**PACS:** 73.40.Sx, 72.80.Ga, 73.40.-c

**DOI:** 10.7498/aps.70.20210750

## 1 引言

忆阻器由于其功耗低、速度快、稳定性高, 且能同时实现存储和运算等优势, 在非易失性存储、逻辑电路和神经突触等领域具有很大的潜力. 金属-氧化物-半导体场效应晶体管作为数字集成电路的基本单元, 在芯片制造中具有十分重要的作用<sup>[1]</sup>. 2018 年, Sangwan 等<sup>[2]</sup> 提出了记忆晶体管的概念, 将忆阻器与场效应晶体的性能结合在以二维半导体材料为沟道的单个器件中. 相比传统三明治结构的二端口忆阻器, 记忆晶体管不仅可以提升器件的阻变性能, 还可同时响应漏极和栅极的电信号, 以及响应照射到器件上的光信号, 从而可实现更为复杂的逻辑运算功能. 记忆晶体管充分发挥了忆阻器和晶体管的特点与优势, 其作为人工神经突触

能实现丰富的神经形态功能, 如元塑性、动态滤波、峰值时间相关塑性等. 因此, 记忆晶体管在非易失性存储、神经形态计算等方面有重要的应用前景.

目前, 二维层状材料已被认为是制备高性能忆阻器最具潜力的一类候选阻变材料, 如 MoS<sub>2</sub><sup>[2-5]</sup>, GaSe<sup>[6,7]</sup>, h-BN<sup>[8]</sup>, In<sub>2</sub>S<sub>3</sub><sup>[9]</sup>, Graphene<sup>[10]</sup>, TiO<sub>2</sub><sup>[11,12]</sup> 和 WO<sub>3</sub><sup>[13-15]</sup> 等. 在这些阻变材料中, 以 MoS<sub>2</sub> 为阻变材料的忆阻器不仅表现出极高的开关比和稳定性, 而且还展现了良好的非易失存储特性<sup>[16-18]</sup>. 二维半导体材料 MoS<sub>2</sub> 由于较高载流子迁移率、合适的带隙、良好的热稳定性, 以及与 CMOS (互补金属氧化物半导体) 工艺的良好兼容, 现已证明在场效应晶体管方面具有突出的优势. 如在室温环境下开关比超过 10<sup>8</sup>, 载流子迁移率达到 700 cm<sup>2</sup>·V<sup>-1</sup>·S<sup>-1</sup>, 以及超低亚阈值摆幅<sup>[19-21]</sup>. 由于二维层状 MoS<sub>2</sub> 材料具有良好的电学和光学性质, 所以其既可用于

\* 国家自然科学基金 (批准号: 51702245) 和中央高校基本科研业务费专项资金 (批准号: WUT2020IB010) 资助的课题.

<sup>†</sup> 通信作者. E-mail: wang\_lesson@whut.edu.cn

<sup>‡</sup> 通信作者. E-mail: phonixchen79@whut.edu.cn

忆阻器的阻变材料, 又可用于晶体管的沟道材料. 2018年, Sangwan等<sup>[2]</sup>首次在Si衬底上制备出单层MoS<sub>2</sub>记忆晶体管, 该器件有大的开关比、高的循环耐久性和长期的状态保持能力, 并且在单个阻态下有4个数量级的栅极可调性. 2020年, Lee等<sup>[5]</sup>在之前实验的基础上制备了双栅控制的单层MoS<sub>2</sub>记忆晶体管阵列, 实现了人工神经突触的模拟, 设计的双栅控制结构有助于记忆晶体管在高度规模化的交叉集成电路中集成. 2019年, 四川师范大学的Yang<sup>[6]</sup>等采用机械剥离的GaSe制备了三端背栅结构的GaSe记忆晶体管, 并且利用Ag作为电极实现了器件非易失性的阻态开关转变(开关比达到 $5.3 \times 10^5$ ). 2019年, Yin等<sup>[3]</sup>利用机械剥离法制备三层MoS<sub>2</sub>的记忆晶体管. 在电场调控下, 该器件的开关比可实现极宽的调谐范围( $10^0$ — $10^5$ ); 在光场控制下, 通过增加光功率, MoS<sub>2</sub>记忆晶体管阻变材料的电学性能会有极大的提升; 当光场和电场同时控制时, 器件的开关比可进一步得到提升.

尽管单层或少层MoS<sub>2</sub>记忆晶体管在电场和光场调制下表现出良好的传输特性和阻变开关行为, 但可控制备单层或少层MoS<sub>2</sub>较为困难, 并且单层或少层薄膜会影响MoS<sub>2</sub>对光的吸收. 相比单层或少层MoS<sub>2</sub>, 多层MoS<sub>2</sub>具有较高的迁移率和驱动电流, 以及适中的禁带宽度(1.2—1.6 eV)<sup>[22,23]</sup>, 而且多层MoS<sub>2</sub>的本征迁移率不随厚度发生变化<sup>[24]</sup>, 可减少不同器件间的差异. 目前, 还鲜有文献报道光波长对记忆晶体管阻变特性的影响. 因此, 本文研究多层MoS<sub>2</sub>记忆晶体管在不同栅电压、光波长及其协同调控下的阻变开关特性和阻变机理. 研究发现, 多层MoS<sub>2</sub>记忆晶体管在电场和光场调控下表现出优异的阻变特性, 且具有更低的功耗和多种的调控方式.

## 2 实验部分

图1是多层MoS<sub>2</sub>背栅记忆晶体管结构的示意图. 器件主要由多层MoS<sub>2</sub>, 300 nm厚SiO<sub>2</sub>介质层, p<sup>+</sup>-Si衬底(背栅电极)和Cr/Au源漏电极等构成, 可以通过调节背栅偏压和顶部光照来控制器件的阻变特性. MoS<sub>2</sub>记忆晶体管的制备过程如图2所示. 首先, 采用微机械剥离法将多层MoS<sub>2</sub>转移至SiO<sub>2</sub>/p<sup>+</sup>-Si衬底上, 其中重掺杂硅衬底也作为背栅记忆晶体管的底栅电极. 接着, 对多层MoS<sub>2</sub>/

SiO<sub>2</sub>/p<sup>+</sup>-Si样品进行光刻形成源漏电极图案. 随后, 通过热蒸发相继蒸镀15 nm厚的Cr金属膜和50 nm厚的Au金属膜. 最后, 通过丙酮lift-off工艺制备出源漏电极, 获得沟道长、宽分别为4和10 μm的Au/Cr/MoS<sub>2</sub>/Cr/Au结构的背栅记忆晶体管.

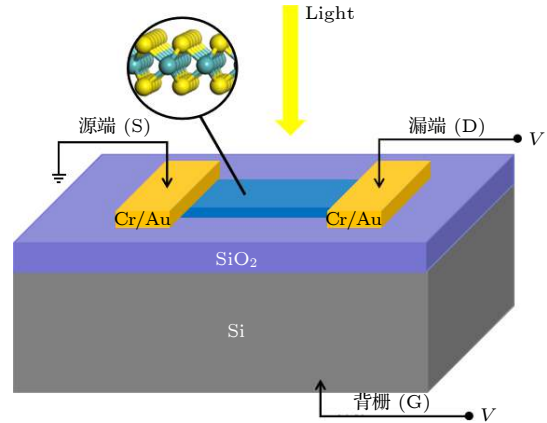


图1 多层MoS<sub>2</sub>记忆晶体管的结构示意图  
Fig. 1. Schematic diagram of multilayer MoS<sub>2</sub> memristor.

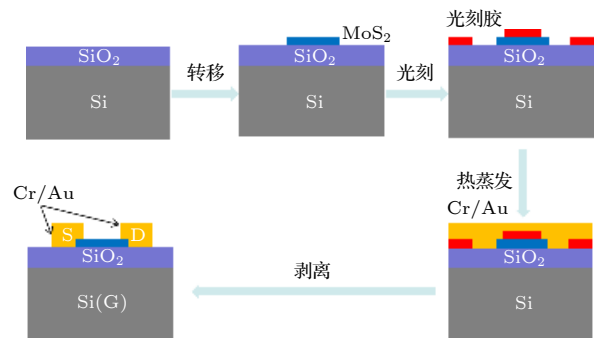


图2 多层MoS<sub>2</sub>记忆晶体管的制备过程示意图  
Fig. 2. Diagram of the preparation processes of multilayer MoS<sub>2</sub> memristor.

微机械剥离的多层MoS<sub>2</sub>的表面形貌由美国维易科精密仪器有限公司生产的DI Nanoscope IV原子力显微镜测试. 拉曼光谱由法国HORIBA Scientific公司生产的LabRAM HR Evolution光谱仪测量. 多层MoS<sub>2</sub>记忆晶体管的电学特性采用美国Keithley公司生产的4200A-SCS参数分析仪测试. 实验所用光源为中国中科微能(北京)科技有限公司生产的CME-TLS-X300F. 所有的测试均在室温、空气、电磁屏蔽环境下进行.

## 3 结果与分析

### 3.1 多层MoS<sub>2</sub>的形貌与表征分析

图3(a)是采用原子力显微镜(AFM)对剥离

后的 MoS<sub>2</sub> 纳米片的表面形貌和厚度的表征. 从图 3(a) 可以看出, 多层 MoS<sub>2</sub> 厚度约为 7 nm, 且表面平整均匀, 表明微机械剥离转移的 MoS<sub>2</sub> 具有良好的表面形貌 [25]. 图 3(b) 是多层 MoS<sub>2</sub> 的拉曼光谱, 激光波长为 532 nm. 图中显示 MoS<sub>2</sub> 的 A<sub>1g</sub> 模和 E<sub>2g</sub><sup>1</sup> 模的特征峰分别位于 402 和 378 cm<sup>-1</sup>, 与文献 [26] 中具有相似的结果. MoS<sub>2</sub> 的层数与 A<sub>1g</sub> 模和 E<sub>2g</sub><sup>1</sup> 模频率有关, 层数越多两个特征峰之间的差值越大. 本文样品的峰位差为 24 cm<sup>-1</sup>, 由此也可以证实微机械剥离转移的是多层 MoS<sub>2</sub>.

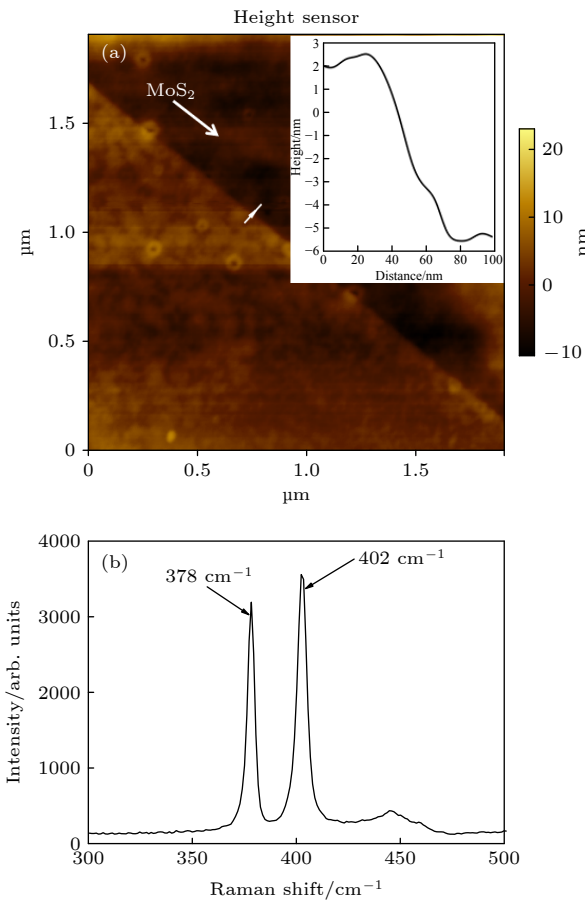


图 3 (a) 多层 MoS<sub>2</sub> 的 AFM 图像; (b) 多层 MoS<sub>2</sub> 的拉曼光谱  
 Fig. 3. (a) AFM image of multilayer MoS<sub>2</sub>; (b) Raman spectrum of multilayer MoS<sub>2</sub>.

### 3.2 器件的电场调控及阻变开关机制

图 4(a) 是 MoS<sub>2</sub> 记忆晶体管栅压为 0 V 时, 施加 5 V 至 -5 V 漏源电压双向扫描的 I<sub>d</sub>-V<sub>ds</sub> 特性曲线, 图中箭头方向表示扫描电压顺序. 从图 4(a) 可以看出, 器件表现出明显的阻变特性, 而且在漏源正向电压下测得的 I<sub>d</sub>-V<sub>ds</sub> 特性曲线更好. 图 4(a) 中插图显示器件源、漏电极交换测试的 I<sub>d</sub>-V<sub>ds</sub> 特性

曲线, 两条曲线差异极小, 说明交换源、漏电极测试不会对器件的阻变性能产生影响. 当扫描电压顺序为 0 V → +5 V 时, 记忆晶体管的初始阻态因源漏电极与 MoS<sub>2</sub> 之间形成的肖特基势垒很高 [3],

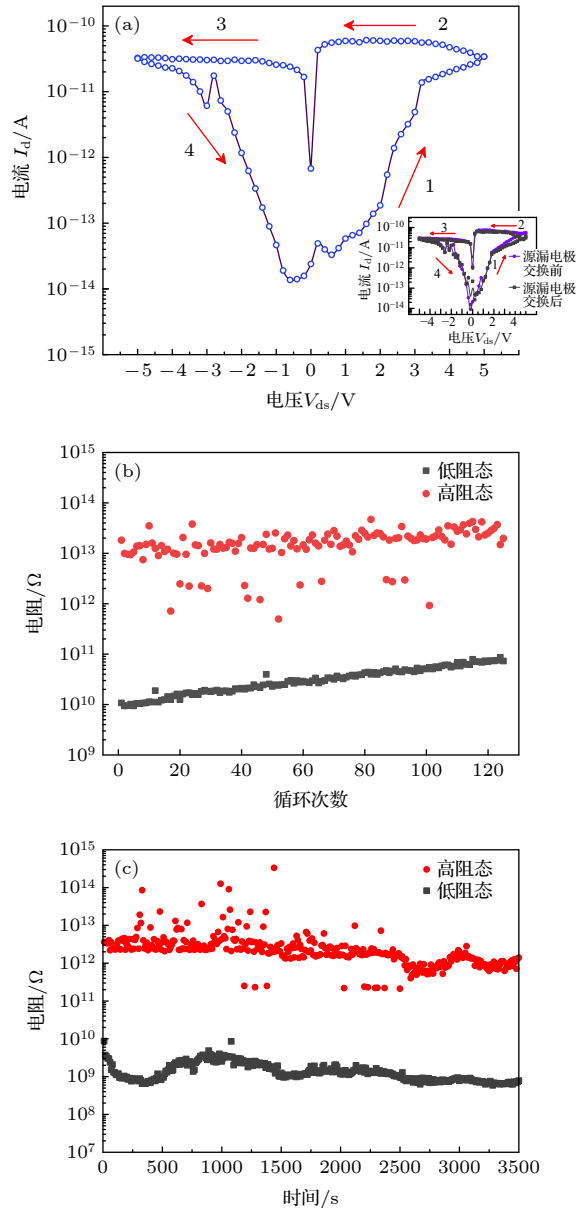


图 4 在 0 V 栅压时多层 MoS<sub>2</sub> 记忆晶体管的阻变特性 (a) 5 V 至 -5 V 源漏电压扫描下器件 I<sub>d</sub>-V<sub>ds</sub> 曲线 (插图: 器件在源极和漏极交换测试前后的 I<sub>d</sub>-V<sub>ds</sub> 曲线); (b) 连续 125 个循环中器件在 V<sub>ds</sub> = 0.6 V 时高低阻态的阻值变化; (c) 器件在室温下高低阻态保持特性图

Fig. 4. Resistance characteristics of multilayer MoS<sub>2</sub> memtransistor at V<sub>g</sub> = 0 V: (a) I<sub>d</sub>-V<sub>ds</sub> characteristic of the device at cyclic sweeping of the V<sub>ds</sub> from 5 to -5 V (Inset: the I<sub>d</sub>-V<sub>ds</sub> curves of the device before and after the source-drain electrode is exchanged); (b) the resistances of the device in high and low resistance states at V<sub>ds</sub> = 0.6 V during 125 cycles; (c) switching retention characteristics of the device at room temperature.

接触电阻很大, 表现为高阻态 (HRS). 施加正向源漏电压时, 由于 MoS<sub>2</sub> 材料中存在的 S 空位以及在转移和光刻过程中引入一些杂质缺陷, 电子会被俘获填充到这些缺陷中直至饱和<sup>[4,27]</sup>, 器件电阻保持 HRS 不变. 随着扫描电压的增大, 会导致源漏电极/n-MoS<sub>2</sub> 界面处肖特基势垒高度逐渐降低, 且由电流产生的焦耳热会导致更多的电子穿过界面势垒<sup>[3]</sup>, 器件电流急剧增大, 在设置电压  $V_{\text{set}} = 5 \text{ V}$  时器件阻态从 HRS 转变为低阻态 (LRS). 之后, 在 +5 V → 0 V 的扫描过程中, 器件的阻态一直保持 LRS, 并且随扫描电压的降低器件的电流变化缓慢, 表明器件的阻变特性是非易失性的, 在  $V_{\text{ds}} = 0.6 \text{ V}$  器件的高低阻态开关比达到最大值 (约  $10^3$ ). 当 0 V → -5 V 反向电压扫描时, 记忆晶体管维持 LRS 不变, 当反向扫描电压增加到 -5 V 时, 导致器件的阻态从 LRS 重置为 HRS. 在 -5 V → 0 V 的扫描过程中, 器件的阻态一直保持 HRS. 由此可见, 制备的多层 MoS<sub>2</sub> 记忆晶体管表现出良好的非易失性双极性阻变特性, 与文献 [2] 报道的器件具有类似的阻变行为. 从图 4(a) 还可以看出, 相比于漏源电压负向扫描, 在正向压扫描时器件的电流开关比更大, 阻变特性更好.

为了研究多层 MoS<sub>2</sub> 记忆晶体管的稳定性, 对器件进行了 125 次周期循环漏源电压扫描测试. 图 4(b) 给出了  $V_{\text{ds}}$  扫描电压在 5 V 至 -5 V 范围内, 器件在 125 个周期循环测试中  $V_{\text{ds}} = 0.6 \text{ V}$  时高低阻态的电阻值. 从图 4(b) 可以看出, 随着循环次数的增加, 高低电阻值略微有上升趋势, 但总体保持稳定. 在经过 125 个周期循环后, 器件的电阻开关比仍然保持在  $10^3$  左右. 图 4(c) 为 MoS<sub>2</sub> 记忆晶体管在室温下高低阻态的保持特性 (器件电阻的读取电压为 0.6 V), HRS 和 LRS 阻值随时间保持稳定, 但与图 4(a) 相比, 器件在放置一段时间后, 保持特性测试的高低阻态的阻值均有轻微降低, 可能是未封装的器件在空气环境下放置一段时间后其内部部分材料性能退化引起的. 在 3500 s 的时间内, 器件开关比始终还维持在  $10^3$  左右, 表明该记忆晶体管在连续工作的模式下具有良好的稳定性和耐久性.

图 5(a) 是负栅压调控下 MoS<sub>2</sub> 记忆晶体管的  $I_{\text{d}}-V_{\text{ds}}$  特性曲线, 图中箭头方向为施加 5 V 至 -5 V 漏源电压双向扫描方向, 器件表现出非易失性双极性阻变行为. 相对于零栅压 (如图 4(a)),  $I_{\text{d}}-V_{\text{ds}}$  曲

线整体向低电流方向移动, 反映了高低阻态的阻值随负栅极电压的增加而增加, 其原因在于负栅压会导致源漏电极/n-MoS<sub>2</sub> 界面处肖特基势垒高度的增加<sup>[2,3]</sup>, 大大降低了 MoS<sub>2</sub> 沟道内的电子浓度, 从而导致 HRS 和 LRS 的电阻增加. 当  $V_{\text{ds}}$  在 0 V → +5 V → 0 V 扫描,  $V_{\text{g}} = -3, -5, -7 \text{ V}$  时, 器件的 LRS 电流降低至  $10^{-14} \text{ A}$  量级, 导致开关比随负栅极电压的增加严重降低, 在  $V_{\text{ds}} = 0.6 \text{ V}$  时开关比甚至接近 1. 随着负栅压的增加, 当漏源电压 0 V → -5 V → 0 V 反向扫描时, LRS 的  $I_{\text{d}}$  逐渐降低, HRS 的  $I_{\text{d}}$  几乎趋于相同变化, 导致器件在  $V_{\text{ds}}$  为负值时的开关比逐渐减小.

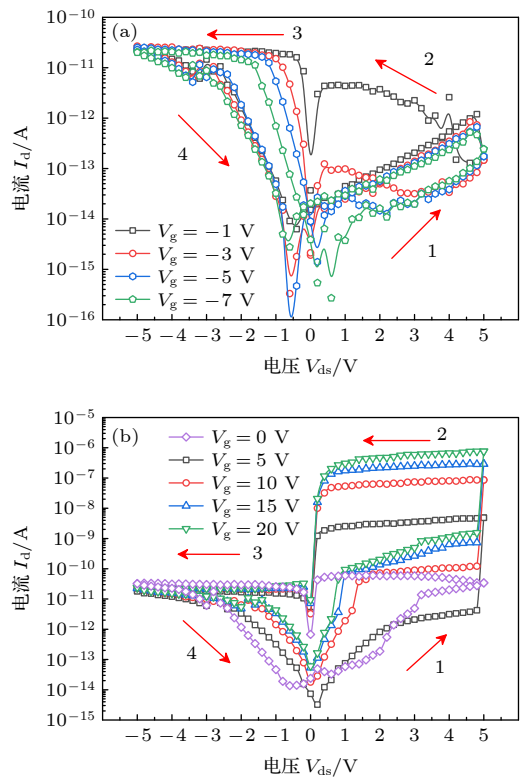


图 5 不同栅压下多层 MoS<sub>2</sub> 记忆晶体管的阻变特性 (a) 栅压  $V_{\text{g}} = -1, -3, -5, -7 \text{ V}$  时的  $I_{\text{d}}-V_{\text{ds}}$  曲线; (b) 栅压  $V_{\text{g}} = 0, 5, 10, 15, 20 \text{ V}$  时的  $I_{\text{d}}-V_{\text{ds}}$  曲线

Fig. 5. Resistance characteristics of multilayer MoS<sub>2</sub> memtransistor under different gate voltages: (a)  $I_{\text{d}}-V_{\text{ds}}$  characteristics of the device at  $V_{\text{g}} = -1, -3, -5, -7 \text{ V}$ ; (b)  $I_{\text{d}}-V_{\text{ds}}$  characteristics of the device at  $V_{\text{g}} = 0, 5, 10, 15, 20 \text{ V}$ .

图 5(b) 是正栅压调控下 MoS<sub>2</sub> 记忆晶体管的阻变特性. 相对于负栅压 (如图 5(a)), 随着正栅压的增加, 当漏源电压 0 V → -5 V → 0 V 反向扫描时, LRS 的  $I_{\text{d}}$  几乎不变化, HRS 的  $I_{\text{d}}$  逐渐增加. 随着正栅压的增加, 器件在  $V_{\text{ds}}$  为负值时的开关比逐渐

表 1 不同正栅压下器件的性能参数比较  
Table 1. Performance parameters of the device at different forward gate voltages.

栅压 $V_g/V$	0	5	7	10	15	20
HRS阻值/ $\Omega$	$1.82 \times 10^{13}$	$2.85 \times 10^{13}$	$7.40 \times 10^{12}$	$1.87 \times 10^{12}$	$4.46 \times 10^{11}$	$2.72 \times 10^{11}$
LRS阻值/ $\Omega$	$1.08 \times 10^{10}$	$2.78 \times 10^8$	$4.74 \times 10^7$	$1.25 \times 10^7$	$4.42 \times 10^6$	$2.95 \times 10^6$
开关比	$1.69 \times 10^3$	$1.03 \times 10^5$	$1.56 \times 10^5$	$1.50 \times 10^5$	$1.01 \times 10^5$	$0.92 \times 10^5$

减小. 而当  $V_{ds}$  在  $0\text{ V} \rightarrow +5\text{ V} \rightarrow 0\text{ V}$  扫描时, 器件的 HRS 和 LRS 的  $I_d$  都相应增加, 其原因在于正栅压会抑制源漏电极/n-MoS<sub>2</sub> 界面处的肖特基势垒, 引起 MoS<sub>2</sub> 沟道内的电子浓度大大提高. 当正栅压不太高 ( $V_g \leq 7\text{ V}$ ) 时, 正栅压对器件的 LRS 影响更大, LRS 的  $I_d$  相对 HRS 的  $I_d$  上升得更显著<sup>[2,3]</sup>, 导致器件的电阻开关比随正栅压的增加而增加. 当正栅压较大 ( $V_g \geq 10\text{ V}$ ) 时, 随着正栅压的增加, HRS 的  $I_d$  上升得也很显著, 甚至会超过 LRS 的  $I_d$  上升幅度, 导致器件的电阻开关比随正栅压的增加反而会缓慢减小.

表 1 列出了栅压从  $0\text{ V}$  增加到  $20\text{ V}$  时器件在  $V_{ds} = 0.6\text{ V}$  时 HRS 和 LRS 的阻值和开关比. 当栅压  $V_g$  从  $0\text{ V}$  增加至  $7\text{ V}$ , HRS 电阻由  $1.82 \times 10^{13}\ \Omega$  变化至  $7.40 \times 10^{12}\ \Omega$ , LRS 电阻由  $1.08 \times 10^{10}\ \Omega$  变化至  $4.74 \times 10^7\ \Omega$ , 相应开关比由  $10^3$  增加至  $10^5$ . 继续增大正栅压, HRS 和 LRS 的阻值进一步降低, 器件的开关比缓慢减小, 但基本保持在  $10^5$  数量级. 这表明在多层 MoS<sub>2</sub> 记忆晶体管的背栅施加正栅压时, 会引起 MoS<sub>2</sub> 沟道内电子浓度的提升, 导致器件在 LRS 和 HRS 的电阻降低, 但不同正栅压对于 HRS 和 LRS 的影响程度不同. 当  $V_g = 0\text{--}7\text{ V}$  时, HRS 对栅压不敏感, 其阻值变化很小, 而 LRS 的阻值会随  $V_g$  的增加而显著减小, 从而引起开关比的极大提升, 当  $V_g = 7\text{ V}$  时开关比最大达  $1.56 \times 10^5$ ; 当  $V_g > 7\text{ V}$  时, 电阻开关比缓慢减小, 基本保持在  $10^5$  量级. 由于记忆晶体管的阻变材料是多层 MoS<sub>2</sub>, 相比于单层 MoS<sub>2</sub> 而言, 多层 MoS<sub>2</sub> 不仅有着更低的禁带宽度和较高的载流子浓度, 而且界面质量对于器件的影响也相对较小. 因此, 多层 MoS<sub>2</sub> 记忆晶体管仅需  $+5\text{ V}$  的设置电压和  $-5\text{ V}$  的重置电压, 便可完成 HRS 与 LRS 之间的相互转变; 在正向栅压调控时, 较低的调控电压可使器件沟道内的载流子浓度极大提高, 导致开关比的提升超过 100 倍 (在  $V_g = 7\text{ V}$  时开关比达  $1.56 \times 10^5$ ). 相比文献<sup>[2]</sup>报道的单层 MoS<sub>2</sub> 记忆晶体管, 设置/重置电压  $\pm 80\text{ V}$ ,  $V_g = 40\text{ V}$  时开

关比才约达  $10^2$ , 本文所制备的多层 MoS<sub>2</sub> 记忆晶体管不仅具有低的设置/重置电压, 还表现出栅极电压对器件电阻开关比的宽范围 ( $10^0\text{--}10^5$ ) 调控.

### 3.3 器件的光场和电场协同调控

图 6(a) 是背栅电压为  $0\text{ V}$  时, 不同波长的光 (各波长功率均为  $1.2\text{ mW}$ ) 照射下多层 MoS<sub>2</sub> 记忆晶体管的  $I_d\text{-}V_{ds}$  特性曲线,  $V_{ds}$  扫描顺序为  $0\text{ V} \rightarrow +5\text{ V} \rightarrow 0\text{ V} \rightarrow -5\text{ V} \rightarrow 0\text{ V}$ . 当波长为  $200\text{ nm}$  光照射时, 器件的 HRS 和 LRS 的阻态转变表现出了很明显的双极性阻变行为, 但与无光照时 (如图 4(a))

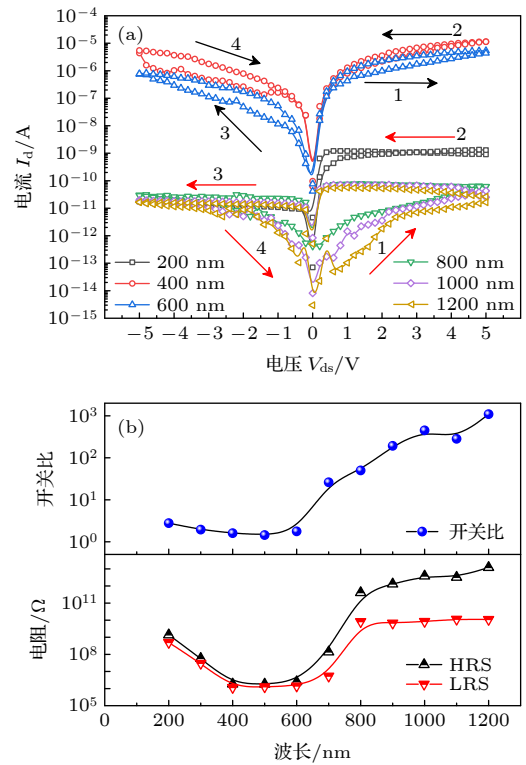


图 6 光场调控多层 MoS<sub>2</sub> 记忆晶体管的阻变特性 (a) 不同波长光照射时器件的  $I_d\text{-}V_{ds}$  曲线; (b) 不同波长光照射时器件的高低阻态阻值及开关比的变化

Fig. 6. Resistance characteristics of multilayer MoS<sub>2</sub> memtransistor under the control of the light field: (a)  $I_d\text{-}V_{ds}$  characteristics of the device under different wavelength illumination; (b) the resistances of the device in high and low resistance states and the corresponding ON/OFF ratio under different wavelength illumination.

所示) 相比, 循环扫描回滞减小显著; 波长为 400 和 600 nm 光照射时, HRS 和 LRS 的阻态转变与无光照时相比有较大差异. 当  $V_{ds}$  由 0 V  $\rightarrow$  +5 V 扫描时器件逐渐从 HRS 切换到 LRS, 并在向 0 V 回扫时保持 LRS, 但在  $V_{ds}$  由 0 V  $\rightarrow$  -5 V 扫描时, 器件切换到 HRS, 随着反向电压增大到 -5 V 时, 又切换到 LRS, 随后在 -5 V  $\rightarrow$  0 V 回扫时器件保持 LRS. 这表明 400 和 600 nm 光照射时, 器件的阻变行为由双极性转变成单极性. 从图 6(a) 还可以看出, 此波长的光照射时, 器件的电阻开关比很小. 当入射光的波长由 800 nm 增加到 1200 nm 时, 器件的阻变行为又从单极性转变成双极性, 且开关比又逐渐增加.

图 6(b) 是不同波长光照射下 (各波长功率均为 1.2 mW), 漏源电压  $V_{ds} = 0.6$  V 时器件的高低阻态阻值及开关比的变化. 可以看出在  $\lambda \leq 600$  nm 时器件 HRS 和 LRS 的阻值相比无光照时 (高/低电阻为  $1.83 \times 10^{12} \Omega / 2.05 \times 10^{10} \Omega$ ) 均有一定幅度的降低, 尤其是在入射波长为 400 和 600 nm 时, HRS 和 LRS 的阻值降低至  $10^6 \Omega$  左右. 器件阻变行为受光场调控的影响, 主要归因于光电导效应 (PCE)<sup>[28]</sup>. 多层 MoS<sub>2</sub> 具有适中的带隙 (1.2—

1.6 eV) 和对紫外光、可见光有较强的吸收, 导致光照射到多层 MoS<sub>2</sub> 时产生大量的自由载流子被金属电极/MoS<sub>2</sub> 的界面缺陷俘获, 从而极大地降低了肖特基势垒的高度. 在 PCE 作用下器件的 HRS 和 LRS 阻值迅速降低, 导致开关比急剧减小. 当入射波长大于 800 nm 时, HRS 和 LRS 的阻值逐渐增加. 当入射波长增大至 1200 nm 时, 器件的高低阻态与无光照时相当, 开关比增至  $10^3$ . 其原因在于 MoS<sub>2</sub> 阻变层对红外波段的光吸收随着波长的增大而逐渐减弱, 导致阻变层电导率的逐渐减小; 而且随着光波长的增加, 光子的能量降低, 导致光子激发的电子-空穴对随之减少, 从而引起高低阻态的电阻逐渐增大, 但与 LRS 阻变相比, 器件在 HRS 时的阻值增加更快. 因而, 在红外光波照射时, 随着光波长的增加, 器件的电阻开关比增加.

图 7 是光场和电场协同调控 MoS<sub>2</sub> 记忆晶体管的阻变特性. 入射光的波长分别为 200, 400 和 800 nm, 入射功率均为 1.2 mW. 从图 7 可以看出, 当入射光波长为 200 nm 时, 多层 MoS<sub>2</sub> 对其光吸收较强, 导致沟道内光生载流子的浓度迅速升高, 从而在器件的高低阻态产生较高电流, 引起开关比的严重减小; 此外, HRS 和 LRS 对不同正栅压的

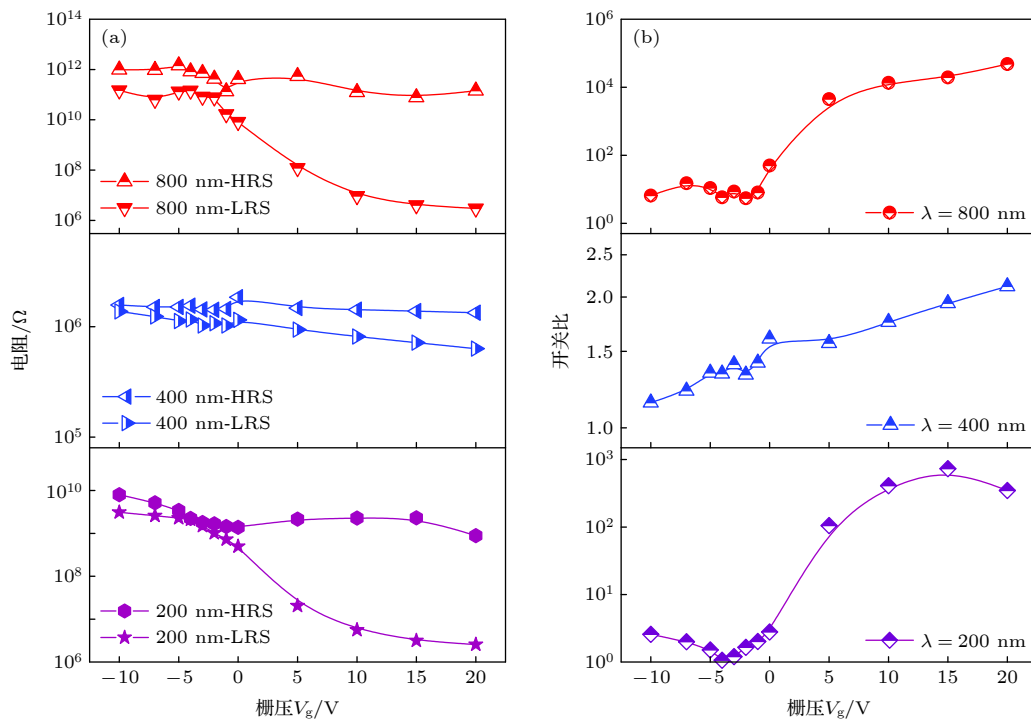


图 7 波长为 200, 400 和 800 nm 光照射时, 器件高低阻态的阻值随栅压的变化 (a) 和电阻开关比随栅压的变化 (b)

Fig. 7. For incident light with 200, 400 and 800 nm wavelengths, (a) the resistances of the device versus  $V_g$  in high and low resistance states and (b) the ON/OFF ratio versus  $V_g$ .

响应程度不同, 在正栅压下, MoS<sub>2</sub> 沟道内的电子浓度增加, 且源漏电极处肖特基势垒被抑制. 当栅压在 0—15 V 时, 栅压对 HRS 影响很微弱, 其阻值几乎保持不变. 但栅压对 LRS 影响很显著, 其阻值从  $4.9 \times 10^8 \Omega$  降低至  $3.1 \times 10^6 \Omega$ . 因此, 开关比随正向栅压的增大而增大, 当栅压增至 15 V 时开关比接近  $10^3$ ; 当继续增加栅压至 20 V 时, 沟道内载流子浓度趋于饱和, 栅压对 HRS 和 LRS 的调控能力减弱, 器件开关比基本保持稳定; 当加负栅压时, 随着负栅压的增加, 沟道载流子浓度持续减小, HRS 和 LRS 阻值增大, 器件的开关比降低 ( $< 2.6$ ). 当入射光波长为 400 nm 时, 由于 MoS<sub>2</sub> 对光的强烈吸收, 导致沟道内生载流子浓度很高, 从而在正负栅压下 HRS 和 LRS 的电流都很大, 器件的开关比变得很小 ( $< 2.20$ ). 当入射光波长增大至 800 nm 时, 由于 MoS<sub>2</sub> 对长波光的吸收逐渐减弱, 沟道载流子浓度逐渐降低, 导致高/低电阻升高至  $4.12 \times 10^{12} \Omega / 8.24 \times 10^9 \Omega$ . 在负栅压调控下, 此时光照对器件的影响极小, 且负栅压逐渐增大会引起源漏电极/n-MoS<sub>2</sub> 界面处肖特基势垒高度的增加, 导致 HRS 和 LRS 电阻略有增加. 但在正栅压的调控下, 器件的 LRS 阻值 (相比于零栅压时) 急剧减小, 而 HRS 对栅压不敏感. 因此, 在 20 V 的正栅压下开关比达  $4.8 \times 10^4$ . 相比仅正栅压调控, 器件的开关比虽略有下降, 但可实现光波长对器件的阻变特性调控, 增加了器件的调控手段.

最后, 为了分析器件之间的性能差异, 在相同工艺下制备了 2#和 3#器件, 并与 1#器件 (图 1—图 7 的测试器件) 进行比较. 由图 8(a) 可知, 所有器件在  $V_g > 0$  V 时开关比均有一定提升; 在  $V_g < 0$  V 时开关比随负栅压呈急剧降低趋势. 这种变化趋势与图 5(a) 和图 5(b) 中基本一致, 均是正负栅压对源漏电极/n-MoS<sub>2</sub> 界面处肖特基势垒高度的调制而引起的. 图 8(b) 显示了在不同波长光照下器件开关比的变化 (光照功率保持在 1.2 mW), 研究表明光照的波长对器件的阻变行为有强烈的调控能力, 可实现开关比在较宽范围内变化. 图 8(c) 则给出了 3 个器件在光场和电场协同调控下的阻变特性, 入射光的波长分别为 200, 400 和 800 nm, 功率均为 1.2 mW. 可以发现在不同波长和栅压组合调控下器件的开关比均可实现大范围调节, 且光场和电场组合调控对 3 个器件的影响趋势基本一

致. 综合图 8 结果可知, 不同器件之间开关比的差异, 可以归因于微机械剥离转移得到的多层 MoS<sub>2</sub> 厚度和宽度有细微偏差, 以及在转移、光刻中引入的杂质缺陷具有不确定性等. 以上分析表明, 多层 MoS<sub>2</sub> 记忆晶体管具有良好的均一性, 并且在电场、光场以及组合调控时 3 个器件阻变性能的变化趋势基本一致.

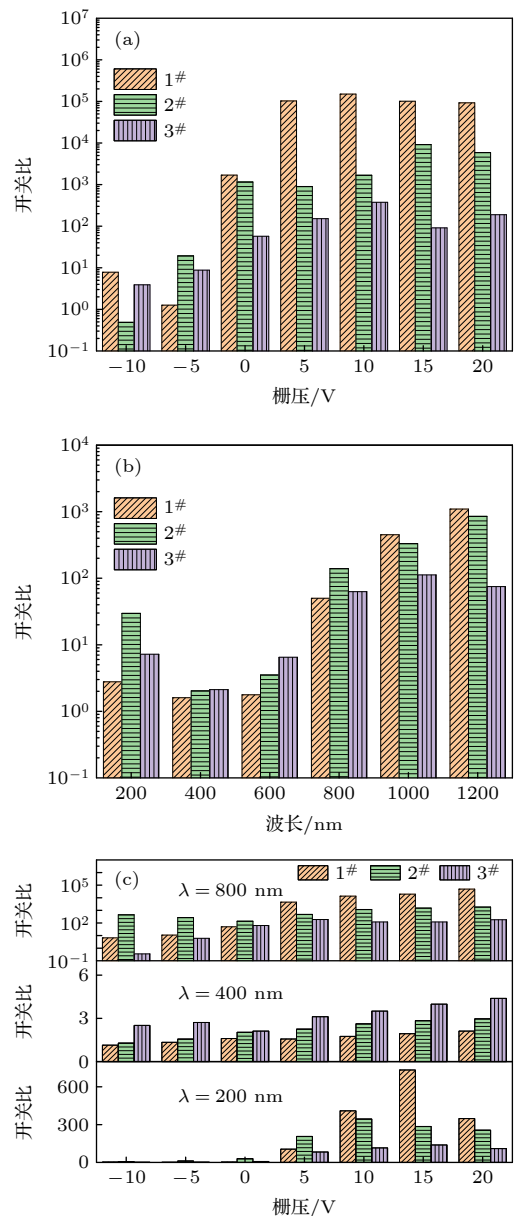


图 8 不同器件之间的性能对比 (a) 器件在不同栅压下开关比的变化; (b) 器件在不同波长下开关比的变化; (c) 器件在 200, 400 和 800 nm 光照照射时, 开关比随栅压的变化

Fig. 8. Performance comparison between different devices: (a) Switching ratio of the devices under different gate voltages; (b) switching ratio of devices at different wavelengths; (c) switching ratio varies with gate voltages at illumination wavelengths of 200, 400 and 800 nm.

## 4 结 论

本文通过微机械剥离法在 SiO<sub>2</sub>/Si 衬底上制备了基于多层 MoS<sub>2</sub> 沟道材料的 Au/Cr/MoS<sub>2</sub>/Cr/Au 背栅记忆晶体管, 系统研究了电场、光场及其协同调制下器件的阻变开关特性和阻变机制. 研究表明, 多层 MoS<sub>2</sub> 记忆晶体管在电场调控下显示出非易失性双极性阻变行为, 通过调节栅压范围 (-7—+20 V), 器件的开关比可实现大范围 (10<sup>0</sup>—10<sup>5</sup>) 调控, 器件在 125 次循环测试和 3500 s 阻变保持测试中表现出良好的稳定性和耐久性. 在光场调控下, MoS<sub>2</sub> 记忆晶体管可通过改变入射光的波长实现阻变特性在单极性和双极性之间转换, 以及较大范围内调制开关比 (10<sup>0</sup>—10<sup>3</sup>). 在光场和电场协同调控下, 器件开关比的调制范围增至 10<sup>0</sup>—4.8 × 10<sup>4</sup>, 表现出良好的开关特性和多端口调控能力. 其光电协控的良好阻变开关特性可归因于源漏电极/n-MoS<sub>2</sub> 界面处电荷俘获状态和肖特基势垒高度的变化, 以及光生载流子引起的持续光电导效应. 最后, 对相同工艺下制备的 3 个多层 MoS<sub>2</sub> 记忆晶体管的电性能进行了测试分析, 发现在电场、光场以及组合调控时 3 个器件的阻变性能的变化趋势基本一致, 表明器件具有良好的均一性. 因此, 低功耗、高稳定、光电协控的多层 MoS<sub>2</sub> 记忆晶体管不仅可以在光电多功能集成和更复杂存储器件的运算中展现出极大的优势, 而且在存算一体化和神经突触模拟等领域也具有潜在的发展前景和应用价值.

## 参考文献

- [1] Lu H, Seabaugh A 2014 *IEEE J. Electron Devices Soc.* **2** 44
- [2] Sangwan V K, Lee H S, Bergeron H, Balla I, Beck M E, Chen K S, Hersam M C 2018 *Nature* **554** 500
- [3] Yin S Q, Song C, Sun Y M, Qiao L L, Wang B L, Sun Y F, Liu K, Pan F, Zhang X Z 2019 *ACS Appl. Mater. Interfaces* **11** 43344
- [4] Wang L, Liao W G, Wong S L, Yu Z G, Li S F, Lim Y F, Feng X W, Tan W C, Huang X, Chen L, Liu L, Chen J S, Gong X, Zhu C X, Liu X K, Zhang Y W, Chi D Z, Ang K W 2019 *Adv. Funct. Mater.* **29** 1901106
- [5] Lee H S, Sangwan V K, Rojas W A G, Bergeron H, Jeong H Y, Yuan J T, Su K, Hersam M C 2020 *Adv. Funct. Mater.* **30** 2003683
- [6] Yang Y, Du H Y, Xue Q, Wei X H, Yang Z B, Xu C G, Lin D M, Jie W J, Hao J H 2019 *Nano Energy* **57** 566
- [7] Chen G L, Zhang L, Li L Y, Cheng F, Fu X, Li J H, Pan R K, Cao W Q, Chan A S, Panin G N, Wan J X, Zhang H, Liu C 2020 *J. Alloys Compd.* **823** 153697
- [8] Park H, Mastro M A, Tadjer M J, Kim J 2019 *Adv. Electron. Mater.* **5** 1900333
- [9] Zhao Y, Yu D Z, Liu Z, Li S J, He Z Y 2020 *IEEE Access* **8** 106726
- [10] Dragoman M, Dinescu A, Nastase F, Dragoman D 2020 *Nanomaterials* **10** 1404
- [11] Yu Y M, Yang F, Mao S S, Zhu S H, Jia Y F, Yuan L, Salmen M, Sun B 2018 *Chem. Phys. Lett.* **706** 477
- [12] Yu Z Q, Liu M L, Lang J X, Qian K, Zhang C H 2018 *Acta Phys. Sin.* **67** 157302 (in Chinese) [余志强, 刘敏丽, 郎建勋, 钱楷, 张昌华 2018 *物理学报* **67** 157302]
- [13] Meng F Y, Duan S K, Wang L D, Hu X F, Dong Z K 2015 *Acta Phys. Sin.* **64** 148501 (in Chinese) [孟凡一, 段书凯, 王丽丹, 胡小方, 董哲康 2015 *物理学报* **64** 148501]
- [14] Dongale T D, Mohite S V, Bagade A A, Kamat R K, Rajpure K Y 2017 *Microelectron. Eng.* **183-184** 12
- [15] Rajkumari R, Singh N K 2020 *ACS Appl. Nano Mater.* **3** 12087
- [16] Rodder M A, Vasishta S, Dodabalapur A 2020 *ACS Appl. Mater. Interfaces* **12** 33926
- [17] Xu L P, Duan Z H, Zhang P, Wang X, Zhang J Z, Shang L Y, Jiang K, Li Y W, Zhu L Q, Gong Y J, Hu Z G, Chu J H 2020 *ACS Appl. Mater. Interfaces* **12** 44902
- [18] Zhang S Q, Liu Y, Zhou J R, Ma M, Gao A Y, Zheng B J, Li L F, Su X, Han G Q, Zhang J C, Shi Y, Wang X M, Hao Y 2020 *Nanoscale Res. Lett.* **15** 157
- [19] Wang Y H, Li D Y, Lai X B, Liu B Y, Chen Y B, Wang F P, Wang R M, Zhang L W 2020 *Curr. Appl. Phys.* **20** 298
- [20] Ahmed Z, Shi Q, Ma Z C, Zhang L N, Guo H, Chan M S 2020 *IEEE Electron Device Lett.* **41** 171
- [21] Huang X N, Yao Y, Peng S G, Zhang D Y, Shi J Y, Jin Z 2020 *Materials* **13** 2896
- [22] Nalwa H S 2020 *RCS Adv.* **10** 30529
- [23] Sun Z H, Guan H M, Fu L, Shen B, Tang N 2021 *Acta Phys. Sin.* **70** 027302 (in Chinese) [孙真昊, 管鸿明, 付雷, 沈波, 唐宁 2021 *物理学报* **70** 027302]
- [24] Bao W Z, Cai X H, Kim D, Sridhara K, Fuhrer M S 2013 *Appl. Phys. Lett.* **102** 042104
- [25] Zhang J, Yu H, Chen W, Tian X Z, Liu D H, Cheng M, Xie G B, Yang W, Yang R, Bai X D, Shi D X, Zhang G Y 2014 *ACS Nano* **8** 6024
- [26] Yu H, Liao M Z, Zhao W J, Liu G D, Zhou X J, Wei Z, Xu X Z, Liu K H, Hu Z H, Deng K, Zhou S Y, Shi J A, Gu L, Shen C, Zhang T T, Du L J, Xie L, Zhu J Q, Chen W, Yang R, Shi D X, Zhang G Y 2017 *ACS Nano* **11** 12001
- [27] Li D, Wu B, Zhu X J, Wang J T, Ryu B, Lu W D, Lu W, Liang X G 2018 *ACS Nano* **12** 9240
- [28] Kim K S, Ji Y J, Kim K H, Choi S, Kang D H, Heo K, Cho S, Yim S, Lee S, Park J H, Jung Y S, Yeom G Y 2019 *Nat. Commun.* **10** 4701

# Resistive switching behavior and mechanism of multilayer MoS<sub>2</sub> memtransistor under control of back gate bias and light illumination<sup>\*</sup>

Deng Wen   Wang Li-Sheng<sup>†</sup>   Liu Jia-Ning   Yu Xue-Ling   Chen Feng-Xiang<sup>‡</sup>

(*Department of Physics Science and Technology, School of Science, Wuhan University of Technology, Wuhan 430070, China*)

( Received 20 April 2021; revised manuscript received 17 June 2021 )

## Abstract

Memtransistor is a new multi-terminal device which combines the properties of memristor and field effect transistor and simultaneously realizes information storage and processing. In this paper, the multilayer MoS<sub>2</sub> is prepared by micromechanical exploration method, then the back gate MoS<sub>2</sub> memtransistor with field effect transistor structure is fabricated, and the resistive switching characteristics and mechanism of the device under electric field, light field and their synergistic regulation are systematically studied. The experimental results show that the multilayer MoS<sub>2</sub> memtransistor has excellent bipolar resistance behavior and good cycle durability. Under the control of gate voltage, the switching ratio of the device can be tuned in a range of  $10^0-10^5$ , up to  $1.56 \times 10^5$ , which indicates that the device has a strong gating effect. Under the control of light illumination, the resistance characteristics of the device are strongly dependent on the incident wavelength. When photoelectric synergistic regulation is performed, the device displays excellent four-terminal control capability, and the switching ratio is enhanced up to  $4.8 \times 10^4$ . The mechanism of resistive switching characteristics can be attributed to the changes of charge capture state and Schottky barrier height at the interface between MoS<sub>2</sub> and metal electrodes, and the continuous photoconductance effect caused by photogenerated carriers in MoS<sub>2</sub> channel.

**Keywords:** MoS<sub>2</sub>, memtransistor, memristor, resistance switch characteristic

**PACS:** 73.40.Sx, 72.80.Ga, 73.40.-c

**DOI:** [10.7498/aps.70.20210750](https://doi.org/10.7498/aps.70.20210750)

---

<sup>\*</sup> Project supported by the National Natural Science Foundation of China (Grant No. 51702245) and the Fundamental Research Funds for the Central Universities, China (Grant No. WUT2020IB010).

<sup>†</sup> Corresponding author. E-mail: [wang\\_lesson@whut.edu.cn](mailto:wang_lesson@whut.edu.cn)

<sup>‡</sup> Corresponding author. E-mail: [phonixchen79@whut.edu.cn](mailto:phonixchen79@whut.edu.cn)