



纳米线环栅隧穿场效应晶体管的电容模型

芦宾 王大为 陈宇雷 崔艳 苗渊浩 董林鹏

Capacitance model for nanowire gate-all-around tunneling field-effect-transistors

Lu Bin Wang Da-Wei Chen Yu-Lei Cui Yan Miao Yuan-Hao Dong Lin-Peng

引用信息 Citation: *Acta Physica Sinica*, 70, 218501 (2021) DOI: 10.7498/aps.70.20211128

在线阅读 View online: <https://doi.org/10.7498/aps.70.20211128>

当期内容 View table of contents: <http://wulixb.iphy.ac.cn>

您可能感兴趣的其他文章

Articles you may be interested in

射线总剂量辐照对单轴应变Si纳米n型金属氧化物半导体场效应晶体管栅隧穿电流的影响

Influence of γ -ray total dose radiation effect on the tunneling gate current of the uniaxial strained Si nanometer n-channel metal-oxide-semiconductor field-effect transistor

物理学报. 2017, 66(7): 076101 <https://doi.org/10.7498/aps.66.076101>

铁电负电容场效应晶体管研究进展

Recent research progress of ferroelectric negative capacitance field effect transistors

物理学报. 2020, 69(13): 137701 <https://doi.org/10.7498/aps.69.20200354>

一个圆柱形双栅场效应晶体管的物理模型

A physical model of cylindrical surrounding double-gate metal-oxide-semiconductor field-effect transistor

物理学报. 2021, 70(15): 157302 <https://doi.org/10.7498/aps.70.20202156>

纳米尺度金属-氧化物半导体场效应晶体管沟道热噪声模型

A channel thermal noise model of nanoscaled metal-oxide-semiconductor field-effect transistor

物理学报. 2020, 69(5): 057101 <https://doi.org/10.7498/aps.69.20191512>

短沟道金属-氧化物半导体场效应晶体管的散粒噪声模型

Shot noise model of the short channel metal-oxide-semiconductor field-effect transistor

物理学报. 2020, 69(17): 177102 <https://doi.org/10.7498/aps.69.20200497>

单晶金刚石氢终端场效应晶体管特性

Characteristics of H-terminated single crystalline diamond field effect transistors

物理学报. 2017, 66(20): 208101 <https://doi.org/10.7498/aps.66.208101>

纳米线环栅隧穿场效应晶体管的电容模型*

芦宾¹⁾ 王大为¹⁾ 陈宇雷¹⁾ 崔艳¹⁾ 苗渊浩^{2)†} 董林鹏³⁾

1) (山西师范大学物理与信息工程学院, 临汾 041004)

2) (中国科学院微电子研究所, 微电子器件与集成技术重点实验室, 北京 100029)

3) (西安工业大学, 陕西省薄膜技术与光学检测重点实验室, 西安 710032)

(2021年6月15日收到; 2021年7月18日收到修改稿)

纳米线环栅隧穿场效应晶体管相比于其他多栅器件具有更强的短沟道效应抑制能力及更优异的电学特性. 器件模型能够模拟器件电学特性, 对于器件及电路的实际应用极为关键. 目前, 已有纳米线环栅隧穿场效应晶体管的电流模型报道, 但是尚没有电容模型的相关报道. 电容模型主要用于瞬态特性模拟, 对于评估电路速度转换和频率特性至关重要. 由于没有可用的电容模型, 纳米线环栅隧穿场效应晶体管电路方面的研究主要通过数值迭代的方法开展, 该方法不仅对硬件平台要求高, 且耗时长, 还容易出现收敛性问题, 只能勉强用于极小规模电路模块, 对于包含晶体管数目较多的电路无能为力. 本文针对以上问题, 从基本的器件物理出发, 建立了纳米线环栅隧穿场效应晶体管的电容模型, 该模型不涉及任何数值迭代过程. 相比于数值模型, 该模型计算速度快、过程稳定, 能够加速纳米线环栅隧穿场效应晶体管器件及电路的相关研究.

关键词: 隧穿场效应晶体管, 带带隧穿, 纳米线, 电容模型

PACS: 85.30.Tv, 85.35.-p, 73.40.Qv, 61.82.Fk

DOI: 10.7498/aps.70.20211128

1 引言

金属氧化物场效应晶体管 (metal-oxide-semiconductor field-effect-transistor, MOSFET) 的特征尺寸随着摩尔定律不断缩减, 使得集成电路集成度不断提高的同时, 器件短沟道效应也越来越严重, 导致其静态功耗已超过动态功耗成为集成电路的主要功耗来源. 隧穿场效应晶体管 (tunneling field-effect-transistor, TFET) 是 1 种利用量子隧穿机制导通电流的新型器件, 其可以突破 MOSFET 室温下 60 mV/dec 亚阈值摆幅极限, 实现更加陡峭的开关曲线, 同时降低泄漏电流及工作电压, 进一步降低集成电路功率损耗^[1-3]. 目前 TFET 已成为微电子领域的研究热点, 被认为是后摩尔时代最

有可能取代 MOSFET 推动高性能、低功耗集成电路持续发展的技术之一^[4].

尽管 TFET 能够实现十分陡峭的开关特性, 但是 TFET 也面临短沟道效应 (short channel effects, SCEs) 和漏感应势垒降低 (drain-induced barrier lowering, DIBL) 等非理想效应^[5,6], 这些效应导致 TFET 特性退化, 阻碍了 TFET 器件及电路的实际应用. 为了解决这些问题, 研究人员在 TFET 结构上做出了很多创新, 其中基于纳米线结构的环栅 TFET (gate-all-around TFET, GAA-TFET) 具有最高的沟道电势调控效率, 能够在很大程度上抑制 SCEs 和 DIBL 等非理想效应^[7], 同时由于栅电极对隧穿结的控制增强, GAA-TFET 比其他多栅结构表现出了更低的亚阈值摆幅和更高的隧穿电流^[6].

* 国家自然科学基金 (批准号: 62004119) 和山西省应用基础研究计划 (批准号: 201901D211400) 资助的课题.

† 通信作者. E-mail: miaoyuanhao@ime.ac.cn

鉴于 GAA-TFET 对非理想效应出色的抑制能力和优异的器件特性, 人们针对 GAA-TFET 的各个方面开展了大量研究, 其中器件模型可用于计算器件及电路特性, 对于 GAA-TFET 器件及电路的实际应用极为关键. 器件模型包括电流模型和电容模型, 其中电流模型可用于计算电路稳态支路电流和节点电压, 而电容模型可用于计算电路瞬态特性, 评估电路的速度转换和频率特性. 目前, 针对 GAA-TFET 的电流模型已有报道^[7-12], 但是尚未见其电容模型的报道. 由于缺乏 GAA-TFET 电容模型, 目前研究人员主要通过数值迭代的方法开展 GAA-TFET 电路设计方面的研究. 但是, 数值迭代对于硬件计算平台要求高, 而且除了计算速度慢, 耗时长外, 还容易出现收敛性问题, 仅能够勉强用于只包含几个器件的极小规模电路模块, 对于包含成百上千个器件的电路, 数值迭代方法则无能为力, 这也是目前关于 GAA-TFET 电路研究方面报道很少的原因之一.

本文针对以上问题, 从基本的器件物理出发, 建立了 GAA-TFET 的电容模型, 且该模型不涉及任何数值迭代过程. 相比于数值模型, 该模型计算速度快, 计算过程稳定, 能够加速 GAA-TFET 器件及电路的相关研究.

2 模型推导

2.1 电势模型

图 1(a) 为一个 n 型 GAA-TFET 的三维结构示意图, 其中纳米线的半径 $R = 7.5 \text{ nm}$, 采用 HfO_2 作为栅氧化层, 介电常数 $\epsilon_{\text{ox}} = 22$, 厚度为 $T_{\text{ox}} = 2 \text{ nm}$, 栅金属功函数为 4.2 eV . 图 1(b) 是 GAA-TFET 沿纳米线直径方向的剖面图, 本文主要关注器件核心物理机理的分析, 在模型推导过程中, 暂不考虑短沟道效应等二次非理想效应的影响, 因此器件栅长设置相对较长, 为 $L_g = 50 \text{ nm}$ ^[7]. 源区、沟道和漏区的掺杂浓度分别为 $N_S = 1 \times 10^{20} \text{ cm}^{-3}$ (P 型), $N_C = 1 \times 10^{15} \text{ cm}^{-3}$ (N 型) 和 $N_D = 5 \times 10^{19} \text{ cm}^{-3}$ (N 型). 器件剖面图可划分为 3 个区域, 分别为源耗尽区 I 区、沟道耗尽区 II 区以及沟道积累区 III 区, 其中 I 区和 II 区的宽度分别为 L_I 和 L_{II} .

在柱状坐标系下, I 区和 II 区的二维泊松方程如下:

$$\frac{1}{r} \frac{\partial}{\partial r} \left(r \frac{\partial \psi_j(r, z)}{\partial r} \right) + \frac{\partial^2 \psi_j(r, z)}{\partial z^2} = -\frac{qN_j}{\epsilon_{\text{Si}}}, \quad (1)$$

其中下标 $j = \text{I, II}$; q 为电子电荷; $\psi_j(r, z)$ 为二维电势分布; ϵ_{Si} 为沟道介电常数; N_j 为掺杂浓度. 通过抛物近似^[13], 沿纳米线直径方向的电势可以写为

$$\psi_j(r, z) = \varphi_{m,j}(z) + p_{1,j}(z)r + p_{2,j}(z)r^2, \quad (2)$$

式中 $\varphi_{m,j}(z)$ 为 $r = 0$ 处沿着沟道中心线方向的电势分布; $\varphi_{m,j}(z)$, $p_{1,j}(z)$ 和 $p_{2,j}(z)$ 是未知参量, 可通过边界条件求得. 由于器件的对称结构, 可得沿直径方向的电场在 $r = 0$ 处等于 0, 由此可得

$$\begin{cases} \left. \frac{\partial \psi_j(r, z)}{\partial r} \right|_{r=0} = 0, \\ \psi_j(r, z)|_{r=R} = \varphi_{S,j}(z), \end{cases} \quad (3)$$

其中 $\varphi_{S,j}(z)$ 为 $r = R$ 处沿沟道方向的电势分布, 即表面电势.

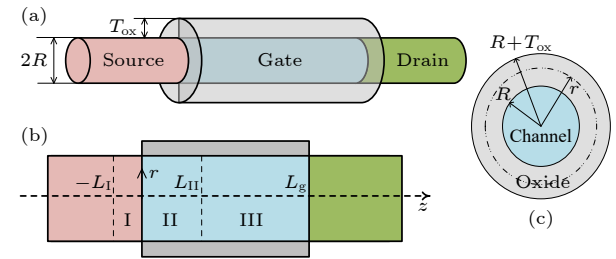


图 1 (a) GAA-TFET 的三维结构示意图; (b) GAA-TFET 沿沟道方向的剖面示意图; (c) GAA-TFET 垂直于沟道方向的剖面示意图

Fig. 1. (a) Three-dimensional structure of GAA TFETs. Schematic cross section of an n-type GAA TFET (b) along the channel and (b) normal to the channel direction.

此外, 在垂直氧化层与硅界面的方向上电位移矢量保持连续, 为求解氧化层中靠近沟道界面处的电场, 图 1(c) 给出了垂直沟道方向的截面图, 对于任意半径为 r 的闭环, 假设电场为 $E(r)$, 沟道电荷为 Q , 根据高斯定理, 得 $2\pi r L_g E(r) \epsilon_{\text{ox}} = Q$. 对于某一固定栅电压, Q 是 1 个常数, 因此对等式两边进行微分, 可得

$$E(r) + r \frac{dE(r)}{dr} = 0, \quad (4)$$

其通解为

$$E(r) = F/r, \quad (5)$$

其中 F 为常数. 沟道表面电势与栅电极之间的电势差为

$$V_G - V_{FB} - \varphi_S(z) = \int_R^{R+T_{ox}} \frac{F}{r} dr, \quad (6)$$

式中 V_{FB} 为平带电压, V_G 为栅电压. 由 (6) 式求得 F 并代入 (5) 式可得

$$E(r) = \frac{V_G - V_{FB} - \varphi_S(z)}{r \ln(1 + T_{ox}/R)}. \quad (7)$$

由此可以得到栅氧化层中沟道附近的电场为 $E(R) = (V_G - V_{FB} - \varphi_S(z))/t_{ox}$, 其中 $t_{ox} = R \ln(1 + T_{ox}/R)$ 相当于平面器件中的栅氧化层厚度. 需要注意的是, 在平面器件中, 考虑栅氧化层边界泄漏电场对 I 区的影响, I 区可被等效为环绕了一层厚度为 $\pi t_{ox}/2$ 的氧化层 [14]. 由此根据电位移矢量连续可得

$$\left. \frac{\partial \psi_j(r, z)}{\partial r} \right|_{r=R} = \frac{\varepsilon_{ox}}{\varepsilon_{Si}} \left(\frac{V_G - V_{FB,j} - \varphi_{S,j}(z)}{t_{ox,j}} \right), \quad (8)$$

其中对于 I 区, $t_{ox,j} = \pi t_{ox}/2$, 对于 II 区, $t_{ox,j} = t_{ox}$. 联立求解 (3) 式和 (8) 式可得

$$\begin{cases} p_{1,j}(z) = 0, \\ p_{2,j}(z) = \frac{\varepsilon_{ox}}{2R\varepsilon_{Si}} \left(\frac{V_G - V_{FB,j} - \varphi_{S,j}(z)}{t_{ox,j}} \right), \\ \varphi_{m,j}(z) = \varphi_{S,j}(z) - p_{2,j}(z) R^2. \end{cases} \quad (9)$$

把 (2) 式与 (9) 式代入 (1) 式, 即可得到简化的一维泊松方程:

$$\frac{d^2 \varphi_{S,j}(z)}{dz^2} - \frac{\varphi_{S,j}(z) - (V_G - V_{FB,j})}{\lambda_j^2} = -\frac{qN_j}{\varepsilon_{Si}}, \quad (10)$$

$$\lambda_I = [R\varepsilon_{Si}\pi t_{ox}/(4\varepsilon_{ox})]^{1/2}, \quad \lambda_{II} = [R\varepsilon_{Si}t_{ox}/(2\varepsilon_{ox})]^{1/2},$$

(10) 式的通解为

$$\begin{aligned} \varphi_{S,j}(z) = & A_j \exp\left(-\frac{z}{\lambda_j}\right) + B_j \exp\left(+\frac{z}{\lambda_j}\right) \\ & + \left(V_G - V_{FB,j} - \frac{qN_j}{\varepsilon_{Si}} \lambda_j^2 \right), \end{aligned} \quad (11)$$

其中 A_j 和 B_j 为待求解系数. 对于 I 区, 将 (11) 式在 $z = -L_I$ 附近展开并仅保留常数项与二次项, 可以得到 I 区的表面电势为

$$\begin{aligned} \varphi_{S,I}(z) = & C \left[1 + \frac{1}{2\lambda_I^2} (z + L_I)^2 \right] \\ & + \left(V_G - V_{FB,I} - \frac{qN_I}{\varepsilon_{Si}} \lambda_I^2 \right), \end{aligned} \quad (12)$$

其中 C 未知, 可以通过边界条件 $\varphi_{S,I}(-L_I) = V_{BS}$ 求得, $V_{BS} = V_S - V_t \ln(N_I/n_{i,I})$ 为中性源区电势, V_S 为源电极电压, V_t 是热电压, $n_{i,I}$ 是本征载流子浓度,

求得 C 为

$$C = V_{BS} - \left(V_G - V_{FB,I} - \frac{qN_I}{\varepsilon_{Si}} \lambda_I^2 \right). \quad (13)$$

将 (13) 式代入 (12) 式求得 I 区表面电势分布为

$$\begin{cases} \varphi_{S,I}(z) = \frac{qN_{\text{eff}}}{2\varepsilon_{Si}} (z + L_I)^2 + V_{BS}, \\ N_{\text{eff}} = N_I - \frac{\varepsilon_{Si}}{q\lambda_I^2} (V_G - V_{FB,I} - V_{BS}). \end{cases} \quad (14)$$

对于 II 区, II 区与 III 区边界面上的电场和电势保持连续, 然而需要注意的是 III 区为积累区, 在 III 区中存在高浓度的电子, 这些电子在很大程度上屏蔽了栅、漏电场的作用, 因此 III 区中的电场很小, 为了简化模型推导, 假设 III 区中电场为零, 即可求得系数 A_{II} 和 B_{II} :

$$\begin{cases} A_{II} = \frac{1}{2} \left[\varphi_{\text{ch}} - \left(V_G - V_{FB,II} - \frac{qN_{II}\lambda_{II}^2}{\varepsilon_{Si}} \right) \right] \\ \quad \times \exp\left(+\frac{L_{II}}{\lambda_{II}}\right), \\ B_{II} = \frac{1}{2} \left[\varphi_{\text{ch}} - \left(V_G - V_{FB,II} - \frac{qN_{II}\lambda_{II}^2}{\varepsilon_{Si}} \right) \right] \\ \quad \times \exp\left(-\frac{L_{II}}{\lambda_{II}}\right), \end{cases} \quad (15)$$

式中 φ_{ch} 是 III 区表面电势, 将 (15) 式代入 (11) 式, 求得 II 区表面电势分布为

$$\begin{aligned} \varphi_{S,II}(z) = & \left(V_G - V_{FB,II} - \frac{qN_{II}\lambda_{II}^2}{\varepsilon_{Si}} \right) \\ & + \left[\varphi_{\text{ch}} - \left(V_G - V_{FB,II} - \frac{qN_{II}\lambda_{II}^2}{\varepsilon_{Si}} \right) \right] \cosh\left(\frac{z - L_{II}}{\lambda_{II}}\right). \end{aligned} \quad (16)$$

对于 III 区, 其表面电势 φ_{ch} 可写为 [15]

$$\begin{aligned} \varphi_{\text{ch}} = & F + V_t \ln \left(\frac{1}{V_t} \left\{ V_t + \frac{\sqrt{F}}{\sqrt{F} + \gamma} (V_G - V_{FB,II} - F) \right. \right. \\ & + \frac{1}{2} \left[\frac{\sqrt{F}}{(\sqrt{F} + \gamma)^2} - \frac{\gamma(F-2)}{2(\sqrt{F} + \gamma)^3} \right] \\ & \left. \left. \times (V_G - V_{FB,II} - F)^2 \right\} \right), \end{aligned} \quad (17)$$

其中 F 和 $\varphi_{\text{ch,dep}}$ 为

$$F = \frac{1}{2} \left[V_D + \phi + \varphi_{\text{ch,dep}} - \sqrt{(\varphi_{\text{ch,dep}} - V_D - \phi)^2 + \delta^2} \right], \quad (18)$$

$$\varphi_{\text{ch,dep}} = \left[\sqrt{V_G - V_{\text{FB,II}} + \frac{\gamma^2}{4}} - \frac{\gamma}{2} \right]^2, \quad (19)$$

式中 $\gamma = (2\varepsilon_{\text{Si}}qN_{\text{II}})^{1/2}/(\varepsilon_{\text{ox}}/t_{\text{ox}})$, $\delta = 0.04$ 为平滑因子, $\phi = V_t \ln(N_{\text{inv}}/n_{i,\text{II}})$ 是屏蔽电势, $N_{\text{inv}} = 2.5 \times 10^{19} \text{ cm}^{-3}$ 是 1 个从 TCAD 仿真中提取出来的经验参数.

至此未知量只剩 I 区和 II 区的宽度 L_{I} 和 L_{II} . 假设 $z = 0$ 处, 即 I/II 界面处表面电势为 $\varphi_{\text{S}}(0)$, 由 (14) 式和 (16) 式可以得到 L_{I} 和 L_{II} 如下:

$$\begin{cases} L_{\text{I}} = \sqrt{\frac{2\varepsilon_{\text{Si}}}{qN_{\text{eff}}}} \sqrt{\varphi_{\text{S}}(0) - V_{\text{BS}}}, \\ L_{\text{II}} = \lambda_{\text{II}} \cosh^{-1} \left[\frac{\varphi_{\text{S}}(0) - \left(V_G - V_{\text{FB,II}} - \frac{qN_{\text{II}}\lambda_{\text{II}}^2}{\varepsilon_{\text{Si}}} \right)}{\varphi_{\text{ch}} - \left(V_G - V_{\text{FB,II}} - \frac{qN_{\text{II}}\lambda_{\text{II}}^2}{\varepsilon_{\text{Si}}} \right)} \right]. \end{cases} \quad (20)$$

$\varphi_{\text{S}}(0)$ 是目前唯一的未知量, 为了求解 $\varphi_{\text{S}}(0)$, 可将 L_{I} 和 L_{II} 分别代入 (14) 式和 (16) 式, 利用 $z = 0$ 处电势连续, 可以得到 $\varphi_{\text{S}}(0)$ 满足如下方程:

$$\begin{cases} 0 = \frac{2qN_{\text{eff}}\lambda_{\text{II}}^2}{\varepsilon_{\text{Si}}} [\varphi_{\text{S}}(0) - V_{\text{BS}}] - \frac{\varepsilon_{\text{Si}}^2}{\lambda_{\text{II}}^2} \left[\varphi_{\text{ch}} - \left(V_G - V_{\text{FB,II}} - \frac{qN_{\text{II}}\lambda_{\text{II}}^2}{\varepsilon_{\text{Si}}} \right) \right]^2 R^2, \\ H = \frac{\varphi_{\text{S}}(0) - \left(V_G - V_{\text{FB,II}} - \frac{qN_{\text{II}}\lambda_{\text{II}}^2}{\varepsilon_{\text{Si}}} \right)}{\varphi_{\text{ch}} - \left(V_G - V_{\text{FB,II}} - \frac{qN_{\text{II}}\lambda_{\text{II}}^2}{\varepsilon_{\text{Si}}} \right)}, \\ R = \sinh(\cosh^{-1} H). \end{cases} \quad (21)$$

借助公式变换 $\sinh(\cosh^{-1} H) = (H^2 - 1)^{1/2}$, 求解 (21) 式, 可得 $\varphi_{\text{S}}(0)$ 为

$$\begin{cases} \varphi_{\text{S}}(0) = \frac{-b - \sqrt{b^2 - 4c}}{2}, \\ b = 2 \left(V_G - V_{\text{FB,II}} - \frac{qN_{\text{II}}\lambda_{\text{II}}^2}{\varepsilon_{\text{Si}}} + \frac{qN_{\text{eff}}\lambda_{\text{II}}^2}{\varepsilon_{\text{Si}}} \right), \\ c = 2\varphi_{\text{ch}} \left(V_G - V_{\text{FB,II}} - \frac{qN_{\text{II}}\lambda_{\text{II}}^2}{\varepsilon_{\text{Si}}} \right) - \varphi_{\text{ch}}^2 + \frac{2qN_{\text{eff}}\lambda_{\text{II}}^2 V_{\text{BS}}}{\varepsilon_{\text{Si}}}. \end{cases} \quad (22)$$

2.2 电容模型

在 TFET 中, 源区与沟道区之间的隧穿结本质上是个高势垒的反偏结, 势垒两侧载流子很难通

过热发射相互流通, 因此, 可以假设源电荷 Q_{S} 主要为势垒左侧的源区耗尽区电荷, 而漏电荷 Q_{D} 主要为势垒右侧的电荷, 这样器件源端电荷 Q_{S} 可以表示为

$$Q_{\text{S}} = -qN_{\text{eff}}\pi R^2 L_{\text{I}}. \quad (23)$$

漏端电荷 Q_{D} 主要包括沟道中 III 区中的可动载流子以及漏区边缘电荷:

$$Q_{\text{D}} = -2\pi R(L_{\text{g}} - L_{\text{II}})(\varepsilon_{\text{ox}}/\varepsilon_{\text{ox}})(V_G - V_{\text{FB,III}} - \phi_{\text{ch,III}}) + \pi R^2 \varepsilon_{\text{Si}} E_{\text{max}}, \quad (24)$$

其中 $E_{\text{max}} = (V_{\text{BD}} - \varphi_{\text{ch}})/\lambda_{\text{II}}$, $V_{\text{BD}} = V_{\text{D}} + V_{\text{t}} \times \log(N_{\text{D}}/n_{\text{i}})$ 为中性漏区电势, V_{D} 为漏电极电压. 栅电荷 Q_{G} 、源电荷 Q_{S} 和漏电荷 Q_{D} 满足电荷守恒关系:

$$Q_{\text{G}} + Q_{\text{S}} + Q_{\text{D}} = 0. \quad (25)$$

将端电荷分别对相应的端电压进行求导便可得到端电容, 然而由于上述电势的表达式十分复杂, 难以推导出解析的导数表达式. 采用差分的方式, 求解端电容的表达式如下:

$$\begin{cases} C_{\text{gg}}(V_{\text{G}}) = \left. \frac{dQ_{\text{G}}}{dV_{\text{G}}} \right|_{V_{\text{G}}} \\ = \frac{Q_{\text{G}}(V_{\text{G}} + \Delta V) - Q_{\text{G}}(V_{\text{G}} - \Delta V)}{2\Delta V}, \\ C_{\text{gs}}(V_{\text{G}}) = \left. \frac{dQ_{\text{S}}}{dV_{\text{G}}} \right|_{V_{\text{G}}} \\ = \frac{Q_{\text{S}}(V_{\text{G}} + \Delta V) - Q_{\text{S}}(V_{\text{G}} - \Delta V)}{2\Delta V}, \\ C_{\text{gd}}(V_{\text{G}}) = \left. \frac{dQ_{\text{D}}}{dV_{\text{G}}} \right|_{V_{\text{G}}} \\ = \frac{Q_{\text{D}}(V_{\text{G}} + \Delta V) - Q_{\text{D}}(V_{\text{G}} - \Delta V)}{2\Delta V}, \end{cases} \quad (26)$$

式中 C_{gg} , C_{gs} 和 C_{gd} 分别为栅电容、栅源电容和栅漏电容, ΔV 为差分步长.

3 模型验证

通过 TCAD 二维数值仿真验证所建立模型的准确性, 为了能够考虑非均匀电场对隧穿过程的影响, TCAD 仿真采用非局域带带隧穿模型计算载流子隧穿路径和概率. 此外, 还考虑了掺杂相关的迁移率模型、高电场速度饱和模型以及 Shockley-Read-Hall 复合等模型.

图 2 给出了所计算的表面电势分布, 模型计算

结果与 TCAD 结果符合一致, 表明所建立的电势模型的准确性. 图 2(a) 为 $V_D = 1.0$ V 时不同 V_G 下的电势分布, 可以看到, 随着 V_G 的增大, 沟道电势逐渐升高, 隧穿结附近电势逐渐变得陡峭, 意味着隧穿电场也在逐渐变大, 因此隧穿概率和电流也会随着 V_G 增大而逐步增大. 然而, 当 V_G 逐步增大到 1.2 V 后, 表面电势的升高开始放缓, 这是由于随着电势的升高, 沟道中感应出了大量可动载流子, 屏蔽了 V_G 对表面电势的影响.

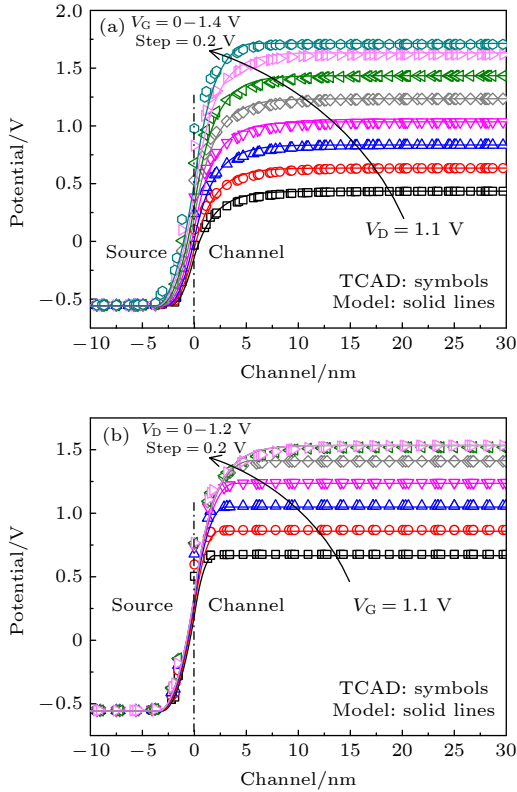


图 2 表面电势随不同的 (a) V_G 和 (b) V_D 的变化
Fig. 2. Variation of surface potential with different (a) V_G and (b) V_D .

虽然沟道中感应出的大量载流子弱化了 V_G 对沟道电势的控制效率, 但是也减小了沟道电阻, 使得漏电场很容易穿透进入沟道, 甚至到达隧穿结附近, 调控隧穿电场及隧穿电流, 如图 2(b) 所示. 在 $V_G = 1.1$ V 时, 沟道电势随 V_G 增大而增大, 然而当 V_D 增大到 1.0 V 以后, 沟道电势几乎不随 V_D 变化而变化, 这是因为随着 V_D 的增大, 沟道中大量载流子被吸引回到漏区, 沟道逐步变为耗尽状态, 沟道电阻增大, 漏电场无法穿透进入沟道, 而是被阻挡在沟道与漏区界面附近, 因此 V_D 失去了对沟道电势的调控能力, 这时沟道电势又回到受

V_G 控制的状态.

由以上分析可以发现, 沟道电势是受到 V_G 和 V_D 的交替调控的, 当沟道处于耗尽状态时, 主要受到 V_G 控制; 当沟道处于积累状态时, 主要受到 V_D 控制.

图 3 是各个端电荷随偏置电压的变化情况. 可以看出, Q_G 主要由 Q_D 组成, 而 Q_S 的影响很小, 几乎可以忽略. 此外, Q_G 随着 V_G 的增大而增大, 随着 V_D 增大而减小, 这是因为栅电场的影响是把电子从漏区吸引到沟道中, 倾向于使得沟道变为积累状态, 而漏电场的影响则是把沟道中的电子吸回到漏区, 倾向于使沟道变为耗尽状态, 这与 V_G 和 V_D 对沟道电势的交替调控作用是一致的.

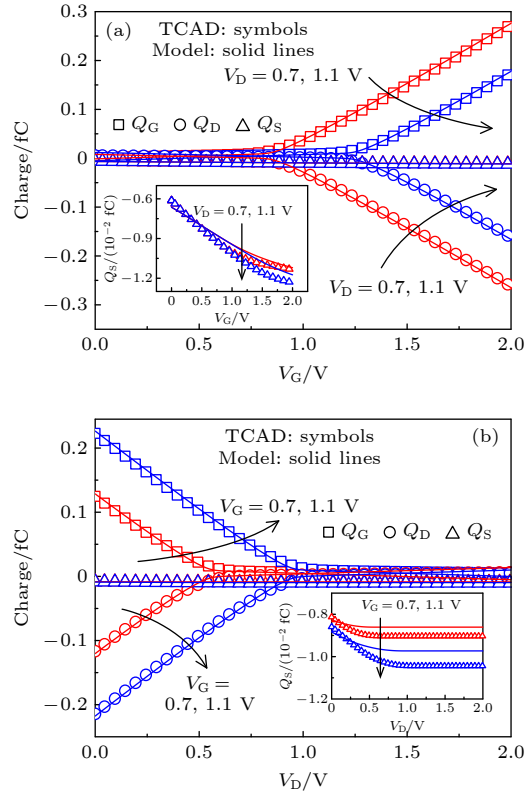


图 3 端电荷随不同的 (a) V_G 和 (b) V_D 的变化
Fig. 3. Variation of terminal charges with different (a) V_G and (b) V_D .

图 3(a) 中的插图给出了 Q_S 随 V_G 的变化情况. 可以看出, Q_S 随着 V_G 增大而增大, Q_S 主要取决于源区耗尽宽度 L_T , 随着 V_G 增大, 隧穿结附近电势升高, 源耗尽宽度展宽, 因此 Q_S 变大. 然而, 图 3(b) 插图中 Q_S 随 V_D 的变化情况与 V_G 有所不同, 随着 V_D 增大, Q_S 先是逐渐增大, 而后保持不变, 这是由于沟道中载流子浓度较高时, 沟道电阻

较小,漏电场可以穿透沟道,到达隧穿结附近,调控隧穿结附近电势及源耗尽宽度 L_1 ,但是随着 V_D 增大,沟道载流子浓度降低,电阻变大,漏电场失去了对隧穿结附近电势的控制,因此 L_1 和 Q_S 也不受 V_D 调控.

模型计算的端电荷与 TCAD 结果取得了较好的一致性, Q_S 的计算误差较大是因为在计算 I 区内耗尽电荷时,简单地把 I 区看作一个圆柱体,也就是在图 1(b) 中将 I 区作为一个矩形处理,实际上 $\varphi_S(0)$ 在整个源/沟道界面上是变化的,因此 I 区的耗尽宽度在 r 方向上并非常数,也就是图 1(b) 中 I 区的形状并不是严格的矩形. 矩形假设以及在 I 区电势推导中采用的泰勒级数展开所引入的误差,最终导致 Q_S 计算偏差较大,但是所建立的模型从基本的器件物理出发,仍然能够正确地解释 Q_S 随偏置电压的变化趋势和规律.

图 4 给出了模型和 TCAD 所计算的电容特性. 可以看出,模型所计算的电容与 TCAD 结果取得了很好的一致性,能够准确描述电容变化的基本规律. C_{gg} 随 V_G 增大而增大,随着 V_D 增大而减小,与图 3 中端电荷的变化规律一致. 此外,还能够看

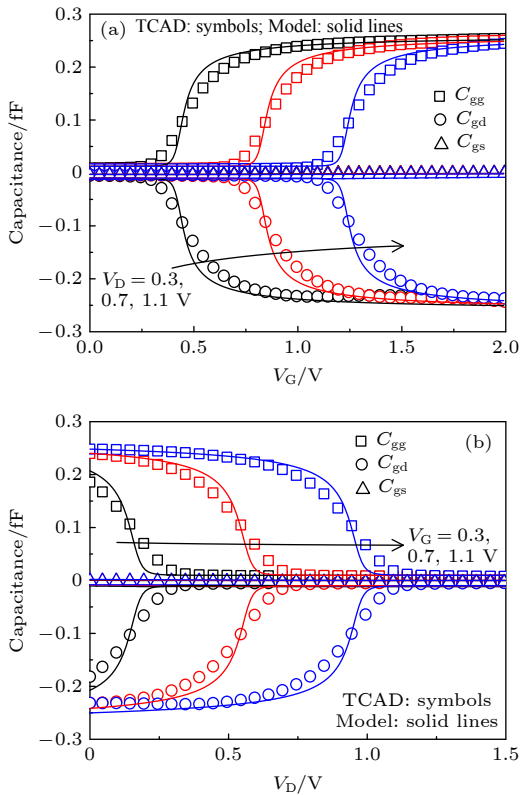


图 4 端电容随不同的 (a) V_G 和 (b) V_D 的变化

Fig. 4. Variation of terminal capacitances with different (a) V_G and (b) V_D .

到,栅电容 C_{gg} 主要由栅漏电容 C_{gd} 组成,栅源电容 C_{gs} 的贡献几乎可以忽略,这就导致 GAA-TFET 具有较大的米勒电容. 在数字电路中,米勒电容效应将引起大的信号过冲以及延迟,不利于电路特性的提升,这一效应的影响可以通过采用异质栅结构进行缓解.

另外,需要注意 Si 材料禁带宽度大,且属于间接带隙半导体,载流子隧穿需要额外声子辅助,载流子隧穿概率和隧穿电流十分低,难以满足器件实际应用需求 [3]. 相比之下, InAs 材料禁带宽度窄,属于直接带隙,利于提高载流子隧穿概率,提高 TFET 器件特性 [16]. 从以上分析可以看出,虽然本文主要研究了 Si 基 GAA-TFET 器件,但是模型推导并非针对某一特定材料,因此,本文所提出的模型具有一定程度的材料普适性,能够适用于更适合 TFET 设计的 InAs 等 III-V 族材料. 图 5 给出了模型所计算的 InAs GAA-TFET 器件表面电势及端电容特性,可以看到模型能够精准预测器件表面电势变化,准确描述器件电容基本变化规律.

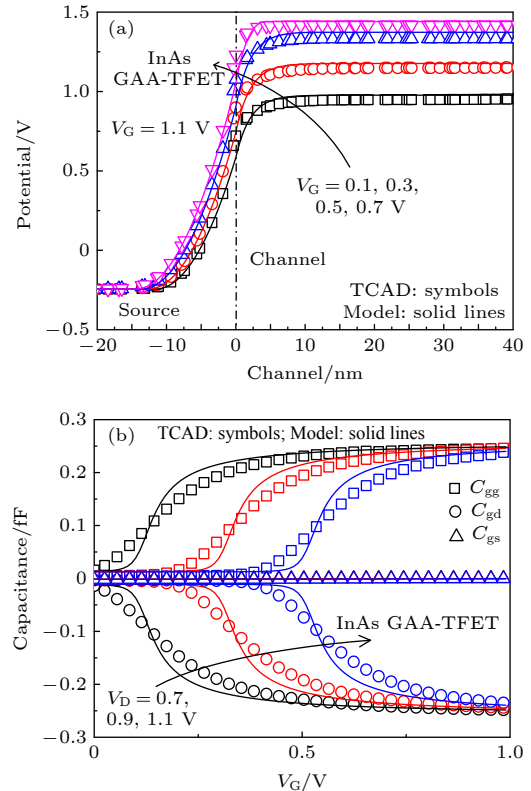


图 5 InAs 基 GAA-TFET 器件 (a) 表面电势和 (b) 端电容随 V_G 的变化

Fig. 5. Variation of the (a) surface potential and (b) terminal capacitance with different V_G for an InAs based GAA-TFET.

4 结 论

本文从 GAA-TFET 的基本器件物理出发, 建立了其表面电势和电容模型, 所建立模型计算结果与 TCAD 数值计算结果取得了很好的一致性, 能够准确描述 GAA-TFET 中栅、漏电压对表面电势的交替调控原理以及端电容的变化规律, 表明所建立模型的准确性. 此外, 所建立的模型不涉及任何数值迭代过程, 相比于数值模型, 该模型计算速度快, 计算过程稳定, 能够用于 GAA-TFET 器件及电路的相关研究.

参考文献

- [1] Cheng W J, Liang R R, Xu G B, Yu G F, Zhang S Q, Yin H X, Zhao C, Ren T L, Xu J 2020 *IEEE J. Electron Device Soc.* **8** 336
- [2] Lu B, Cui Y, Guo A X, Wang D W, Lv Z J, Zhou J R, Miao Y H 2021 *IEEE Trans. Electron Device* **68** 1537
- [3] Li W C, Jason C S W 2020 *IEEE Trans. Electron Device* **67** 1480
- [4] Lu B, Lu H L, Zhang Y M, Zhang Y M, Cui X R, Lv Z J, Liu C 2018 *IEEE Trans. Electron Device* **65** 3555
- [5] Shao Q M, Zhao C, Wu C, Zhang J Y, Zhang L, Yu Z P 2013 *Proceedings of the IEEE International Conference of Electron Devices and Solid-state Circuits* Hong Kong, China, June 3-5, 2013 p13844517
- [6] Anne S, Bart S, Daniele L, William G V, Guido G 2010 *J. Appl. Phys.* **107** 24518
- [7] Mathieu L, Gerhard K 2009 *IEEE Electron Device Lett.* **30** 602
- [8] Danial K, Saeed M, Morteza F 2019 *IEEE Trans. Electron Device* **66** 3646
- [9] Guan Y, Li Z, Zhang W, Zhang Y, Liang F 2018 *IEEE Trans. Electron Device* **65** 776
- [10] Ajay, Rakhi N, Manoj S, Mridula G 2019 *IEEE Sens. J.* **19** 2605
- [11] Navjeet B, Sudeb D 2017 *IEEE Trans. Electron Device* **64** 606
- [12] Hamid R T K, Saeed M 2016 *IEEE Trans. Electron Device* **63** 5021
- [13] Lyu Z J, Lu H L, Zhang Y M, Zhang Y M, Lu B, Cui X R, Zhao Y X 2018 *IEEE Trans. Electron Device* **65** 4988
- [14] Lin S C, Kuo J B 2003 *IEEE Trans. Electron Device* **50** 2559
- [15] Wu C L, Huang R, Huang Q Q, Wang C, Wang J X, Wang Y Y 2014 *IEEE Electron Device Lett.* **61** 2690
- [16] Ionescu A M, Riel H 2011 *Nature* **479** 329

Capacitance model for nanowire gate-all-around tunneling field-effect-transistors*

Lu Bin¹⁾ Wang Da-Wei¹⁾ Chen Yu-Lei¹⁾ Cui Yan¹⁾
Miao Yuan-Hao^{2)†} Dong Lin-Peng³⁾

1) (*School of Physics and Information Engineering, Shanxi Normal University, Linfen 041004, China*)

2) (*Key laboratory of Microelectronic Devices & Integrated Technology, Institute of Microelectronics, Chinese Academy of Sciences, Beijing 100029, China*)

3) (*Shaanxi Province Key Laboratory of Thin Films Technology & Optical Test, Xi'an Technological University, Xi'an 710032, China*)

(Received 15 June 2021; revised manuscript received 18 July 2021)

Abstract

The nanowire gate-all-around (GAA) structures with the nearly ultimate channel electrostatic integrity of the gate field can exhibit the best immunity to the short channel effect and drain-induced barrier lowering. Moreover, owing to the enhanced control efficiency of gate over the tunneling junction, the GAA-TFET also gives improved subthreshold swing and on-state current. Despite the excellent device performance, an accurate model is very significant for the practical application. Compared with the numerical methods which are usually time consuming and computationally inefficient, an analytical model could accelerate the device investigation and circuit design process. Even though some tunneling current models have already been reported for nanowire tunneling field-effect-transistors (TFETs), the model of the terminal capacitance is still an issue for nanowire TFETs. The capacitance is of great significance for the transient simulation. In this paper, a physical and analytical potential model considering both the source depletion region and the channel mobile charges, is developed for the GAA-TFETs. The results from the model are verified with the numerical simulations, and the excellent agreement between the two results indicates the validation of the proposed model. Based on the potential model, the terminal charge model and the capacitance model are further developed and also verified by the numerical simulations. The main inflection and variation of the terminal charges and capacitances with the biases can be predicted by our model. Besides, both the model results and the numerical simulations both demonstrate that the gate charge is dominated mainly by the drain charges and the contribution of the source charges can be almost neglected. This also leads to the very small gate-source capacitance and very large Miller capacitance in the TFET device. This will be detrimental to the performance of TFET-based digital circuits but can be mitigated with the hetero-oxide gate structure. The second order effects, such as the quantum confinement and traps, are ignored in this paper and can be taken into the core model in the future work. It should also be noted that there is no iterative process involved during the model derivation, thus the developed model can be easily applied to the widely used SPICE platform and will be useful in designing and investigating the GAA-TFET based circuits.

Keywords: tunneling field-effect-transistor, band-to-band tunneling, nanowire, capacitance model

PACS: 85.30.Tv, 85.35.-p, 73.40.Qv, 61.82.Fk

DOI: 10.7498/aps.70.20211128

* Project supported by the National Natural Science Foundation of China (Grant No. 62004119) and the Applied Basic Research Plan of Shanxi Province, China (Grant No. 201901D211400).

† Corresponding author. E-mail: miaoyuanhao@ime.ac.cn