



高温对MOSFET ESD防护器件维持特性的影响

李明珠 蔡小五 曾传滨 李晓静 李多力 倪涛 王娟娟 韩郑生 赵发展

Effect of high-temperature on holding characteristics in MOSFET ESD protecting device

Li Ming-Zhu Cai Xiao-Wu Zeng Chuan-Bin Li Xiao-Jing Li Duo-Li Ni Tao Wang Juan-Juan Han Zheng-Sheng Zhao Fa-Zhan

引用信息 Citation: *Acta Physica Sinica*, 71, 128501 (2022) DOI: 10.7498/aps.71.20220172

在线阅读 View online: <https://doi.org/10.7498/aps.71.20220172>

当期内容 View table of contents: <http://wulixb.iphy.ac.cn>

您可能感兴趣的其他文章

Articles you may be interested in

短沟道金属-氧化物半导体场效应晶体管的散粒噪声模型

Shot noise model of the short channel metal-oxide-semiconductor field-effect transistor

物理学报. 2020, 69(17): 177102 <https://doi.org/10.7498/aps.69.20200497>

纳米尺度金属-氧化物半导体场效应晶体管沟道热噪声模型

A channel thermal noise model of nanoscaled metal-oxide-semiconductor field-effect transistor

物理学报. 2020, 69(5): 057101 <https://doi.org/10.7498/aps.69.20191512>

绝缘体上硅金属氧化物半导体场效应晶体管中辐射导致的寄生效应研究

Radiation induced parasitic effect in silicon-on-insulator metal-oxide-semiconductor field-effect transistor

物理学报. 2018, 67(21): 216102 <https://doi.org/10.7498/aps.67.20181372>

U型槽刻蚀工艺对GaN垂直沟槽型金属-氧化物-半导体场效应晶体管电学特性的影响

Effect of U-shape trench etching process on electrical properties of GaN vertical trench metal-oxide-semiconductor field-effect transistor

物理学报. 2020, 69(9): 098501 <https://doi.org/10.7498/aps.69.20191850>

一个圆柱形双栅场效应晶体管的物理模型

A physical model of cylindrical surrounding double-gate metal-oxide-semiconductor field-effect transistor

物理学报. 2021, 70(15): 157302 <https://doi.org/10.7498/aps.70.20202156>

面向高温介电储能应用的聚合物基电介质材料研究进展

Research progress of polymer based dielectrics for high-temperature capacitor energy storage

物理学报. 2020, 69(21): 217701 <https://doi.org/10.7498/aps.69.20201006>

高温对 MOSFET ESD 防护器件维持特性的影响*

李明珠¹⁾²⁾ 蔡小五¹⁾ 曾传滨¹⁾ 李晓静^{1)†} 李多力¹⁾
倪涛¹⁾ 王娟娟¹⁾ 韩郑生¹⁾²⁾ 赵发展¹⁾

1) (中国科学院微电子研究所, 硅器件中心重点实验室, 北京 100029)

2) (中国科学院大学, 北京 100049)

(2022 年 1 月 24 日收到; 2022 年 3 月 9 日收到修改稿)

静电放电 (electro-static discharge, ESD) 防护结构的维持电压是决定器件抗闩锁性能的关键参数, 但 ESD 器件参数的热致变化使得防护器件在高温环境中存在闩锁风险. 本文研究了 ESD 防护结构 N 沟道金属-氧化物-半导体 (N-channel metal oxide semiconductor, NMOS) 在 30—195 °C 的工作温度下的维持特性. 研究基于 0.18 μm 部分耗尽绝缘体上硅工艺下制备的 NMOS 器件展开. 在不同的工作温度下, 使用传输线脉冲测试系统测试器件的 ESD 特性. 实验结果表明, 随着温度的升高, 器件的维持电压降低. 通过半导体工艺及器件模拟工具进行二维建模及仿真, 提取并分析不同温度下器件的电势、电流密度、静电场、载流子注入浓度等物理参数的分布差异. 通过研究以上影响维持电压的关键参数随温度的变化规律, 对维持电压温度特性的内在作用机制进行了详细讨论, 并提出了改善维持电压温度特性的方法.

关键词: 静电放电, 金属-氧化物-半导体场效应晶体管, 维持电压, 高温

PACS: 85.30.De, 41.20.Cv, 85.30.Mn

DOI: 10.7498/aps.71.20220172

1 引言

静电放电 (electro-static discharge, ESD) 失效是导致集成电路故障的主要原因之一, 几十年来一直威胁着半导体器件及电路的可靠性^[1-3]. ESD 保护结构经常被用于集成电路的 ESD 防护设计中^[4,5]. 一般来说, ESD 防护结构设计应遵循 ESD 设计窗口, 即触发电压小于栅氧击穿电压以避免损坏内部电路, 维持电压大于电源工作电压以避免闩锁^[6-8]. 集成电路的封装和部分操作在某些情况下是在高温环境中进行的^[9], 由于 ESD 参数的热致变化^[10], 高温工作环境会导致 ESD 保护结构的参数偏离 ESD 设计窗口, 当维持电压降低至工作电压以下时, 器件会有闩锁风险, 这种热致参数变化使得

ESD 保护设计变得更加复杂. 因此有必要系统、全面地分析 ESD 保护结构的温度变化特性, 以确保带有 ESD 防护设计的集成电路在高温环境中工作的可靠性. MOSFET 是一种常用的 ESD 防护结构. Li 等^[11] 研究了二极管、二极管串及栅接地 N 沟道金属-氧化物-半导体 (grounded-gate N-channel metal oxide semiconductor, GGNMOS) 在 -40—110 °C 的温度范围内 ESD 特性的温度依赖性. Wang 等^[12] 介绍了 GGNMOS 和栅触发 NMOS (GTNMOS) 的触发电压随温度的变化特性, 并对其内部物理机制作了详细研究. 可控硅 (silicon controlled rectifier, SCR) 作为一种 ESD 防护结构, 其有较好的面积效率, 常被用作高效 ESD 防护结构. Wang 等^[13] 研究了 SCR 在高温下的触发与维持特性. Tazzoli 等^[14] 提出了一种高维持电压的 SCR, 研究了 SCR 的温

* 国家自然科学基金 (批准号: 61804168) 资助的课题.

† 通信作者. E-mail: lixiaojing1@ime.ac.cn

度依赖特性,发现ESD脉冲时间导致的自加热效应会导致维持电压变化. Won等^[15]研究了SCR在30—225 °C的宽温度范围内的触发电压及维持电压的温度依赖特性,结合理论分析高温下发射结电势差(V_{BE})降低与电阻率升高是维持电压和二次击穿电流降低的主要原因.而基于CMOS和Bipolar-CMOS-DMOS(BCD)工艺制造的各种典型SCR的温度依赖性分别被介绍和研究^[16,17].通过改进SCR结构,可实现ESD触发电压和维持电压在高温环境中的稳定性^[18,19]. Do等^[20]为了满足ESD设计窗口研究了浮动技术减小4H-SiC GGNMOS的触发电压,并进行了高温评估. Wu等^[21]通过TLP测试与TCAD仿真研究了DDSCR的高温ESD特性.然而,在以上大多数研究中,只考虑了传统或新型ESD保护装置的特性随温度的变化,以验证其在工作温度范围内的可靠性.部分研究对触发电压的温度依赖特性及相关物理机制进行了详细研究.而决定ESD器件抗闩锁性能的维持电压与维持电流的温度依赖性虽然被报道,但大部分研究只关注于提高维持电压以实现抗闩锁在工作温度范围内的可靠性,并未对ESD器件维持电压的温度依赖性进行底层物理机制探讨和模拟仿真分析.

本文分析了用于ESD保护的部分耗尽绝缘体上硅(PDSOI)NMOS器件维持电压的温度特性.通过传输线脉冲(transmission line pulse, TLP)测试器件 I - V 曲线获得了维持电压随温度的变化规律.此外,通过半导体工艺及器件模拟工具(TCAD)模拟仿真,研究了器件维持电压温度依赖性的潜在物理机制.

2 器件结构参数及实验设置

研究器件为基于0.18 μm PDSOI工艺制备的NMOS器件,测试及仿真器件的具体参数如下:栅长 L 为0.8 μm ,栅宽 W 为960 μm ,栅氧厚度 T_{OX} 为12.5 nm,埋氧层厚度 T_{BOX} 为400 nm,硅膜厚度 T_{Si} 为300 nm,侧墙宽度 L_{spacer} 为0.1 μm ,N+区掺杂浓度 C_{N+} 为 $1 \times 10^{20} \text{ cm}^{-3}$,P阱掺杂浓度 C_P 为 $1 \times 10^{17} \text{ cm}^{-3}$.

为了改善NMOS的ESD特性,本文所使用的NMOS采用了金属硅化物扩散层阻隔工艺.实验所用的测试测试系统可模拟人体静电放电模式产生脉宽为100 ns,上升沿为5 ns的脉冲方波,其匹

配的加热模块为器件提供25—200 °C的测试温度.

在ESD测试过程中,器件处于栅触发工作模式:栅极施加1.5 V直流电压,源极、体引出电极和衬底均接地,并在漏极施加TLP脉冲方波,用示波器对漏极的瞬态电流和电压进行采样,多次重复得到ESD I - V 曲线.整个测试过程均在设定的工作温度下进行,实验设有30, 60, 100, 150和195 °C共5个测试温度.集成电路应用中的高温电子大多应用于汽车行业.其中汽车电子中的发动机控制、电动/混合动力车的环境温度峰值可达150 °C,而集成电路的结温最高可比环境温度高25 °C.本文所研究的温度范围涵盖一般军用高温电子器件的最高工作温度指标(175 °C).

3 测试与仿真结果

在之前的研究中,对PDSOI NMOS作为ESD防护器件的触发机理及触发电压的高温响应特性进行了分析^[12].本文将对PDSOI NMOS作为ESD防护器件的维持电压的温度特性进行讨论研究,研究发现高温对器件的维持电压有明显的影响,并对具体的作用机理进行了解释分析.如图1所示为被测器件在各温度下GTNMOS的ESD I - V 曲线,横坐标表示ESD电压,纵坐标表示已归一化为单位栅宽的ESD电流.图1插图为ESD I - V 曲线维持的细节图.提取曲线由负阻区进入电压、电流均递增的区域的转折点处的电压,计为维持电压 V_H .由图1可知,随着温度从30 °C上升至195 °C的过程中,被测器件的维持电压 V_H 呈现下降趋势.

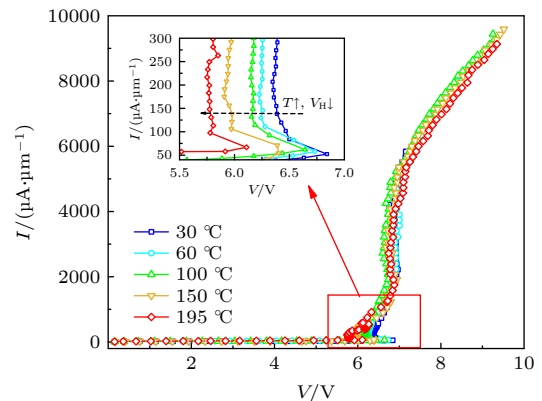


图1 不同温度下GTNMOS的ESD I - V 曲线.插图为曲线维持处的细节

Fig. 1. The ESD I - V curves of NMOS under different temperatures. Insert: the detail in holding points.

为探究 PDSOI NMOS 的 V_H 随温度的变化机理, 通过 TCAD 对器件进行了建模, 用多脉冲仿真方法对器件模型进行了高温 ESD 仿真分析. 仿真设置中, 器件的漏极 (Drain) 上加载线性函数 (piecewise linear function, PWL) 设定的电流方波, 栅极施加 1.2 V 直流电压, 其余电极包括源极 (Source)、体引出电极 (Body)、衬底 (Substrate) 均接地. 图 2(a) 所示为不同温度下 GTNMOS 的多脉冲仿真所得的 ESD I - V 曲线, 插图为 GTNMOS 脉冲仿真 ESD I - V 曲线维持处的细节图. 图 2(b) 为不同温度下 GGNMOS 的多脉冲仿真所得的 ESD I - V 曲线, 插图为 GGNMOS 脉冲仿真 ESD I - V 曲线维持处的细节图. 图 3 展示了 TLP 测试与 TCAD 仿真数据对比, 虽然 TLP 测试与 TCAD 的维持电压数值有差别, 但两者的维持电压随着温度的升高均减小. 图 3 所示的维持电压数值上的差距是由于仿真工艺设置与实际工艺条件存在一定差异性, 且 TCAD 仿真过于理想化, 未考虑实际测试的接触电阻与导线电阻. 因为 2D 模型不同于实际的 PDSOI

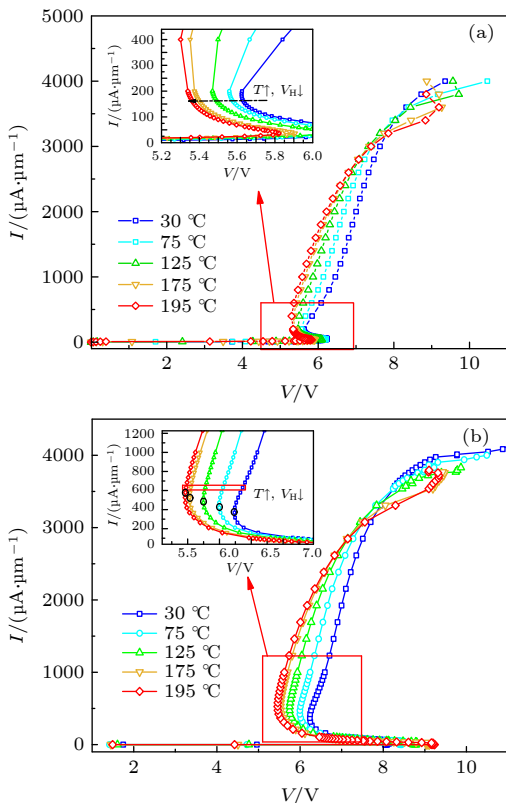


图 2 不同温度下, (a) GTNMOS 和 (b) GGNMOS 的 TCAD 仿真 ESD I - V 曲线, 插图为曲线维持处的细节

Fig. 2. The TCAD simulated ESD I - V curves of (a) GTNMOS and (b) GGNMOS under different temperatures, where the insert is the detail in holding points.

NMOS 器件, 所以仿真曲线中的 V_H 绝对值不同于 TLP 测量的 PDSOI 的 ESD I - V 曲线所得, 但是在 TCAD 仿真中已经获得了 V_H 随温度变化的相同趋势, 这对于分析高温下的维持特性和机制至关重要的. 由图 2 仿真可知, 直流栅压的施加使得 NMOS 的 V_H 随温度变化的幅度减小, 但并不影响 NMOS 维持电压随温度的变化趋势. 直流栅压与温度是两种影响 NMOS 的 V_H 的因素, 为了更直观地分析 V_H 的温度依赖性的内在物理机制, 对 GGNMOS 多脉冲高温 ESD 仿真结果进行解析.

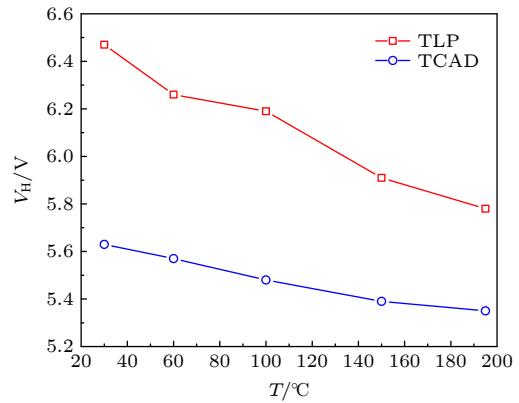


图 3 不同温度下 GTNMOS 的 TLP 测试结果与 TCAD 仿真结果对比

Fig. 3. The TLP tested holding voltage and TCAD simulated holding voltage under various ambient temperatures.

4 维持电压的温度特性分析

4.1 NMOS 维持电压

NMOS 工作在维持状态时, 主要通过开启 MOS 结构内部的寄生双极结型晶体管 (bipolar junction transistor, BJT) 释放 ESD 大电流, 这个电流一般远高于 MOS 的沟道电流 I_{DS} . 当寄生 BJT 开启时, MOS 结构的内部电流通路以及等效电路图如图 4 所示. 器件工作在 BJT 状态下时, 主要有 4 部分电流: MOS 沟道电流 I_{DS} 、寄生 BJT 的集电极电流 I_C 、发射极电流 I_E 、基极电流 I_{Body} . 如图 4 所示, 在电流流过的路径上, 维持电压主要由三部分组成:

$$V_H = V_{ava} + I_H R_{Body} + V_{BSon}, \quad (1)$$

其中, 降落在雪崩场上的电压 $V_{ava} = V_{DB}$. 通过研究漏-体结电势差 V_{DB} 、维持电流 I_H 、体电阻 R_{Body} 和源-体结正向开启的开启电压 V_{BSon} 的温度特性来解析维持电压随温度的变化的内在物理机制.

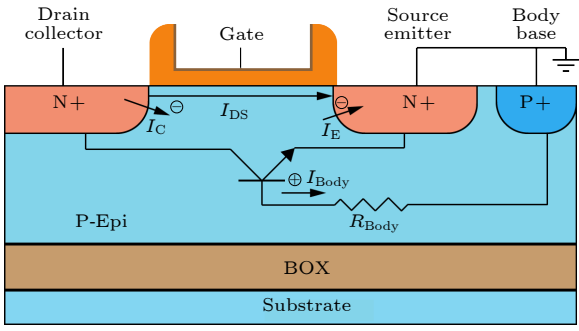


图 4 PDSOI NMOS 器件截面图及作为 ESD 防护器件工作时的工作机制示意图

Fig. 4. Cross-sectional view and the equivalent circuit of the PDSOI NMOS.

4.2 维持电压温度特性分析

对图 2(b) 中方框标注的一组 5 个同样电流方波中 70%—90% 时间范围内的同一特定时刻不同温度下 GGNMOS 的 V_{DB} , V_{BSon} , R_{Body} 及注入电子浓度进行分析. 不同温度下静电势分布情况如图 5 所示, 由电势分布可知, 在不同温度下, 维持电压 V_H 中漏-体结电势差 V_{DB} 占比最多. 随着环境温度从 30 °C 上升至 195 °C, V_{DB} 逐渐减小, 且温度效应最为明显. 沿 Path 1 路径上 $-1-1 \mu\text{m}$ 的静电势分布曲线如图 6 所示, 不同温度的静电势沿着 Path 1 减小. 当温度从 30 °C 升至 195 °C, 电势差减小了 0.87 V.

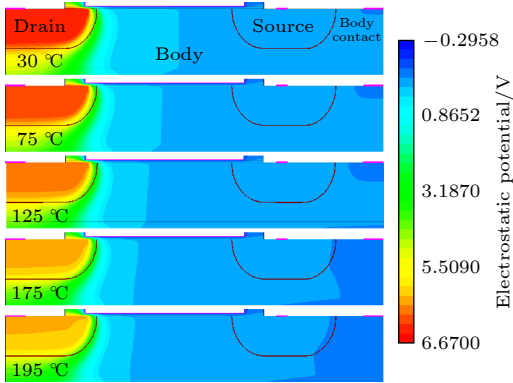


图 5 施加相同 ESD 电流脉冲的 GGNMOS 在不同温度下静电势分布

Fig. 5. Electrostatic potential distributions of GGNMOS under various ambient temperatures when the Drain is subject to the same ESD current pulsing. The Source and the Body are grounded.

维持电压大部分降落在漏-体结上来维持雪崩所需的电场, 因此 V_{DB} 主要由耗尽区电场决定. 寄生 BJT 开启后, 自由载流子注入耗尽区, 这种注入

的载流子对耗尽区电荷有中和作用, 而耗尽区的电荷分布对电场分布会造成影响. 因此, 将电场随温度变化的特性分为两部分: 1) 不施加 ESD 电流时的静电场随温度的变化规律; 2) 施加 ESD 电流时的电子注入随温度的变化规律. 如图 7 所示为不施加 ESD 电流时的电场随温度的变化情况, 可以看出, 电场在耗尽区处最大, 且随着温度从 30 °C 上升至 195 °C, 耗尽区电场减小. 漏-体结的载流子输运方式主要为电子在空间电荷区的漂移运动, 其主要的自由载流子为电子, 如图 8 所示为施加相同 ESD 电流时不同温度下器件内部的电子浓度的分布. 不同温度下, 漏极与源极处的电子浓度最高, 这也是因为寄生 BJT 的电流主要为电子电流.

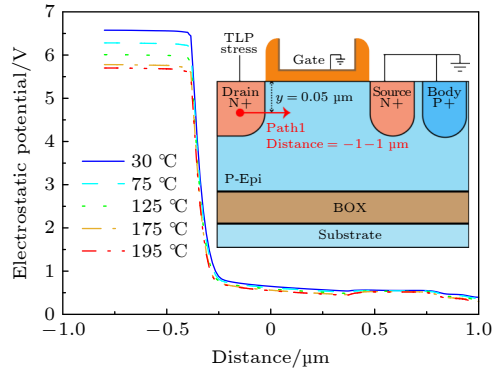


图 6 施加相同 ESD 电流脉冲的 GGNMOS 在不同温度下的源-体界面位置 (沿 Path 1 路径) 的静电势分布曲线

Fig. 6. Electrostatic potential distributions in the drain-body surface of GGNMOS along path 1 under various ambient temperatures when the drain is subject to the same ESD current pulsing. The Source and the Body are grounded.

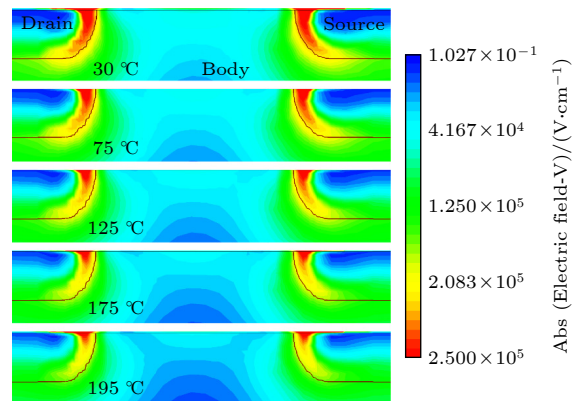


图 7 不施加 ESD 电流脉冲的 GGNMOS 在不同温度下的电场分布

Fig. 7. Electric field distributions of GGNMOS under various ambient temperatures when the drain, the source and the body are grounded.

而随着环境温度从 30 °C 上升至 195 °C, 漏-体结内电子浓度升高, 用来中和耗尽区的正电荷的电子增多, 导致电场进一步下降. 因此随着温度的升高, 耗尽区静电场减小, 且增大的注入电子浓度增大进一步削弱了耗尽区电场, 导致 V_{DB} 降低.

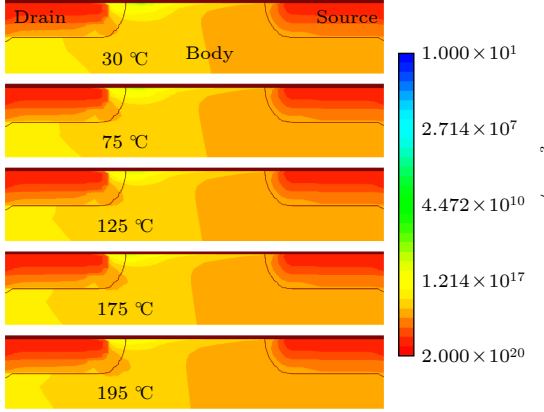


图 8 施加相同 ESD 电流脉冲的 GGNMOS 在不同温度下的电子浓度分布
Fig. 8. Electron density distributions of GGNMOS under various temperatures when the drain is subjected to the same ESD current pulsing. The source and the body are grounded.

如图 9 所示为器件在施加相同电流时不同温度下器件沿 Path 2 路径上的静电势分布. 仿真结果表明, 沿着 Path 2 电势升高, 电势差 V_{BSon} 随温度的升高而降低, 当温度从 30 °C 升高至 195 °C 时, 电势差降低 0.19 V. 由图 7 可知, 温度升高削弱了源-体耗尽区的静电场, 而图 8 显示漏-源耗尽区注入电子浓度变化不明显, 即 V_{BSon} 的降低主要是由静电场的温度依赖性造成的.

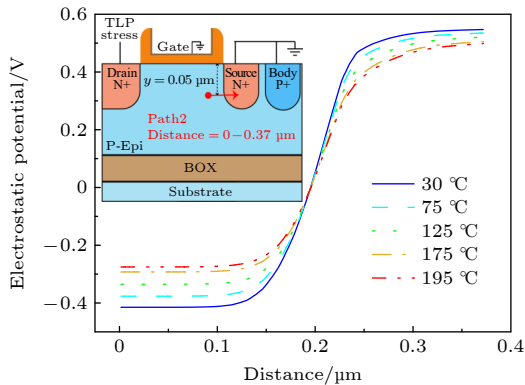


图 9 施加相同 ESD 电流脉冲的 GGNMOS 在不同温度下的源-体结界面位置 (沿 Path 2 路径) 的静电势分布
Fig. 9. Electrostatic Potential distributions in the drain-source surface of GGNMOS along path 2 under various temperatures when the Drain is subjected to the same ESD current pulsing. The Source and the Body are grounded.

在 30 °C 时, 对于掺杂衬底中的杂质全部电离, 且本征激发并不显著. 随着温度升高, 晶格振动散射逐渐成为载流子主要散射方式, 此时载流子迁移率随着温度的升高而降低, 所以电阻率随温度的升高而升高^[22]. 因此 R_{Body} 随着温度的升高而升高. 如图 10 所示施加相同 ESD 电流在不同温度下器件的电流密度分布, 随着温度从 30 °C 升至 195 °C, 从漏接触极接流向体接触极的电流密度明显减小. 施加相同的 ESD 电流, 但电流密度分布随着温度的升高而减小, 因此这也间接说明体电阻 R_{Body} 随温度的升高而升高. 结合之前的电阻率分析, 随着温度的升高, R_{Body} 随着温度的升高而增大.

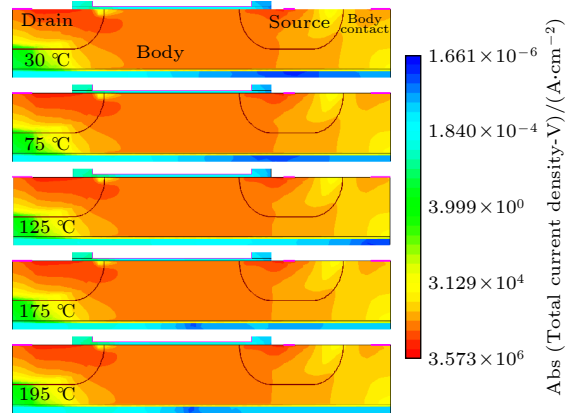


图 10 施加相同 ESD 电流脉冲的 GGNMOS 在不同温度下的电流密度分布
Fig. 10. Current density distributions of GGNMOS under various temperatures when the drain is subjected to the same ESD current pulsing. The Source and the Body are grounded.

对图 2(b) 中圆圈标注的一组 5 个点从维持电流 I_H 的角度进行分析, 由仿真结果可知, 当温度从 30 °C 上升到 195 °C, I_H 共增大约 200 $\mu\text{A}/\mu\text{m}$. ESD 电流由器件漏极流入, 在器件内部分别经过体电阻 R_{Body} 、寄生 BJT 和 NMOS 沟道 (电流分别记为 I_{Body} , I_{BJT} 和 I_{DS}), 最终通过体接触电极和源极接触流出 (分别记为 $I_{B,contact}$ 和 $I_{S,contact}$), 因此电流之间存在以下关系

$$I_{B,contact} = I_{Body}, \quad (2)$$

$$I_{S,contact} = I_{BJT} + I_{DS}. \quad (3)$$

分析电流关系如下:

$$I_{S,contact} = I_{BJT} + I_{DS} = \beta \cdot I_{Body} + I_{DS}, \quad (4)$$

其中 β 为寄生 BJT 的电流增益, (4) 式成立的前提是寄生 BJT 开启, 即:

$$I_{\text{Body}} R_{\text{Body}} \geq V_{\text{BSon}}, \quad (5)$$

$$I_{\text{ESD}} = I_{\text{S,contact}} + I_{\text{B,contact}}, \quad (6)$$

其中, I_{ESD} 为该 ESD 器件泄放的总电流, 即流入漏极接触的电流, 将 (4) 式代入 (6) 式中可得

$$\begin{aligned} I_{\text{ESD}} &= I_{\text{S,contact}} + I_{\text{B,contact}} \\ &= \beta \cdot I_{\text{Body}} + I_{\text{DS}} + I_{\text{Body}} \\ &= (\beta + 1) I_{\text{Body}} + I_{\text{DS}} \\ &\geq (\beta + 1) \frac{V_{\text{BSon}}}{R_{\text{Body}}} + I_{\text{DS}}. \end{aligned} \quad (7)$$

当寄生 BJT 开启, 器件处于维持状态时, 最小的 ESD 电流即为维持电流 I_{H} , 即:

$$I_{\text{H}} = (I_{\text{ESD}})_{\text{min}}, \quad (8)$$

式中, I_{ESD} 的最小值 $(I_{\text{ESD}})_{\text{min}}$ 可由 (5) 式来限定, 将 (5) 式和 (7) 式代入 (8) 式可得

$$I_{\text{H}} = (\beta + 1) \frac{V_{\text{BSon}}}{R_{\text{Body}}} + I_{\text{DS}}, \quad (9)$$

由 (9) 式可知, I_{H} 的值由寄生 BJT 的电流增益 β 、源-体结的正向开启电压 V_{BSon} 、体电阻 R_{Body} 和 NMOS 沟道电流 I_{DS} 控制. 仿真结果中 I_{DS} 随温度的变化总幅度约为 $10 \mu\text{A}/\mu\text{m}$, 对 I_{H} 随温度的变化量的贡献仅占约 5%.

Khanna 等^[23] 描述了双极型晶体管的电流增益的温度依赖性, 二者关系为

$$\beta(T) = \beta(T_0) + \varsigma [1 + \beta(T_0)] (T - T_0), \quad (10)$$

其中, T 为温度; $\beta(T)$ 为温度为 T 时的 BJT 晶体管电流增益; T_0 为常数, $T_0 = 273 \text{ K}$; $\beta(T_0)$ 为温度为 T_0 时的电流增益; ς 为温度系数, 满足

$$\varsigma = \frac{1}{\beta(T_0)} \frac{d\beta}{dT} = 0.1 \sim 1, \text{ for Si tansistors.} \quad (11)$$

由 (10) 和 (11) 式可知, 双极型晶体管的电流增益 β 会随温度的升高而增大.

图 9 所示的仿真结果表明 V_{BSon} 会随温度的升高而降低. 之前的仿真结论证明, 温度升高会导致体电阻 R_{Body} 升高. 如 (9) 式所述, 维持电流 I_{H} 与寄生 BJT 的电流增益 β 、源-体结的正向开启电压 V_{BSon} 和体电阻 R_{Body} 密切相关. 温度升高导致 β 增大, 间接导致 I_{H} 增大; 而同时温度增加会导致 V_{BSon} 降低和 R_{Body} 升高, 以上因素都会间接使得 I_{H} 随温度的上升而下降. 因此温度通过对 β 的影响占主导地位, 使得 I_{H} 随温度的升高而增大.

4.3 V_{DB} , V_{BSon} , I_{H} , R_{Body} 对 NMOS 维持电压温度依赖性的作用结果分析

由以上对 V_{DB} , V_{BSon} , I_{H} , R_{Body} 的分析可知, 在器件处于维持状态时的电流路径上, 电势主要降落在漏-体反偏结上. 漏-体结电势差 V_{DB} 主要由漏-体耗尽区电场决定, 而耗尽区电场可分为两部分影响: 不施加电信号的静电场和注入电子浓度中和电荷. 随着温度的升高, 不施加电信号的耗尽区静电场减小, 且注入电子浓度随着温度的升高而增大, 对耗尽区电场有进一步削弱作用. 因此这两种因素的共同作用使得 V_{DB} 随着温度的升高有减小趋势, 与 V_{H} 的变化趋势一致. 与 V_{DB} 随温度的变化原因分析相同, V_{BSon} 随温度的变化也受两种因素影响. 但源-体耗尽区注入电子浓度随温度的变化差异不大, 因此主要是由源-体耗尽区静电场的温度变化导致 V_{BSon} 降低. 而维持电流 I_{H} 的升高是由于双极型晶体管的电流增益 β 随着温度的升高而增大. 在相同的 ESD 电流下, 由电流的分布状态可知, 寄生体电阻 R_{Body} 随着温度的升高而增大. I_{H} 与 R_{Body} 随着温度的升高而增大, 与 V_{H} 的温度变化趋势相反. 由图 5 的电势分布及图 6 的电势差值可知, V_{H} 主要由 V_{DB} 决定, V_{H} 变化趋势与 V_{DB} 一致. 由图 2(b) 仿真结果可知, 随着温度的升高, V_{H} 降低 0.78 V, 而 V_{DB} 和 V_{BSon} 总的降低幅值为 1.1 V. I_{H} 与 R_{Body} 随着温度的升高而增大, 这减缓了 V_{H} 随温度的变化. 因此可以通过增大 I_{H} 或 R_{Body} 来减小 V_{H} 随温度升高减小的特性. 但是, 增大 I_{H} 大注入电流对耗尽区电场有削弱作用, 会导致 V_{DB} 降低, 因此增大 I_{H} 时需综合考虑影响效果.

5 结 论

本文研究了 ESD 防护器件 PDSOI NMOS 的维持电压 V_{H} 的温度特性. 实验结果证明, 随着温度的提高, NMOS 的维持电压减小. 通过与 TLP 测试结果吻合良好的 TCAD 模拟仿真, 分析了电场、电流密度、电势、电子浓度等多个物理参数在不同温度下的分布情况, 详细讨论了对 V_{H} 温度依赖性的物理机制. TCAD 仿真结果显示, 漏-体结电势差 V_{DB} 和源-体结正向开启电压 V_{BSon} 随温度变化的趋势与 V_{H} 的温度变化趋势一致, 但维持电流 I_{H} 和体电阻 R_{BODY} 随着温度的升高而增大.

且 V_H 的温度依赖性主要是由 V_{DB} 的温度特性决定的. 基于以上物理参数随温度的变化分析, 本文提出, 通过增大 R_{Body} 与 I_H 来削弱 V_H 随着温度增加而减小的趋势. 从而降低 V_H 的温度依赖性. 本文对维持电压温度特性及其内在物理机制的研究有助于设计温度免疫的抗门锁 ESD 保护结构.

参考文献

- [1] Baffle M, Caignet F, Nolhier N, 2017 *ESD Protection Methodologies* (Amsterdam, Holland: Elsevier) xvii
- [2] Vinson J E, Liou J J 1998 *Proc. IEEE* **86** 399
- [3] Duvvury C, Amerasekera A 1993 *Proc. IEEE* **81** 690
- [4] Ker M D 1999 *IEEE Trans. Electron. Devices* **46** 173
- [5] Ker M D, Hsu C K 2005 *IEEE Trans. Device Mater. Reliab.* **5** 235
- [6] Voldman S H 2008 *LATCHUP* (Hoboken, New Jersey: John Wiley & Sons) p1
- [7] Boselli G, Duvvury C 2005 *Microelectron. Reliab.* **45** 1406
- [8] Voldman S H 2005 *Microelectron. Reliab.* **45** 437
- [9] Wang A 2002 *On-chip ESD Protection for Integrated Circuits: An IC Design Perspective* (Boston, MA: Springer) p1
- [10] Ker M, Wu C Y, Chang H H 1996 *IEEE Trans. Electron. Devices* **43** 588
- [11] Li C, Zhang F, Wang C K, Chen Q, Lu F, Wang H, Di M F, Cheng Y H, Zhao H J, Wang A 2018 *14th IEEE International Conference on Solid-State and Integrated Circuit Technology (ICSICT) Qingdao, China 2018* p743
- [12] Wang J X, Li X J, Zhao F Z, Zeng C B, Li D L, Li L C, Li J J, Li B, Han Z S, Luo J J 2021 *Chin. Phys. B* **30** 078501
- [13] Wang J X, Zhao F Z, Ni T, Li D L, G L C, Wang J J, Li X J, Zeng C B, Luo J J, Han Z S 2021 *Microelectron. Reliab.* **126** 114239
- [14] Tazzoli A, Marino F A, Cordini M, Benvenuti A, Colombo P, Zanoni E, Meneghesso G 2007 *Microelectron. Reliab.* **47** 1444
- [15] Won J I, Lee H D, Lee K Y, Kim K D, Koo Y S 2009 *IEEE Region 10 Conference 2009 Singapore*, 2009 p2553
- [16] Jang S L, Lin S L 2000 *Solid-State Electron.* **44** 2139
- [17] Liang W, Dong A, Li H, Miao M, Kuo C C, Klebanov M, Liou J J 2016 *Microelectron. Reliab.* **66** 46
- [18] Meneghesso G, Tazzoli A, Marino F A, Cordini M, Colombo P 2008 *46th Annual IEEE International Reliability Physics Symposium Phoenix 2008* p3
- [19] Hou F, Liu J Z, Liu Z W, Huang W, Gong T X, Liou J J 2019 *IEEE Trans. Electron Devices* **66** 2044
- [20] Do K I, Jin H S, Lee B S, Koo Y S 2021 *IEEE J. Electron Devices Soc.* **9** 1017
- [21] Wu M, Lu W Z, Zhang C C, Peng W, Zeng Y, Jin H, Xu J, Chen Z J 2020 *Semicond. Sci. Technol.* **35** 045016
- [22] Li S S 1978 *Solid-State Electron.* **21** 1109
- [23] Khanna V K 2017 *Extreme-Temperature and Harsh-Environment Electronics: Physics, Technology and Applications* (Boca Raton: CRC Press)

Effect of high-temperature on holding characteristics in MOSFET ESD protecting device*

Li Ming-Zhu¹⁾²⁾ Cai Xiao-Wu¹⁾ Zeng Chuan-Bin¹⁾ Li Xiao-Jing^{1)†}
 Li Duo-Li¹⁾ Ni Tao¹⁾ Wang Juan-Juan¹⁾ Han Zheng-Sheng¹⁾²⁾
 Zhao Fa-Zhan¹⁾

1) (*Key Laboratory of Science and Technology on Silicon Devices, Institute of Microelectronics, Chinese Academy of Sciences, Beijing 100029, China*)

2) (*University of Chinese Academy of Sciences, Beijing 100049, China*)

(Received 24 January 2022; revised manuscript received 9 March 2022)

Abstract

The holding voltage of electrostatic discharge (ESD) protecting structure is the critical parameter to determine the latch-up performance of the protecting device, but the thermal change of ESD device parameters lead the protecting device to suffer latch-up risk at high ambient temperature. In this paper, the holding characteristics of the ESD protecting device at various ambient temperatures ranging from 30 °C to 195 °C are studied. The investigated ESD structure is the N-channel metal oxide semiconductor (NMOS) transistors fabricated with the 0.18 μm partially depleted silicon-on-insulator process. The ESD characteristics of the device are measured by the transmission line pulse test system at different ambient temperatures. The test results show that the holding voltage (V_H) decreases with temperature increasing. The TCAD simulation is carried out to support and analyze the experimental results, and the same trend of V_H versus temperature is obtained. Through the analysis of simulation results and theoretical derivation, the underlying physical mechanisms related to the effects of temperature on V_H and holding current (I_H) are discussed in detail. When the drain is subjected to the same current pulsing and the Source and Body are both grounded, the distributions of current density, electric potential, and injected electron density of NMOS at various temperatures are extracted and analyzed. When the Drain, Source, and Body are all grounded, the distributions of the electrostatic field at various temperatures are extracted and analyzed. The distribution of electric potential in NMOS indicates that the voltage drop on the Drain-Body junction (V_{DB}) is affected by ambient temperature significantly, and the variation of V_{DB} dominates the variation trend of V_H with temperature increasing. The reducing electrostatic field and increasing injected electron density with temperature decreasing contribute to the decreasing of V_{DB} . The trend of I_H and parasitic Body resistance (R_{Body}) weakens the temperature dependence of the V_H . The current gain of parasitic bipolar transistor (β) decreases with ambient temperature rising, which is the main contributor to the decreasing of I_H . Therefore, increasing I_H and R_{Body} is helpful in reducing the temperature dependence of the latch-immune ESD protection structure.

Keywords: electrostatic discharge, metal-oxide-semiconductor field-effect transistor, holding voltage, high temperature

PACS: 85.30.De, 41.20.Cv, 85.30.Mn

DOI: 10.7498/aps.71.20220172

* Project supported by the National Natural Science Foundation of China (Grant No. 61804168).

† Corresponding author. E-mail: lixiaojing1@ime.ac.cn