

ReSe₂/WSe₂ 记忆晶体管的光电调控和阻变特性*

余雪玲 陈凤翔[†] 相韬 邓文 刘嘉宁 汪礼胜[‡]

(武汉理工大学理学院物理科学与技术系, 武汉 430070)

(2022年6月10日收到; 2022年7月17日收到修改稿)

记忆晶体管是结合了忆阻器和场效应晶体管特点的多端口器件. 二维过渡金属硫化物拥有独特的电子结构和性质, 在电子器件、能源转化、存储器等领域都有广泛的应用. 本文以二维金属硫化物为基础, 制备了 ReSe₂/WSe₂ 双 p 型的范德瓦耳斯异质结记忆晶体管, 探究其在电控、光控以及光电协控下的阻变特性变化. 结果表明: 栅压是调控记忆晶体管性能的重要手段, 可有效地调控开关比在 10¹—10⁵ 之间变化; 不同波长光照或者光功率密度的变化可以实现记忆晶体管高低阻态和开关比的调控; 而且, 光电协控也可使器件开关比在 10²—10⁵ 范围内变化, 并分析了不同调控条件下器件阻态变化的原因. 此外, 在经历了 225 次循环和 1.9 × 10⁴ s 时间后, ReSe₂/WSe₂ 异质结记忆晶体管仍能保持接近 10⁴ 的开关比, 表明器件有良好的稳定性和耐久性, 将是一种很有发展潜力的下一代非易失性存储器.

关键词: ReSe₂/WSe₂, 记忆晶体管, 栅控, 光控**PACS:** 73.40.Sx, 72.80.Ga, 73.40.-c**DOI:** 10.7498/aps.71.20221154

1 引言

忆阻器是一种连接磁通和电荷的非线性元件, 其物理模型由蔡少棠教授从理论推导而出^[1]. 自 2008 年实验室证实存在 TiO₂ 忆阻器^[2] 以来, 忆阻器在逻辑运算、非易失性存储、人工突触、光电突触^[3,4] 等领域引起科学家们的广泛关注和研究. 随着信息社会的不断发展, 人们对微纳电子应用的需求极速增长, 传统的基于大块金属氧化物的忆阻器由于存在稳定性低、氧化层厚等问题, 难以满足人们对超高性能计算与非易失性存储的需求^[5,6]. 而低维半导体材料拥有优良的导电性、高稳定性、高开关比以及良好的灵活性等, 是新型电子和光电应用的理想材料^[7-9].

如今, 很多二维材料已被应用于制备具有超高集成度^[10,11]、超低功耗^[12]、超高读写速度^[13,14] 的忆阻器. 如 MoS₂ 作为过渡金属硫族化合物的典型代表, 是忆阻器件中研究最广泛的二维材料之一. 2018 年, Sangwan 等^[15] 报道了一种基于 Au/MoS₂ (多晶单层)/Au 水平结构的多端口记忆晶体管^[16], 将忆阻器和场效应晶体管的性能结合在以二维半导体材料为沟道的单个器件中^[17], 其不仅能响应偏置电压的输入信号, 还可响应栅极输入的电信号以及外加光信号, 成功实现了多端口调控.

在阻变材料的选取中, 除了利用单一的二维材料外, 还可以将两种不同的二维材料构建成范德瓦耳斯异质结来综合利用它们的光电特性, 提升器件性能. 2021 年, Zhang 等^[18] 制备了基于 WS₂/MoS₂ 异质结的忆阻器, 其拥有 10⁴ 的开关比, 高低阻态

* 国家自然科学基金 (批准号: 51702245)、国家重点研发计划 (批准号: 2018YFE0111500, 2019YFA0704900)、材料合成与加工先进技术国家重点实验室开放基金 (武汉理工大学) (批准号: 2021-KF-16) 和中央高校基本科研业务费专项资金 (批准号: WUT2021III065JC) 资助的课题.

[†] 通信作者. E-mail: phonixchen79@whut.edu.cn

[‡] 通信作者. E-mail: wang_lesson@whut.edu.cn

保持时间为 5×10^3 s. 与 WS_2 类似, WSe_2 也具有良好的稳定性, 在潮湿的环境中比 MoS_2 更抗氧化^[19]. 而 ReSe_2 是一种具有扭曲三斜结构的二维材料, 具有独特的、各向异性的电子和光学特性. 2021年, Rehman 等^[20] 利用微机械剥离法制备了基于 ReSe_2 /石墨烯异质结的记忆晶体管, 通过改变栅压 (-90 V— 90 V) 实现了开关比在 10^2 — 10^5 范围内的调控. 除以上异质结的研究外, 2019年, 殷俊^[21] 通过光刻工艺和磁控溅射法制备了基于 $\text{W}/\text{HfO}_{1.97}/\text{HfO}_{1.7}/\text{Pt}$ 同质结构的忆阻器, 实现了多种突触可塑性.

目前, 关于 WSe_2 和 ReSe_2 搭建范德瓦耳斯异质结^[22] 制备记忆晶体管的研究报道还比较少. 结果表明, 基于 $\text{ReSe}_2/\text{WSe}_2$ 的 p-p 型记忆晶体管, 不仅拥有良好的阻变性能, 还拥有优异的稳定性和耐久性, 其综合性能在二维材料记忆晶体管中表现出巨大的潜力; 此外, 该记忆晶体管在电场、光场和光电协同调控下均表现出明显的阻态变化行为, 有望为基于二维材料忆阻器的研究提供新的思路和方向.

2 实验部分

制备 $\text{ReSe}_2/\text{WSe}_2$ 异质结记忆晶体管的实验流程如下: 首先, 选用带 300 nm 二氧化硅层的 p⁺ 型硅衬底, 分别使用丙酮和无水乙醇超声清洗 10 min 和 5 min, 氮气吹干备用; 接着进行二维材料的转移, 采用微机械剥离法先转移 WSe_2 到硅衬底上, 然后利用转移平台, 借助 PDMS 胶带辅助将 ReSe_2 搭在 WSe_2 上形成异质结构; 紧接着在异

质结上部旋涂一层光刻胶, 通过紫外光刻定制沟道宽为 10 μm 的电极图案, 再用显影液将电极图案显出; 之后, 通过热蒸发在器件上表面沉积一层 50 nm 厚的金膜; 最后, 使用 Lift-off 工艺, 用丙酮清除多余的光刻胶和金膜, 就可以得到 $\text{Au}/\text{ReSe}_2/\text{WSe}_2/\text{Au}$ 结构的记忆晶体管, 器件结构如图 1 所示.

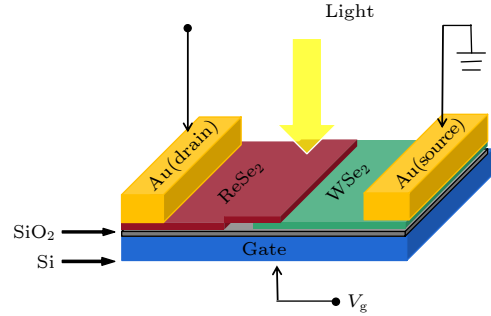


图 1 $\text{ReSe}_2/\text{WSe}_2$ 异质结晶体管的结构图
Fig. 1. Structure diagram of the $\text{ReSe}_2/\text{WSe}_2$ heterojunction memtransistor.

$\text{ReSe}_2/\text{WSe}_2$ 异质结的表面形貌用 DI Nanoscope IV 原子力显微镜表征; 拉曼光谱利用 LabRAM HR Evolution 光谱仪测试, 激发波长 532 nm; 器件的 I - V 性能利用 Keithley 4200-SCS 半导体参数测试仪分析; 使用 Keithley 2400 源表测试阻态保持特性. 以上测试均在室温、空气、电磁屏蔽条件下进行.

3 结果与分析

3.1 器件的微观表征及分析

图 2(a) 给出了 $\text{ReSe}_2/\text{WSe}_2$ 异质结的原子力

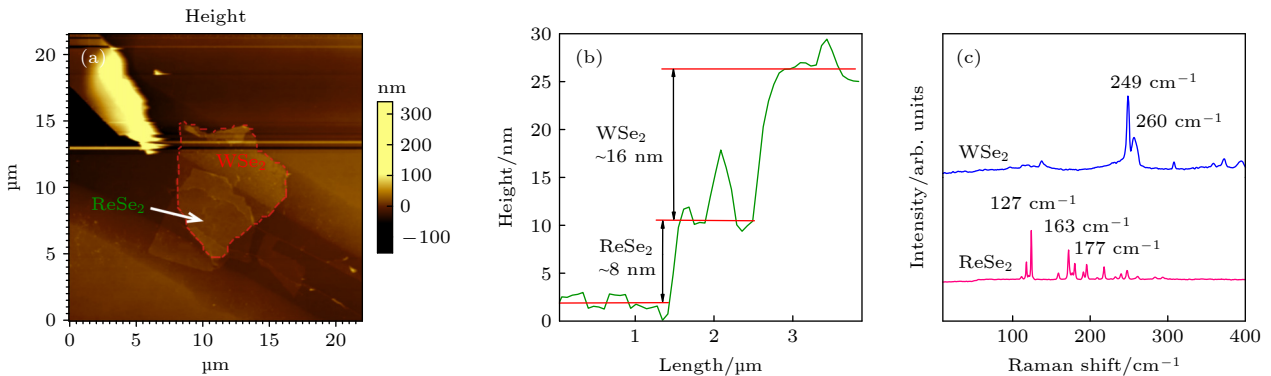


图 2 $\text{ReSe}_2/\text{WSe}_2$ 异质结的形貌表征 (a) $\text{ReSe}_2/\text{WSe}_2$ 异质结的 AFM 图; (b) 沿图 (a) 中白色箭头的厚度数据图; (c) WSe_2 和 ReSe_2 的拉曼光谱图

Fig. 2. Surface topography image of $\text{ReSe}_2/\text{WSe}_2$ heterojunction memtransistor: (a) AFM image of $\text{ReSe}_2/\text{WSe}_2$ heterojunction; (b) height profile of $\text{ReSe}_2/\text{WSe}_2$ along the thin white line in panel (a); (c) Raman spectra of the WSe_2 and ReSe_2 layer.

显微镜 (AFM) 图. 从图 2(a) 可以看出, 微机械剥离法制备出来的 ReSe_2 和 WSe_2 表面形貌都很平整. 沿图 2(a) 中白线所示的厚度变化示于图 2(b), 可以发现, ReSe_2 层的厚度大约为 8 nm, WSe_2 层的厚度大约为 16 nm. 根据研究结果, 单层 ReSe_2 的厚度大约是 0.7 nm, 单层 WSe_2 的厚度也约为 0.7 nm, 所以该结构中 ReSe_2 约有 11 层, WSe_2 约有 22 层, 均为典型的多层结构. 图 2(c) 给出了 ReSe_2 和 WSe_2 的拉曼光谱, 其中 WSe_2 的主特征峰位于 249 和 260 cm^{-1} , 分别对应 A_g^1 和 2LA 振动模式 [23]. 和 WSe_2 相比, 由于 ReSe_2 层独特的三斜结构, ReSe_2 的特征峰众多, 分布在 100—270 cm^{-1} 之间 [24]. 我们标记了其中主要的峰位, 如 127, 163 和 177 cm^{-1} , 分别对应 A_{1g} , E_{1g} 和 E_{2g} 振动模式.

3.2 器件的高低阻态和稳定性测试

为了研究 $\text{Au}/\text{ReSe}_2/\text{WSe}_2/\text{Au}$ 记忆晶体管的阻变开关特性, 图 3(a) 给出了黑暗条件下、栅压 $V_g = 0 \text{ V}$ 时对器件施加源漏双向扫描电压时得到的 I_d - V_{ds} 特性曲线, 源漏电压 V_{ds} 变化范围分别为 -5 — 5 V , -10 — 10 V , -15 — 15 V 和 -20 — 20 V , 图中的箭头和数字分别代表扫描的方向和顺序; I_d 为漏电流. 对器件测试之前, 首先对器件施加一个单向负偏压进行初始化 ($0 \rightarrow -V_{ds}$), 将器件从高阻态 (HRS) 改变为低阻态 (LRS). 然后施加双向扫描电压, 其扫描顺序为 $-V_{ds} \rightarrow 0 \text{ V}$, $0 \text{ V} \rightarrow V_{ds}$, $V_{ds} \rightarrow 0 \text{ V}$, $0 \text{ V} \rightarrow -V_{ds}$, 分别对应图中的 1, 2, 3, 4 过程, 而过程 4 又将作为下一个双向扫描的初始化过程.

由图 3(a) 可以发现: 不同的源漏扫描电压范围下, 器件拥有不同的忆阻特性, 扫描电压范围越

大, 开关比越高, 如 $V_{ds} = -20$ — 20 V 时, 开关比可达 1.39×10^6 . 此外还可以看出, 器件表现出明显的非易失性双极性阻变行为, 而且处于负偏压下的特性曲线绕出了“8”字样. 在 I - V 回扫中, 器件中的电荷存储在多层 ReSe_2 , WSe_2 内部的缺陷及两种材料接触界面处的陷阱中, 此时的工作机制应为电荷俘获和释放机制 (charge trapping/detrapping process) [25–27]. 因为在阻变材料和忆阻器的制备过程中, 不可避免地会引入一些缺陷和杂质, 而这些杂质和缺陷的存在会在材料的禁带中引入缺陷或杂质能级. 在器件的阻变开关过程中, 这些杂质和缺陷作为电荷陷阱将会俘获大量的载流子, 导致器件的初始状态处于高阻态; 当这些电荷陷阱释放被俘获的载流子时, 器件的电阻迅速减小, 器件将由高阻态转变为低阻态. 因此器件中的杂质和缺陷对载流子的俘获和释放实现了器件的阻态转变.

为了研究 $\text{ReSe}_2/\text{WSe}_2$ 异质结的稳定性, 在黑暗条件下对器件进行了 225 个周期的循环测试, 源漏扫描电压为 -15 — 15 V . 图 3(b) 给出了器件在进行 225 次循环周期下的高低阻态变化图. 由图 3(b) 可以看出, 随着循环周期的进行, 器件的高阻态电阻值虽有上下浮动现象, 但总体保持稳定 (阻值高于 $10^{10} \Omega$), 低阻态则自始至终都很稳定. 值得注意的是, 器件在 225 个循环周期下仍然能保持高于 10^4 的开关比, 说明器件不仅拥有良好的开关性能, 还拥有良好的稳定性. 同时也探究了器件的耐久性, 读取电压仍为 2.4 V , 测试结果示于图 3(c). 测试结果显示: 在 $1.9 \times 10^4 \text{ s}$ 时间内, 器件的高低阻态几乎不随时间变化, 始终能保持接近 10^4 的开关比.

为了明确 $\text{Au}/\text{ReSe}_2/\text{WSe}_2/\text{Au}$ 记忆晶体管的

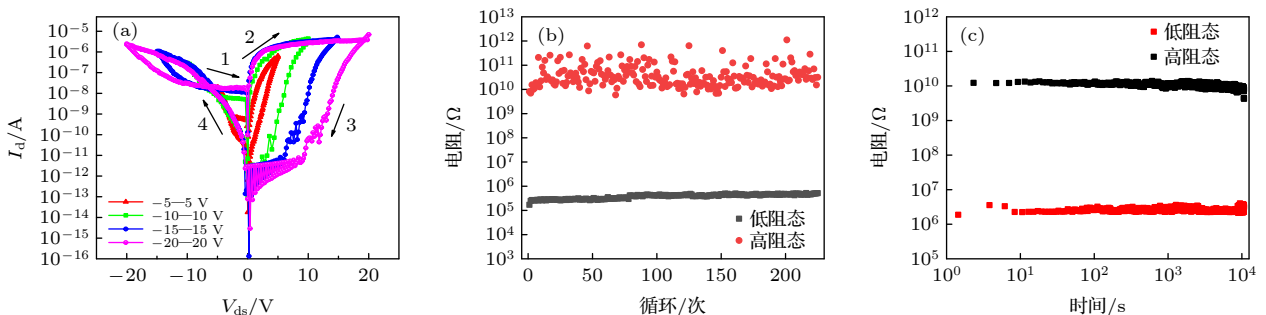


图 3 在 0 V 栅压下, $\text{Au}/\text{ReSe}_2/\text{WSe}_2/\text{Au}$ 记忆晶体管的阻变特性 (a) 在不同源漏扫描电压下的 I_d - V_{ds} 特性曲线; (b) 连续 225 次循环周期下器件在 $V_{ds} = 2.4 \text{ V}$ 时的高低阻值变化图; (c) 器件在室温下高低阻态保持特性图

Fig. 3. Resistance characteristics of the $\text{Au}/\text{ReSe}_2/\text{WSe}_2/\text{Au}$ memtransistor at $V_g = 0 \text{ V}$: (a) I_d - V_{ds} characteristic curves of $\text{Au}/\text{ReSe}_2/\text{WSe}_2/\text{Au}$ memtransistor at different source drain sweeping voltages; (b) reversible resistance switching between the HRS and LRS over 225 cycles at $V_{ds} = 2.4 \text{ V}$; (c) the retention characteristics of the device at room temperature.

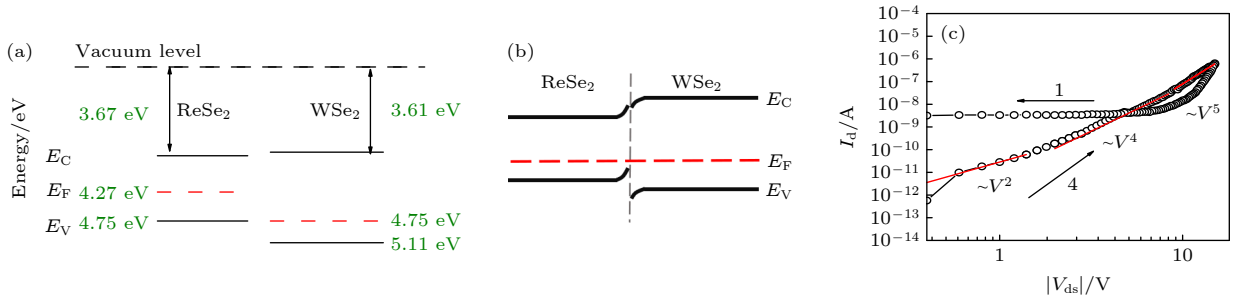


图 4 ReSe₂/WS₂ 记忆晶体管的阻变转换机制分析 (a) ReSe₂ 和 WS₂ 单独的能带图; (b) ReSe₂/WS₂ 异质结的平衡能带图; (c) 负偏置电压下的双对数 I_d - V_{ds} 曲线

Fig. 4. Resistance switching mechanism analysis of ReSe₂/WS₂ memtransistor: (a) Energy band arrangement for ReSe₂ and WS₂; (b) energy band diagram of ReSe₂/WS₂ heterojunction; (c) logarithmic I_d - V_{ds} curves of the memtransistor in the negative bias region.

阻变转换机制, 图 4(a) 给出了 ReSe₂ 和 WS₂ 单独的能带结构, 其中 ReSe₂ 和 WS₂ 的带隙分别为 1.08 eV^[28] 和 1.5 eV^[29]. 虽然 ReSe₂ 和 WS₂ 均为 p 型材料, 但 ReSe₂ 的费米能级 ($E_F = -4.27$ eV) 高于 WS₂ 的费米能级 ($E_F = -4.75$ eV), 因此两者接触形成平衡态时, ReSe₂ 能带整体下移, 而 WS₂ 能带整体上移, 在两者交界处形成 p-p 结的内建电场, 平衡条件下两者间形成的能带图示于图 4(b), 其中 E_C 和 E_V 分别表示导带底和价带顶.

测试时 ReSe₂ 作为漏端, WS₂ 作为源端. 虽然整个 V_{ds} 扫描循环是以顺时针方向来切换高、低阻态, 但负偏压方向与 p-p 结的内建电场方向相反, 因此阻态转换的工作机制和以 n 型沟道材料为主的忆阻器基本类似. 在初始化过程 (“4”过程) 中, 电压从 $0 \text{ V} \rightarrow -V_{ds}$, 随负偏压的增加, 内建电场被削弱, 因此器件虽然保持 HRS, 但电流不断增加; 当电压为 $-V_{ds}$ 时, 器件转为 LRS. 这个转变过程是缓慢的, 和氧化物忆阻器中的基于导电细丝导电的机制完全不同^[30,31]. 在 “1” 过程中, 电压从 $-V_{ds} \rightarrow 0$, 虽然外加偏压在下降, 内建电场逐渐恢复, 但器件保持 LRS. 当偏压为 $0 \text{ V} \rightarrow V_{ds}$ 时, 外加偏置电压的方向与内建电场方向相同, 不断增强内建电场, 但此时存储在缺陷和陷阱中的空穴不断被提取出, 器件保持 LRS, 对应 “2” 过程. 当正偏置电压达到 V_{ds} 时, 内建电场得到增强, 导致器件从 LRS 转变为 HRS; 并保持 HRS 状态从 V_{ds} 扫回 0 V , 对应 “3” 过程.

为进一步分析 Au/ReSe₂/WS₂/Au 记忆晶体管的导电机理, 将 $0 \text{ V} \rightarrow -15 \text{ V}$ 时器件从 HRS 到 LRS 过程中 (即 “SET” 过程) 的 I_d - V_{ds} 曲线以双对数坐标轴的形式绘于图 4(c). 此线即图 3(a) 中的

“4”线, 为了方便数学处理, 电压以 $|V_{ds}|$ 表示. 由于 ReSe₂/Au 电极、WS₂/Au 电极形成的肖特基势垒以及 ReSe₂/WS₂ 界面间的内建电场, 器件初始表现为 HRS. 随着负向扫描电压的增加, WS₂ 和 ReSe₂ 中的空穴开始填充器件中的缺陷直至饱和, 此时器件电流逐渐增加, 但电阻始终保持 HRS.

从 I_d - V_{ds} 曲线的斜率判断, 当负偏压较低时, 曲线的斜率为 2, 满足 Child 公式 ($I \propto V^2$), 表明此时是浅缺陷控制的空间电荷限制电流传导, 当负偏压进一步增加, 曲线斜率增加到 4、甚至 5, 此时 $I \propto V^\alpha (\alpha > 2)$, 对应陷阱填充限制, 反映载流子被更深的陷阱所俘获. 随着反向偏压的进一步增加, 肖特基势垒和内建电场逐渐降低, 当电压达到 -15 V 时, 器件阻态从 HRS 转化为 LRS. 只是此时电流反而有所下降, 可能原因是由于外加电压的下降, 空穴迅速被 ReSe₂ 和 WS₂ 中更深层的缺陷俘获导致载流子浓度降低^[32].

3.3 器件的电场栅极调控

为了探究 ReSe₂/WS₂ 记忆晶体管的电控性能, 对器件施加小幅度的正、负栅压, 得到的 I_d - V_{ds} 特性曲线如图 5 所示. 在图 5(a) 中, 随着栅压从 -0.1 V 变化到 -1 V , 负偏置电压下低阻态的 I_d 向高电流方向移动, 反映了记忆晶体管的 p 型特性, 此时低阻态的阻值随负栅压的增大而减小. 而且, 施加的负栅压越大, 低阻态下的 I_d - V_{ds} 曲线越往上移动, 当 $V_g = -1 \text{ V}$ 时曲线不再绕 “8” 字, 形成了完整的闭回曲线. 同时, -1 V 以内的负栅压对正偏置电压下的阻变特性几乎没有影响. 而由图 5(b) 可以看出, 对于 1 V 以内的正栅压, 负偏压下的电流随栅压增加明显下降, 但对器件正偏置电压下的

阻变特性影响不大.

较高栅压下测试 $\text{ReSe}_2/\text{WSe}_2$ 异质结记忆晶体管的电控性能, 结果示于图 6. 从图 6(a) 可以看出, 由于器件的 p 型特性, 当负栅压 $|V_g| \geq 10 \text{ V}$ 时, 器件在负偏置电压下的高低阻态电流均对比零栅压时有明显增加, 此外, 在正偏置电压下的低阻态电流基本保持不变, 而高阻态电流有小幅度的上升. 图 6(b) 显示了正栅压 $V_g \geq 10 \text{ V}$ 时器件的 I_d - V_{ds} 特性曲线, 此时图中的 I_d - V_{ds} 曲线变为单极性. 从图 6(b) 可以看出, 随着栅压的增加, 正偏置电压下的 HRS 电流急剧增大, 当 V_g 增加到 25 V 时, HRS 电流上升到 10^{-9} A 以上, 相比 $V_g = 0 \text{ V}$ 时上升了 3 个数量级, 而 LRS 电流相对来说几乎不变,

这导致器件在 $V_{ds} = 2.4 \text{ V}$ 时的开关比急剧减小.

为阐明 $\text{ReSe}_2/\text{WSe}_2$ 记忆晶体管的阻变机理, 图 7 给出负偏置电压 ($V_{ds} < 0$) 时, 不同栅压下 $\text{ReSe}_2/\text{WSe}_2$ 记忆晶体管的简化能带图. 从图 7 可以看出: 有外加负偏压时, 空穴从源端注入, 越过 WSe_2/Au , ReSe_2/Au 肖特基势垒以及 $\text{ReSe}_2/\text{WSe}_2$ 界面势垒, 进入漏端, 形成沟道电流, 此时能带图示于图 7(a). 当外加负栅压时, $\text{ReSe}_2/\text{WSe}_2$ 中的准费米能级下移, 由于 WSe_2 和 ReSe_2 均为 p 型材料, 沟道中以空穴导电为主, 准费米能级的下移使空穴更容易从源端进入 WSe_2 中, 如图 7(b) 所示, 因此沟道中空穴浓度增加. 又因为负偏置电压会降低 $\text{ReSe}_2/\text{WSe}_2$ 界面势垒, 因而当 $V_g = -1 \text{ V}$ 时,

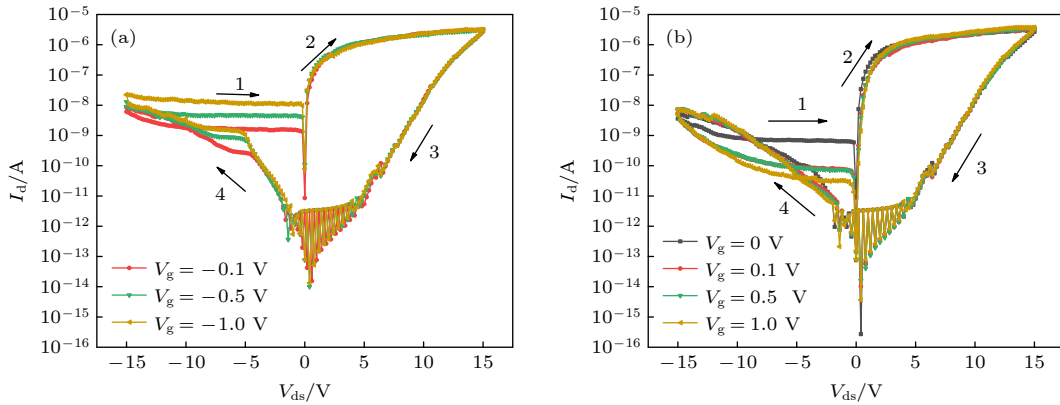


图 5 在 $-1 \text{ V} < V_g < 1 \text{ V}$ 范围中, 不同栅压下 $\text{ReSe}_2/\text{WSe}_2$ 记忆晶体管的阻变特性 (a) 负栅压 $V_g = -0.1 \sim -1 \text{ V}$ 时的 I_d - V_{ds} 特性曲线; (b) 正栅压 $V_g = 0.1 \sim 1 \text{ V}$ 时的 I_d - V_{ds} 特性曲线 (0 V 作为参考)

Fig. 5. Resistance characteristics of $\text{ReSe}_2/\text{WSe}_2$ memtransistors at different gate voltages in the range of $-1 \text{ V} < V_g < 1 \text{ V}$: (a) I_d - V_{ds} characteristic curves at negative gate voltage $V_g = -0.1 \sim -1 \text{ V}$; (b) I_d - V_{ds} characteristic curves at positive gate voltage $V_g = 0.1 \sim 1 \text{ V}$ (the black line with $V_g = 0 \text{ V}$ is as a reference).

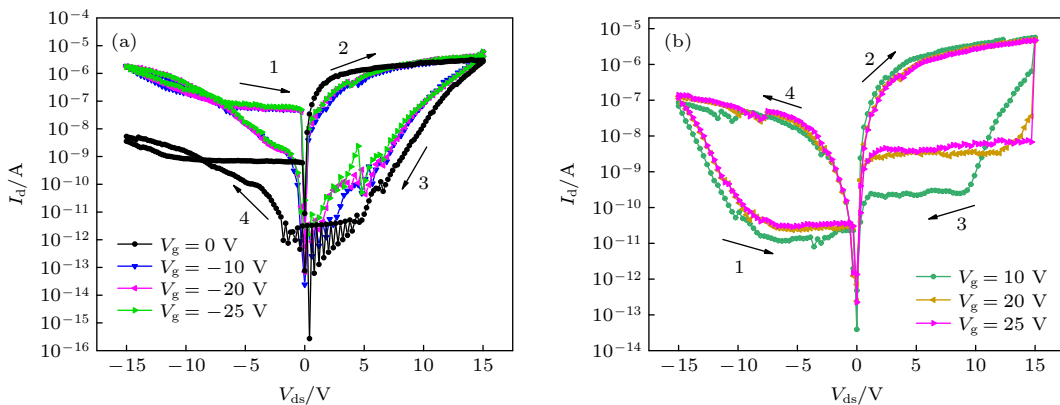


图 6 高栅压 ($|V_g| > 10 \text{ V}$) 时, 不同栅压下 $\text{Au}/\text{ReSe}_2/\text{WSe}_2/\text{Au}$ 器件的阻变特性 (a) 负栅压 $V_g = -10 \sim -25 \text{ V}$ 时的 I_d - V_{ds} 特性曲线 (其中 0 V 曲线作为参考); (b) 正栅压 $V_g = 10 \sim 25 \text{ V}$ 时的 I_d - V_{ds} 特性曲线

Fig. 6. Resistance characteristics of $\text{Au}/\text{ReSe}_2/\text{WSe}_2/\text{Au}$ device at higher gate voltages ($|V_g| > 10 \text{ V}$): (a) I_d - V_{ds} characteristic curves at negative gate voltages $V_g = -10 \sim -25 \text{ V}$ (the black line with $V_g = 0 \text{ V}$ is as a reference); (b) I_d - V_{ds} characteristic curves at positive gate voltages $V_g = 10 \sim 25 \text{ V}$.

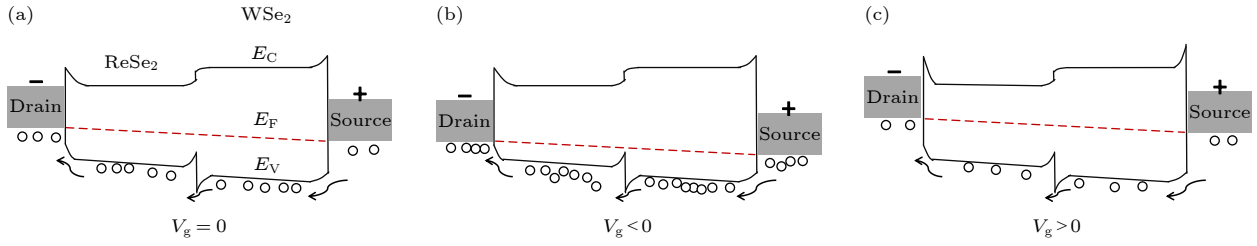


图 7 Au/ReSe₂/WS₂/Au 记忆晶体管的简化能带图 ($V_{ds} < 0$) (a) $V_g = 0$ V; (b) $V_g < 0$ V; (c) $V_g > 0$ V

Fig. 7. Simplified band diagram of Au/ReSe₂/WS₂/Au memtransistor ($V_{ds} < 0$): (a) $V_g = 0$ V; (b) $V_g < 0$ V; (c) $V_g > 0$ V.

低阻态电流增长得更快, 负偏置电压下的曲线不呈现“8”字, 而是形成了一条完整的闭合曲线, 如图 5(a) 所示. 当外加较高的负栅压时, 在负偏压范围内, 器件的高低阻态电流均有明显的提升; 而在正偏压范围内, 器件的低阻态电流仅依赖于 V_{ds} 的扫描范围^[33], 对栅压并不敏感, 仅高阻态电流有小幅增长.

当外加正栅压时, ReSe₂/WS₂ 中的准费米能级上移, 对于源端的空穴来讲, 进入到 WS₂ 层中的势垒升高, 沟道中载流子明显减少, 如图 7(c) 所示, 因此正栅压降低了沟道中的空穴浓度. 负偏置电压下, 器件高、低阻态的电流均出现了下降, 在较高的正栅压下, 甚至改变了记忆晶体管的极性, 如图 6(b) 所示. 而外加正偏置电压时, 正偏置电压增强了内建电场, 但较高的正栅压会抑制 WS₂/Au 肖特基势垒, 这两者的共同作用导致器件中高阻态电流有较大增加, 而低阻态电流对栅压的影响不敏感, 基本保持不变, 因此器件的开关比急剧下降.

表 1 列出了栅压在 0—25 V 范围内变化时器件在 $V_{ds} = 2.4$ V 的 HRS 和 LRS 阻值以及对应开关比. 可以看出, 当栅压增加, HRS 阻值快速降低, 而 LRS 阻值小幅度增加, 以致开关比持续地减小. 当 $V_g = 25$ V 时开关比已从 $V_g = 0$ V 时的 2.66×10^5 降至 4.70×10^1 .

表 1 不同正栅压下器件的详细参数

Table 1. Detailed parameters of the device under different positive gate voltages.

	栅压 V_g /V				
	0	1	10	20	25
HRS阻值/ Ω	6.31×10^{11}	4.36×10^{11}	1.20×10^{10}	8.75×10^8	5.26×10^8
LRS阻值/ Ω	2.37×10^6	4.31×10^6	5.59×10^6	9.66×10^6	1.12×10^7
开关比	2.66×10^5	1.01×10^5	2.14×10^3	9.06×10^1	4.70×10^1

因此, 对器件施加正、负栅压都可以调节器件的开关比. 相比于 $V_g = 0$ V, 当 $V_g = 10$ V 时开关

比就能被调控超过 2 个数量级, $V_g = 25$ V 时能被调控将近 4 个数量级, 由此可见, 正栅压可大幅度调控器件的开关比, 从 2.66×10^5 降至 4.70×10^1 . 负栅压下, 由于高阻态电流有所上升, 当 $V_g = -25$ V 时器件开关比达到最小值 2.52×10^3 , 因此可实现开关比在 2.52×10^3 — 2.66×10^5 范围内的调控.

3.4 光场栅极调控

为了探究光场对器件性能的影响, 对器件施加不同波长的单色光照射, 入射波长光功率密度为 $0.15 \text{ mW} \cdot \text{cm}^{-2}$, 在 $V_g = 0$ V 下测试其 I_d - V_{ds} 特性, 得到的结果如图 8 所示, 其中暗场条件下的 I_d - V_{ds} 曲线作为参考. 图 8 中显示, 器件的高阻态 I_d 在正偏压下明显增加, 这是因为 ReSe₂ 层和 WS₂ 层都是良好的光吸收层^[34,35]. 对器件施加不同波长光照后, 其 I_d - V_{ds} 特性曲线呈现出可调的高电阻状态. 入射波长为 500 nm 时, 对应高阻态电流最大, 随波长进一步增加, 器件在正偏置电压下的高阻态电流逐渐降低, 表明 ReSe₂/WS₂ 异质结对 500 nm 波长的光吸收率最高.

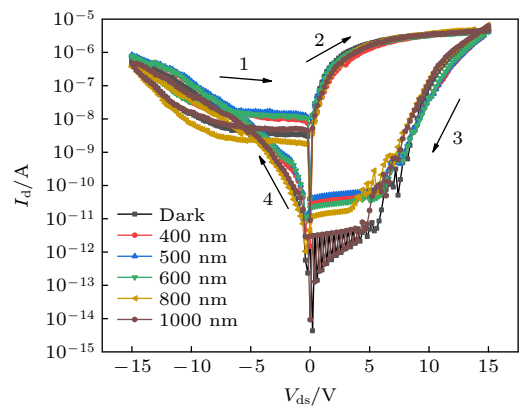


图 8 Au/ReSe₂/WS₂/Au 器件在不同波长光栅调控下的 I_d - V_{ds} 曲线

Fig. 8. I_d - V_{ds} curves of the Au/ReSe₂/WS₂/Au device under optical modulation with different wavelengths.

当施加 400—800 nm 的波长光照时, 器件的阻态变化主要归因于光伏特效, 光照在沟道材料中产生电子-空穴对, 并在内建电场的作用下快速分离形成光生电流. ReSe_2/Au 和 WSe_2/Au 界面上的表面态可俘获光生载流子, 降低肖特基势垒高度, 因此光照的效果类似于外加正栅压, 此时能带变化可参考图 7(c), 引起高阻态电流的明显上升, 器件开关比下降. 当光照波长增加到 1000 nm 时, 器件对入射光波的吸收减弱, 此时的开关比恢复到接近黑暗条件下的开关比.

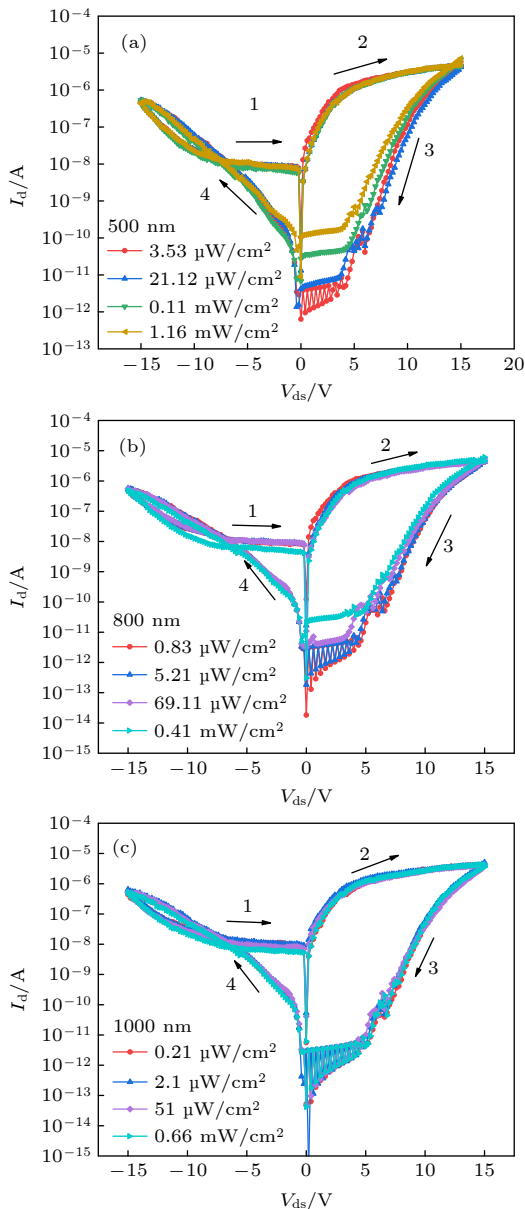


图 9 不同波长、不同光强下器件的 I_d - V_{ds} 特性曲线 (a) 500 nm 光照; (b) 800 nm 光照; (c) 1000 nm 光照

Fig. 9. I_d - V_{ds} curves of the device under different wavelengths and powers: (a) 500 nm illumination; (b) 800 nm illumination; (c) 1000 nm illumination.

不同光功率密度对器件阻变特性影响的结果示于图 9. 参考图 8 的结果, 分别选取波长为 500, 800 和 1000 nm 的光照. 图 9(a) 中, 当 $\lambda = 500$ nm 时, 随入射光强从 $3.53 \mu\text{W}\cdot\text{cm}^{-2}$ 增至 $1.16 \text{mW}\cdot\text{cm}^{-2}$, 低阻态电流基本无变化, 而正偏压下的高阻态电流逐渐增加, 表明 HRS 阻值不断下降. 因为 $\text{ReSe}_2/\text{WSe}_2$ 结构在 500 nm 附近的光响应最高^[29], 光照在 ReSe_2 层和 WSe_2 层中产生电子-空穴对, 光生载流子在内建电场的作用下分离, 分别移向源极和漏极, 增加了沟道内载流子的浓度, 因此光功率密度变化可调节器件的开关比. 在图 9(b) 中, $\lambda = 800$ nm 时, 器件的光吸收减弱, 表现为高阻态电流随着光强的增加增长缓慢, 因此 800 nm 波长的光照对器件的阻变特性影响较小. 图 9(c) 中, 由于 $\text{ReSe}_2/\text{WSe}_2$ 结构对 1000 nm 波长无明显吸收, 此波长的光强变化对阻变特性基本无影响.

受实验条件限制, 三种波长下的光功率取值并不完全相同, 但不同波长下的光强均涵盖了 3 个数量级的变化, 且得到的结论保持一致, 即在器件发生光吸收的情况下, 随着光照功率密度越大, 正偏压下高阻态电流增加, 器件的开关比减小.

3.5 光场和电场的双栅协控

从前面单独的电场、光场对器件性能调控的结果可知, 栅压和光照都能有效调控器件的高阻态, 从而在一定范围内调控器件的开关比. 为了研究电栅和光栅协控对器件性能的影响, 在 500 nm 波长光照下, 入射功率保持 $0.15 \text{mW}\cdot\text{cm}^{-2}$ 时, 对器件施加不同的栅压, 得到的 I_d - V_{ds} 曲线如图 10 所示.

由图 10 可知, 在 500 nm 波长光照下施加栅压, 对器件的阻变特性有明显的调控效果. 在图 10(a) 中, 随着负栅压的不断增大, 器件的 I_d 整体向上移动, 这和图 6(a) 中暗条件下加负栅压的结果类似. 当 $V_g = -25$ V 时, 沟道中的空穴浓度明显增加, 加上外加光照的双重影响, 正偏压下的 HRS 电流有较大增加, 导致器件的开关比下降. 在图 10(b) 中, 当外加正栅压时, I_d - V_{ds} 曲线转化为单极性曲线, 这个结果和图 6(b) 的结果类似, 都显示出正栅压使曲线从双极性变为单极性. 与图 6(b) 不同的是, 在 500 nm 波长光照下, 此时器件从双极性转变为单极性所需要的最小栅压仅为 5 V. 同样, 过高的正栅压会增加正偏压下的 HRS 电流, 引起器件的开关比下降.

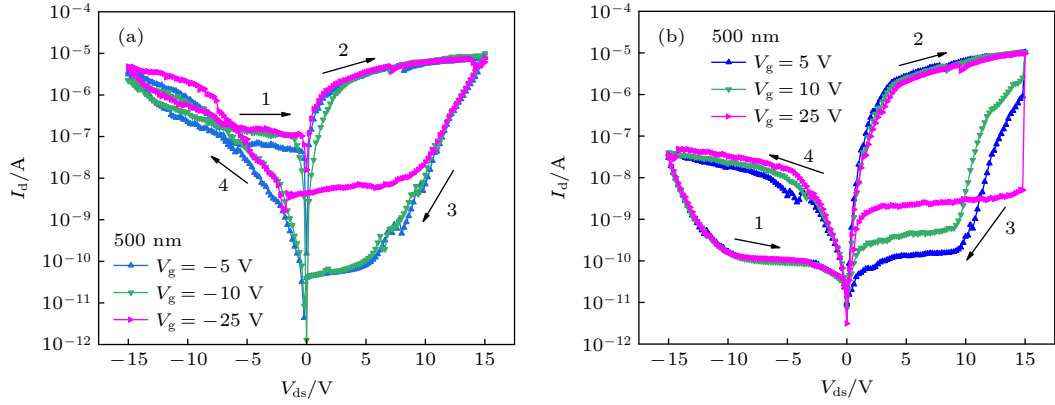


图 10 500 nm 波长光照和电场同时调控下器件的阻变特性 (a) 负栅压 $V_g = -5-25$ V 时的 I_d-V_{ds} 曲线; (b) 正栅压 $V_g = 5-25$ V 时的 I_d-V_{ds} 曲线

Fig. 10. Resistance characteristics of electric and light dual-gate tunable memtransistor with illumination wavelength of 500 nm: (a) I_d-V_{ds} curves at negative gate voltages $V_g = -5-25$ V; (b) I_d-V_{ds} curves at positive gate voltages $V_g = 5-25$ V.

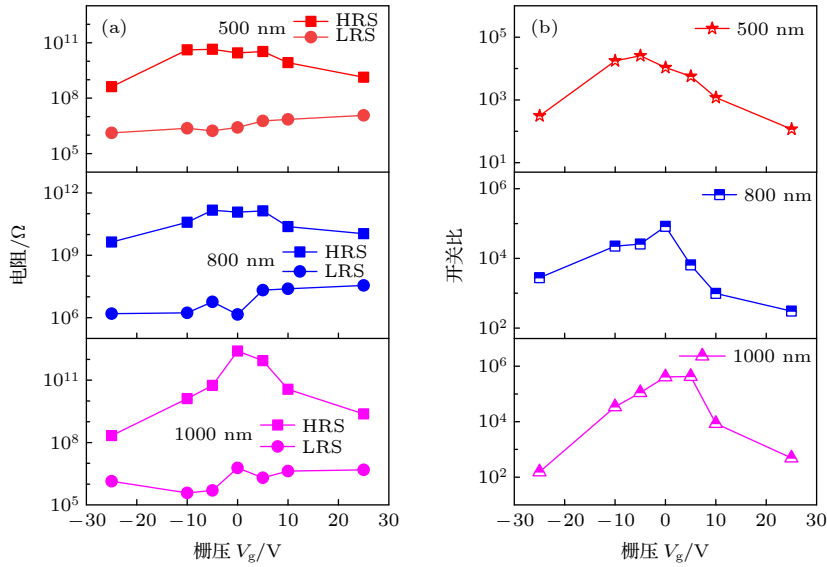


图 11 光场和电场的双栅协控下, Au/ReSe₂/WSe₂/Au 记忆晶体管特性 (a) 器件的高低阻态随栅压、波长的变化; (b) 开关比随栅压、波长的变化

Fig. 11. Electric and light dual-gate tunable Au/ReSe₂/WSe₂/Au memtransistor: (a) The high and low resistance states of the devices under different gate voltages and different incident wavelengths; (b) on/off ratio of the devices under different gate voltages and different incident wavelengths.

将 500, 800 和 1000 nm 光波长照射下, 器件的高低阻态以及开关比随栅压的变化总结于图 11.

从图 11 可以看出, 当入射波长为 500 nm 时, 沟道材料出现很强的光吸收, 导致沟道内光生载流子浓度迅速升高, HRS 的电阻明显降低, 器件开关比变小. 并且, HRS 和 LRS 受栅压的影响并不相同. LRS 主要受偏置电压 V_{ds} 扫描范围的影响, 对栅压不敏感, 因此栅压变化过程中, LRS 基本保持不变. 对于 HRS, 外加负栅压时, 会从源端向沟道内注入大量的空穴, 导致电阻值的下降, 而正栅压

下, 源、漏电极处的肖特基势垒被抑制, 同样带来电阻值的下降. 因此, 器件开关比从 $V_g = 0$ V 时的 1.07×10^4 降到 $V_g = -25$ V 时的 3.11×10^2 和 $V_g = 25$ V 时的 1.17×10^2 .

当入射波长增加到 1000 nm 时, 由于 ReSe₂/WSe₂ 材料对此波段光照基本不吸收, 沟道内载流子浓度降低, 开关比与暗条件下开关比接近, 为 4.91×10^5 . 在负栅压调控时, 此时光照影响可忽略, 栅压的增加引起沟道中载流子的注入, 高阻态电阻降低到不足 $10^9 \Omega$, 开关比低至 1.54×10^2 . 正栅压

调控时, 较高的栅压抑制了肖特基势垒, 高阻态电阻降为 $10^9 \Omega$, 开关比降低到 4.89×10^2 . 而对于 800 nm 光照, 高、低电阻和开关比变化趋势与 500 和 1000 nm 结果基本一致, 开关比变化范围为 3.07×10^2 — 8.34×10^4 , 位于两者之间.

4 结 论

本文通过微机械剥离法制备了 $\text{ReSe}_2/\text{WSe}_2$ 双 p 型记忆晶体管, 并系统地研究了电学栅控、光学栅控和光电双栅协控下器件的阻变特性和阻变机制. 暗条件下, 该记忆晶体管可实现 10^5 的开关比、225 个循环周期以及 1.9×10^4 s 的保持时间, 表明其拥有优异的循环稳定性和耐久性. 而通过改变栅极电压、光照条件以及两者的组合, 可实现可调开关比. 与 n 型记忆晶体管有明显区别的是: 负栅压将增加沟道中的空穴浓度, 此时开关比变化不如加正栅压时变化明显. 正栅压条件下, 开关比变化范围为 10^1 — 10^5 ; 而负栅压下, 开关比变化范围仅为 10^3 — 10^5 . 同时, 对比了不同光照和光功率密度对器件开关比的影响, 发现器件在有光吸收的情况下, 随着光照功率密度增加, HRS 电阻减小, 器件的开关比降低. 在电栅和光栅协同控制时, 器件开关比的调制范围为 10^2 — 10^5 . 阻态可调的 $\text{ReSe}_2/\text{WSe}_2$ 记忆晶体管为模拟电路带来了新的发展方向, 同时有实现高稳定性、高集成度的大规模集成忆阻器矩阵的潜力, 在人工智能和类脑计算领域具有广阔的应用前景.

参考文献

- [1] Chua L 1971 *IEEE Trans. Circuit Theory* **5** 507
- [2] Strukov D B, Snider G S, Stewart D R, Williams R S 2008 *Nature* **453** 80
- [3] Cheng S L, Fan Z, Rao J J, Hong L Q, Huang Q C, Tao R Q, Hou Z P, Qin M H, Zeng M, Lu X B, Zhou G F, Yuan G L, Gao X S, Liu J M 2020 *Iscience* **23** 101874
- [4] Cui B Y, Fan Z, Li W J, Chen Y H, Dong S, Tan Z W, Cheng S L, Tian B B, Tao R Q, Tian G, Chen D Y, Hou Z P, Qin M H, Zeng M, Lu X B, Zhou G F, Gao X S, Liu J M 2022 *Nat. Commun.* **13** 1707
- [5] Waser R, Dittmann R, Staikov G, Szot K 2009 *Adv. Mater.* **21** 2632
- [6] Xu X W, Ding Y K, Hu S X B, Niemier M, Cong J, Hu Y, Shi Y Y 2018 *Nat. Electron.* **1** 216
- [7] Zeng M Q, Xiao Y, Liu J X, Yang K N, Fu L 2018 *Chem. Rev.* **118** 6236
- [8] Nguyen D A, Oh H M, Duong N T, Bang S, Yoon S J, Jeong M S 2018 *ACS Appl. Mater. Interfaces* **10** 10322
- [9] Shim J, Oh S, Kang D H, Jo S H, Ali M H, Choi W Y, Heo K, Jeon J, Lee S, Kim M, Song Y J, Park J H 2016 *Nat. Commun.* **7** 13413
- [10] Yoshida M, Suzuki R, Zhang Y, Nakano M, Iwasa Y 2015 *Sci. Adv.* **1** e1500606
- [11] Vu Q A, Kim H, Nguyen V L, Won U Y, Adhikari S, Kim K, Lee Y H, Yu W J 2017 *Adv. Mater.* **29** 1703363
- [12] Xu R J, Jang H, Lee M H, Amanov D, Cho Y, Kim H, Park S, Shin H J, Ham D 2019 *Nano Lett.* **19** 2411
- [13] Park M, Park S, Yoo K H 2016 *ACS Appl. Mater. Interfaces* **8** 14046
- [14] John R A, Liu F C, Chien N A, Kulkarni M R, Zhu C, Fu Q D, Basu A, Liu Z, Mathews N 2018 *Adv. Mater.* **30** 1800220
- [15] Sangwan V K, Lee H S, Bergeron H, Beck M E, Chen K S, Hersam M C, Balla I 2018 *Nature* **554** 500
- [16] Zhong Y N, Gao X, Xu J L, Siringhaus H, Wang S D 2020 *Adv. Electron. Mater.* **6** 1900955
- [17] Deng W, Wang L S, Liu J N, Yu X L, Chen F X 2021 *Acta Phys. Sin.* **70** 217302 (in Chinese) [邓文, 汪礼胜, 刘嘉宁, 余雪玲, 陈凤翔 2021 物理学报 **70** 217302]
- [18] Zhang W G, Gao H, Deng C S, Lü T, Hu S H, Hao W, Xue S Y, Tao Y F, Deng L M, Xiong W 2021 *Nanoscale* **13** 11497
- [19] Kim M, Ge R J, Wu X H, Lan X, Tice J, Lee J C, Akinwande D 2018 *Nat. Commun.* **9** 2524
- [20] Rehman S, Kim H, Khan M F, Hur J H, Eom J, Kim D K 2021 *J. Alloys Compd.* **855** 157310
- [21] Yin J 2019 *M. S. Thesis* (Beijing: Tsing University) (in Chinese) [殷俊 2019 硕士学位论文 (北京: 清华大学)]
- [22] Tian X, Liu Y 2021 *J. Semicond.* **42** 032001
- [23] Zhou X, Hu X Z, Zhou S S, Song H Y, Zhang Q, Pi L J, Li L, Li H Q, Lü J T, Zhai T Y 2018 *Adv. Mater.* **30** 1703286
- [24] Ali M H, Kang D H, Park J H 2017 *Org. Electron.* **53** 14
- [25] Li D, Wu B, Zhu X J, Wang J T, Ryu B, Lu W D, Liang X G 2018 *ACS Nano* **12** 9240
- [26] Wang L, Liao W G, Wong S L, Yu Z G, Li S F, Lim Y F, Feng X W, Tan W C, Huang X, Chen L, Liu L, Chen J S, Gong X, Zhu C X, Liu X K, Zhang Y W, Chi D Z, Ang K W 2019 *Adv. Funct. Mater.* **29** 1901106
- [27] Wang C, Yang S, Xiong W Q, Xia C X, Cai H, Chen B, Wang X T, Zhang X Z, Wei Z M, Tongay S, Li J B, Liu Q 2016 *Phys. Chem. Chem. Phys.* **18** 27750
- [28] Wang X T, Huang L, Peng Y T, Huo N J, Wu K D, Xia C X, Wei Z M, Tongay S, Li J B 2016 *Nano Res.* **9** 507
- [29] Ahn J, Ko K, Kyhm J H, Ra H S, Bae H, Hong S, Kim D Y, Jang J, Kim T W, Choi S, Kang J H, Kwon N, Park S, Ju B K, Poon T C, Park M C, Im S, Hwang D K 2021 *ACS Nano* **15** 17917
- [30] Yang Y C, Gao P, Gaba S, Chang T, Pan X Q, Lu W 2012 *Nat. Commun.* **3** 732
- [31] Jang M H, Agarwal R, Nukala P, Choi D, Johnson A T C, Chen I W, Agarwal R 2016 *Nano Lett.* **16** 2139
- [32] Tian X W, Wang Y S, Zhang L, Liu A Q, He D W 2018 *Chin. Sci. Technol. Inf.* **13** 98 (in Chinese) [田学伟, 王永生, 张璐, 刘安琪, 何大伟 2018 中国科技信息 **13** 98]
- [33] Yin S Q, Song C, Sun Y M, Qiao L L, Wang B L, Sun Y F, Liu K, Pan F, Zhang X Z 2019 *ACS Appl. Mater. Interfaces* **11** 43344
- [34] Zhang L 2016 *M. S. Thesis* (Beijing: Beijing Jiaotong University) (in Chinese) [张璐 2016 硕士学位论文 (北京: 北京交通大学)]
- [35] Xia F L, Shi K X, Zhao D X, Wang Y P, Fan Y, Li J H 2021 *Chin. J. Lumin.* **42** 257 (in Chinese) [夏凤梁, 石凯熙, 赵东旭, 王云鹏, 范翊, 李金华 2021 发光学报 **42** 257]

Photoelectric modulation and resistive switching characteristic of ReSe₂/WSe₂ memtransistor^{*}

Yu Xue-Ling Chen Feng-Xiang[†] Xiang Tao
 Deng Wen Liu Jia-Ning Wang Li-Sheng[‡]

(Department of Physics Science and Technology, School of Science, Wuhan University of Technology, Wuhan 430070, China)

(Received 10 June 2022; revised manuscript received 17 July 2022)

Abstract

Memtransistor is a multiterminal device combining the concepts of memristor and field-effect transistor. Two-dimensional transition metal sulfides have unique electronic structure and properties, and they are widely used in electronic devices, energy conversions, memories and other fields. In this work, a two-dimensional ReSe₂/WSe₂ heterostructure memtransistor is prepared, then the resistive switching characteristics under the electrical modulation, optical modulation, and electric-optical dual gate control are discussed. The results show that the gate control is an effective modulation method, which can change the on/off ratio of the device from 10¹ to 10⁵. Then, the resistance and on/off ratio of the memtransistor can be controlled by changing the light wavelength and the illumination power. Moreover, the switching ratio of the device can also be changed in a range of 10²–10⁵ by electric and light dual-gate control, and the reasons for the change of resistance states of the device under different modulation conditions are analyzed. Furthermore, after 225 cycles and 1.9 × 10⁴ s, the ReSe₂/WSe₂ heterostructure memtransistor still maintains a switch ratio close to 10⁴, indicating the good stability and durability of the device. It demonstrates that the ReSe₂/WSe₂ memtransistor will be one of potential candidates for the next-generation nonvolatile memory applications.

Keywords: ReSe₂/WSe₂, memtransistor, gate control, optical control

PACS: 73.40.Sx, 72.80.Ga, 73.40.–c

DOI: 10.7498/aps.71.20221154

* Project supported by the National Natural Science Foundation of China (Grant No. 51702245), the National Key Research and Development Program of China (Grant Nos. 2018YFE0111500, 2019YFA0704900), the Open Fund Project of State Key Laboratory of Advanced Technology for Materials Synthesis and Processing (Wuhan University of Technology), China (Grant No. 2021-KF-16), and the Fundamental Research Fund for the Central Universities, China (Grant No. WUT2021III065JC).

† Corresponding author. E-mail: phonixchen79@whut.edu.cn

‡ Corresponding author. E-mail: wang_lesson@whut.edu.cn

ReSe₂/WSe₂记忆晶体管的光电调控和阻变特性

余雪玲 陈凤翔 相韬 邓文 刘嘉宁 汪礼胜

Photoelectric modulation and resistive switching characteristic of ReSe₂/WSe₂ memtransistor

Yu Xue-Ling Chen Feng-Xiang Xiang Tao Deng Wen Liu Jia-Ning Wang Li-Sheng

引用信息 Citation: *Acta Physica Sinica*, 71, 217302 (2022) DOI: 10.7498/aps.71.20221154

在线阅读 View online: <https://doi.org/10.7498/aps.71.20221154>

当期内容 View table of contents: <http://wulixb.iphy.ac.cn>

您可能感兴趣的其他文章

Articles you may be interested in

光电协控多层MoS₂记忆晶体管的阻变行为与机理研究

Resistive switching behavior and mechanism of multilayer MoS₂ memtransistor under control of back gate bias and light illumination

物理学报. 2021, 70(21): 217302 <https://doi.org/10.7498/aps.70.20210750>

WS₂与WSe₂单层膜中的A激子及其自旋动力学特性研究

Dynamics of A-exciton and spin relaxation in WS₂ and WSe₂ monolayer

物理学报. 2019, 68(1): 017201 <https://doi.org/10.7498/aps.68.20181769>

电场调控双层WSe₂转角同质结激子莫尔势

Exciton moiré potential in twisted WSe₂ homobilayers modulated by electric field

物理学报. 2022, 71(17): 177301 <https://doi.org/10.7498/aps.71.20220664>

非金属元素掺杂二硒化钨/石墨烯异质结对其肖特基调控的理论研究

Theoretical study on Schottky regulation of WSe₂/graphene heterostructure doped with nonmetallic elements

物理学报. 2020, 69(11): 117101 <https://doi.org/10.7498/aps.69.20200080>

基于栅控横向PNP双极晶体管的氢氛围中辐照损伤机制

Radiation mechanism of gate-controlled lateral PNP bipolar transistors in the hydrogen environment

物理学报. 2021, 70(15): 156101 <https://doi.org/10.7498/aps.70.20210351>

渔网超结构的等离激元模式及其对薄膜电池的陷光调控

Plasmon modes of fishnet metastructure and its trapping and control of light for thin film solar cells

物理学报. 2021, 70(21): 218801 <https://doi.org/10.7498/aps.70.20210693>