

阱接触对 28 nm SRAM 单粒子多位翻转的影响*

江新帅 罗尹虹[†] 赵雯 张凤祁 王坦

(西北核技术研究所, 强脉冲辐射环境模拟与效应国家重点实验室, 西安 710024)

(2022 年 9 月 5 日收到; 2022 年 9 月 30 日收到修改稿)

为研究纳米尺度下, 特征尺寸减小和阱接触布放方式对单粒子效应电荷收集机制的影响, 在北京 HI-13 串列加速器上开展了国产 28 nm 静态随机存储器 (SRAM) 重离子单粒子效应辐照实验研究, 获得了不同线性能量转移 (LET) 值重离子垂直入射下的器件重离子单粒子位翻转截面、多位翻转百分比和多位翻转拓扑图形, 并与 65 nm SRAM 实验数据进行对比, 分析了 28 nm SRAM 重离子单粒子多位翻转物理机理. 结果表明, 在特征尺寸减小、工作电压降低等因素影响下, 器件重离子单粒子翻转阈值减小, 位翻转饱和截面明显降低, 多位翻转占比增大, 拓扑图形可达 n 行 \times 3 列, 且呈现间断性的特点, 结合 28 nm SRAM 的全局阱接触布放对电荷收集机制的影响, 分析这种现象的产生源于 N 阱内 p 型金属-氧化物-半导体间电荷共享所导致的单粒子翻转再恢复.

关键词: 多位翻转, 单粒子翻转再恢复, 重离子, 电荷收集

PACS: 61.80.Jh, 85.30.Pq, 73.40.Lq

DOI: 10.7498/aps.72.20221742

1 引言

空间环境中, 重离子是导致器件发生单粒子效应的主要原因. 半导体器件进入纳米尺度后, 由于特征尺寸的减小及工作电压的降低, 使得器件发生单粒子翻转的临界电荷值不断降低, 部分器件甚至只需要收集少量的电荷就会发生翻转, 而器件集成度的增加、单元尺寸减小、节点间距降低等单元参数的变化以及新材料新结构的应用, 使得器件单粒子多位翻转 (multiple cell upset, MCU) 敏感性不断增加, 器件单粒子效应发生机制也更加复杂. 已有相关研究人员开展了包括 65, 40 和 32 nm 等不同特征尺寸纳米器件多位翻转物理机理的研究^[1-16], Narasimham 等^[1]研究了偏置电压对双阱和三阱 28 nm 静态随机存储器 (SRAM) 单粒子多位翻转的影响, 结果表明三阱 SRAM 的设计使其在低工

作电压下的多位翻转截面小于双阱 SRAM; Jeffrey 等^[3]则研究了低 LET 重离子入射角度对 28 nm SRAM 多位翻转的影响, 证明了多位翻转不仅与离子 LET 值有关, 更与离子的入射轨迹有关; Anna 等^[4]针对温度对多位翻转敏感性的影响, 开展了 65 nm SRAM 重离子多位翻转实验研究, 发现温度的升高会使阱内载流子迁移率增大, 使得器件内部发生寄生双极放大效应的可能性增加, 导致器件的多位翻转敏感性增大; 国内如罗尹虹等^[6]研究了离子径迹对 65 nm SRAM 多位翻转的影响, 提出采用低能重离子获取单粒子翻转阈值, 采用高能重离子获取单粒子翻转饱和截面.

随着器件技术节点的不断减小, 28 nm SRAM 的阱接触布放方式已经由独立阱接触布放改为全局阱接触布放. 本文主要针对特征尺寸减小、阱接触布局方式的变化是否对单粒子效应电荷收集机制产生新的影响, 不同特征尺寸器件单粒子多位翻

* 国家自然科学基金重大项目 (批准号: 11690043, 11690040) 资助的课题.

[†] 通信作者. E-mail: luoyinhong@nint.ac.cn

转机理之间是否存在差异等问题,在北京 HI-13 串列加速器上开展了 28 nm SRAM 重离子单粒子效应辐照实验研究,并与 65 nm SRAM 实验结果进行对比,结合版图布局和电荷收集机制对实验结果进行了深入的分析.

2 实验

2.1 实验样品

实验所用器件为一块 28 nm HKMG (high-k metal gate) 工艺的单端口 SRAM,容量为 128 kbit,单个字节数据为 8 bit,地址数据是 14 bit,输入输出数据共用 IO,内核单元工作电压为 0.9 V,IO 电源电压 1.8 V. 表 1 给出本文所用 28 nm SRAM 和用于对比的 65 nm SRAM 的部分参数. 图 1 给出两款器件阱接触布放的示意图,可以看到,65 nm SRAM 采用的是每个 SRAM 单元放置一个阱接触的独立阱接触布放,28 nm SRAM 采用的则是多个 SRAM 单元共用一个阱接触的全局阱接触布放.

表 1 两款 SRAM 器件关键参数对比

Table 1. Key parameters of the 28 nm SRAM and 65 nm SRAM for comparison.

器件名称	SRAM单元尺寸/ μm^2	工作电压/V	容量	阱接触布放
65 nm SRAM	1.22×0.526	1.2	256 kbit	独立阱接触
28 nm SRAM	0.58×0.27	0.9	128 kbit	全局阱接触

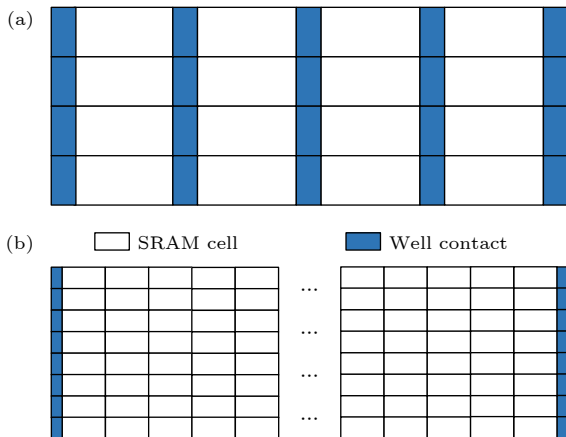


图 1 (a) 65 nm SRAM 阱接触布放; (b) 28 nm SRAM 阱接触布放

Fig. 1. Well contact placement of 65 nm SRAM (a) and 28 nm SRAM (b).

2.2 实验平台

28 nm SRAM 重离子辐照实验在中国原子能科学研究院 HI-13 串列加速器上进行, HI-13 可以提供 LET 范围在 0.0176—80.9 MeV·cm²·mg⁻¹ 的 ¹H—¹⁹⁷Au 粒子束流,足以覆盖从器件翻转阈值到饱和截面所需线性能量转移 (LET) 值的离子种类及离子能量. 表 2 给出本次实验选用的 4 种离子以及离子到达器件表面时的 LET 值.

表 2 实验所用的离子种类及其参数

Table 2. Ion species and parameters used in the experiment.

离子	能量/MeV	表面LET值/(MeV·cm ² ·mg ⁻¹)	硅中射程/ μm
C	78	1.8	122
F	100	4.4	72.7
Si	135	9.3	50.7
I	283	65.6	30.0

2.3 测试系统及测试方法

实验使用的单粒子效应测试系统由辐照板、FPGA 测试板以及上位机测试软件三部分组成. 辐照板主要用于放置待测器件,在器件受到辐照后,将待测器件内的数据通过数据线传至 FPGA 测试板; FPGA 测试板则主要用于待测器件的初始数据写入,以及将辐照时回传的 SRAM 数据与初始写入数据进行比较,并向上位机软件发送翻转单元的逻辑地址和数据;上位机软件则用于监控整个实验流程.

实验前,向待测器件中写入初始测试图形 0055H,并对 SRAM 内核施加 0.9 V 的工作电压;实验时,离子以低注量率垂直辐照器件,测试系统高速回读,以避免因不同离子入射相邻存储单元引发的“伪”多位翻转;离子注量率的选定通常要保证每个回读周期内,SRAM 单元的翻转数小于芯片总容量的 0.01%,此时“伪”多位翻转发生的概率小于 0.1%;每轮实验结束后,保存实验数据,并开启下一轮次实验.

2.4 多位翻转数据处理方法

数据文件保存的是翻转单元的数据和逻辑地址,为实现对单粒子多位翻转数据的准确提取,需要根据器件逻辑地址和物理地址的映射关系,将逻辑地址转换为器件真实的物理地址.

通过分析数据翻转单元发生翻转的时间、翻转单元逻辑地址和数据的关键字, 将翻转数据根据发生时间的不同, 归类为不同的时间段; 并从其逻辑地址中提取字线、位线等物理地址信息; 再根据多位翻转的定义, 判断同一时间内发生翻转的两个 SRAM 单元在物理上的距离 d 是否满足 $d < 2$, 以确定这两个翻转的 SRAM 是否属于同一次多位翻转, 具体设计流程如图 2 所示.

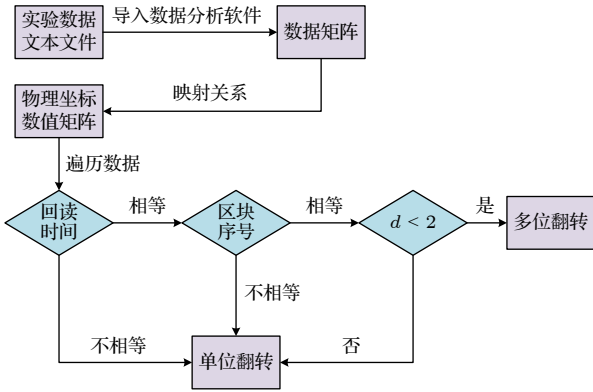


图 2 28 nm SRAM 多位翻转数据提取程序流程图
Fig. 2. Flow diagram of 28 nm SRAM MCU extract program.

3 实验结果

3.1 单粒子位翻转截面

图 3 给出利用 Weibull 公式拟合得到的 28 nm SRAM 重离子单粒子位翻转截面曲线及 Weibull 参数, 同时给出 65 nm SRAM 重离子单粒子位翻转截面曲线及 Weibull 参数. 从图 3 可以看到, 相比于 65 nm SRAM, 由于特征尺寸的减小以及工作电压的降低, 28 nm SRAM 重离子单粒子位翻转饱和截面由 $1.85 \times 10^{-8} \text{ cm}^2/\text{bit}$ 减小至 $2.1 \times 10^{-9} \text{ cm}^2/\text{bit}$.

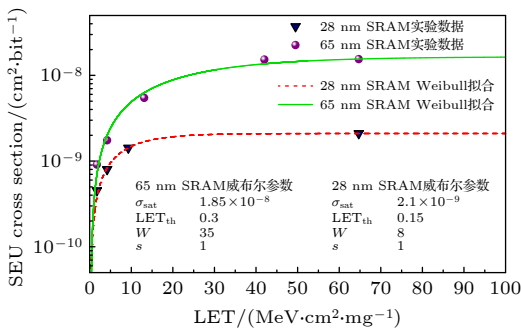


图 3 28 nm SRAM 重离子单粒子位翻转截面曲线
Fig. 3. Single event upset (SEU) cross section of 28 nm SRAM heavy ion experiment.

$10^{-9} \text{ cm}^2/\text{bit}$, 翻转阈值由 $0.3 \text{ MeV}\cdot\text{cm}^2\cdot\text{mg}^{-1}$ 降低至 $0.15 \text{ MeV}\cdot\text{cm}^2\cdot\text{mg}^{-1}$; 同时可以看到, 受阈值降低和特征尺寸减小的影响, 28 nm SRAM 重离子单粒子位翻转截面在 $\text{LET} \approx 10 \text{ MeV}\cdot\text{cm}^2\cdot\text{mg}^{-1}$ 便进入饱和, 65 nm SRAM 的重离子单粒子位翻转截面则在 $\text{LET} \approx 35 \text{ MeV}\cdot\text{cm}^2\cdot\text{mg}^{-1}$ 时才进入饱和.

3.2 多位翻转百分比及拓扑图形

图 4(a) 和图 4(b) 给出了 65 nm SRAM 和 28 nm SRAM 在不同 LET 值下的重离子单粒子多位翻转百分比, 图 5(a) 和图 5(b) 则给出 65 nm SRAM 和 28 nm SRAM 在全部 LET 值下的重离子单粒子多位翻转拓扑图形. 由图 4 可知, 28 nm SRAM 在 $\text{LET} = 1.73 \text{ MeV}\cdot\text{cm}^2\cdot\text{mg}^{-1}$ 时出现两位翻转, 65 nm SRAM 在 $\text{LET} = 4.2 \text{ MeV}\cdot\text{cm}^2\cdot\text{mg}^{-1}$ 时才出现两位翻转, 这表明相比于 65 nm SRAM,

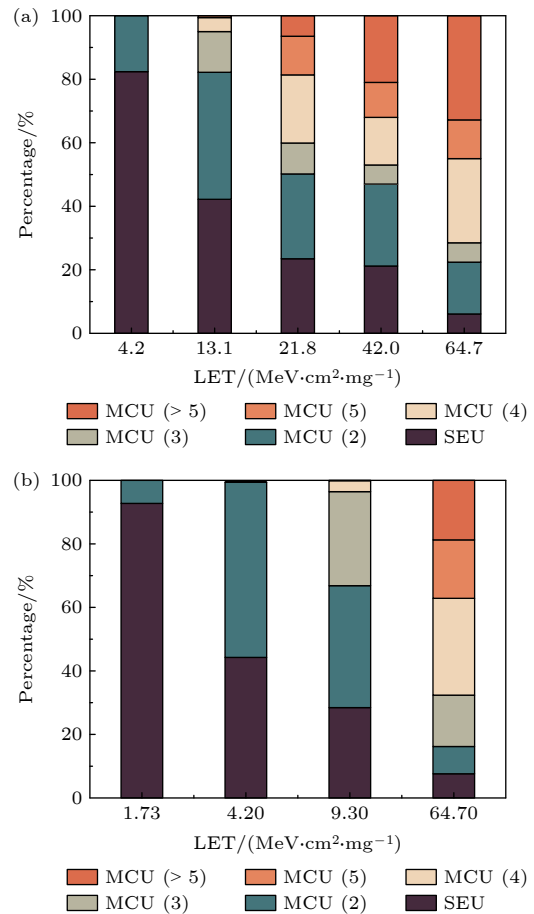


图 4 重离子单粒子多位翻转百分比 (a) 65 nm SRAM; (b) 28 nm SRAM

Fig. 4. The MCU ratio of 65 nm SRAM (a) and 28 nm SRAM (b).

28 nm SRAM 单粒子多位翻转 LET 阈值降低. 从多位翻转所占比例来看, 随着入射离子 LET 值的增大, 两款器件的多位翻转的占比也逐渐升高, 其中, 65 nm SRAM 单粒子多位翻转最高位为 8 位, 而 28 nm SRAM 单粒子多位翻转最高位为 11 位, 这表明特征尺寸的减小导致离子沉积电荷的影响范围增加. 从拓扑图形来看, 65 nm SRAM 的多位翻转拓扑图形均为 n 行 \times 2 列或 n 行 \times 1 列, 且呈现连续性的特点; 而 28 nm SRAM 的低 LET 重离子多位翻转拓扑图形与 65 nm SRAM 特点相同, 高 LET 的 I 离子多位翻转拓扑图形则出现了 n 行 \times 3 列的形状, 且呈现间断性的特点.

4 结果分析

4.1 单粒子多位翻转物理机理

下面结合图 4 和图 5 对 28 nm SRAM 单粒子多位翻转物理机理进行分析. 低 LET 重离子 ($LET \leq 1.73 \text{ MeV}\cdot\text{cm}^2\cdot\text{mg}^{-1}$) 入射后, 由于其通过电离作用在硅中产生的沉积电荷较少, 因此, 低 LET 离子只有直接撞击在敏感节点的 n 型金属-氧化物-半导体 (NMOS) 漏区时, 其产生的沉积电荷在强电场的作用下通过漂移作用被收集后, 才能导致 SRAM 单元逻辑状态发生改变, 所以低 LET 重离子导致的基本全为单位翻转.

较高 LET 重离子 ($1.73 \text{ MeV}\cdot\text{cm}^2\cdot\text{mg}^{-1} \leq LET$

$\leq 9.3 \text{ MeV}\cdot\text{cm}^2\cdot\text{mg}^{-1}$) 入射后, 离子沉积的电荷量增大, 入射位置电荷浓度增大, 少子的寿命变长, 扩散距离增加^[17]. 部分沉积在灵敏漏区外围的电荷也可以通过扩散过程, 被一定距离内的数个 SRAM 单元的灵敏漏区收集, 多位翻转所占的比例逐渐增大.

高 LET 重离子 ($9.3 \text{ MeV}\cdot\text{cm}^2\cdot\text{mg}^{-1} \leq LET$) 入射后, 由于其可以通过电离产生大量电子空穴对, 容易引起阱电势的塌陷, 导致寄生双极放大效应的产生, 有研究表明, 对于小尺寸器件, 寄生双极放大效应严重时会引起 10 个以上的 SRAM 单元发生翻转^[18].

4.2 电荷收集机制对 MCU 拓扑图形的影响

图 6 给出离子入射 SRAM 器件不同位置的示意图. 由于垂直于阱方向的相邻 SRAM 的关态 NMOS 敏感节点位于同一 P 阱中, 因此, 离子垂直入射 1# 位置产生的沉积电荷, 不仅可以直接影响垂直于阱方向的两个相邻 SRAM 单元, 还会通过扩散作用影响沿阱方向的数个 SRAM 单元, 多位翻转拓扑图形通常呈现为沿阱方向的 n 行 \times 2 列的形状; 而 N 阱中垂直于阱方向仅有一个 SRAM 单元的关态 p 型金属-氧化物-半导体 (PMOS) 敏感节点, 沉积电荷在扩散作用下仅能影响沿阱方向的数个 SRAM 单元, 多位翻转拓扑图形通常呈现沿阱方向的 n 行 \times 1 列的形状. 65 nm SRAM 由于采

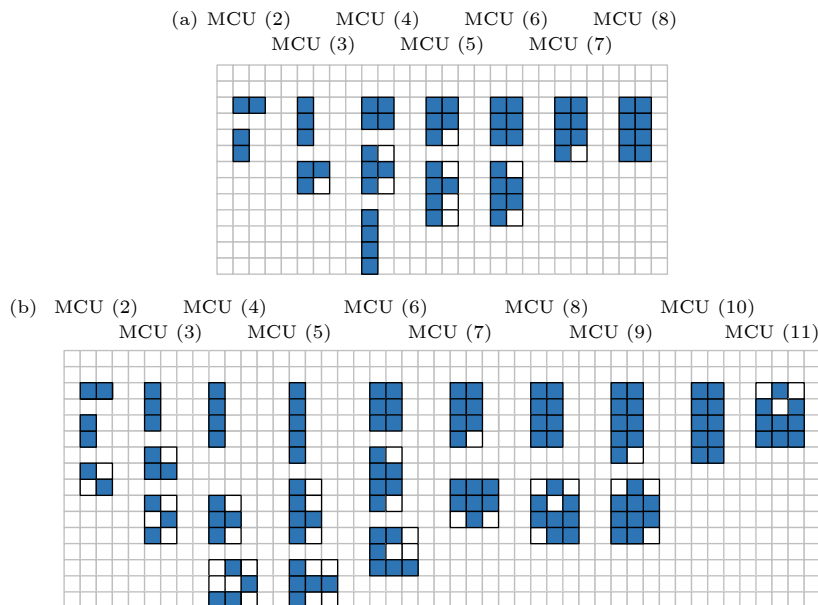


图 5 重离子单粒子多位翻转拓扑图形集合 (a) 65 nm SRAM; (b) 28 nm SRAM

Fig. 5. The MCU topological patterns of 65 nm SRAM (a) and 28 nm SRAM (b).

用独立阱接触的布局, 离子垂直入射难以引发寄生双极放大效应, 其多位翻转拓扑图形呈现上述电荷共享所导致的 n 行 \times 1 列和 n 行 \times 2 列的形状, 并具有连续性的特点; 28 nm SRAM 的低 LET 重离子多位翻转拓扑图形, 同样为电荷共享导致的 n 行 \times 1 列和 n 行 \times 2 列的形状.

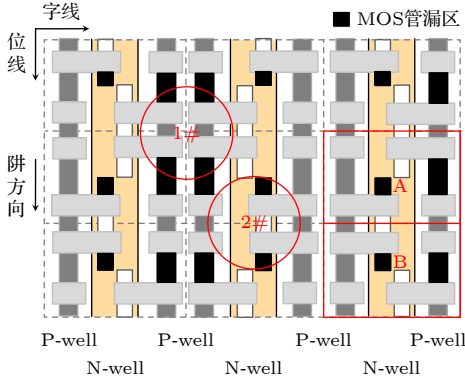


图 6 离子入射 SRAM 器件位置示意图

Fig. 6. Ion incident position on the SRAM cell surface.

当 LET 值较高的 I 离子入射后, 28 nm SRAM 的多位翻转拓扑图形出现了 n 行 \times 3 列的形状. 分析是由于 28 nm SRAM 特征尺寸减小, 在离子径迹覆盖、寄生双极放大效应引起的阱电势调制以及载流子扩散过程的共同作用下, 沉积电荷可以被横跨阱方向的三个 SRAM 单元所收集. 65 nm SRAM 多位翻转拓扑图形中, 由高 LET 的 I 离子诱发的多位翻转拓扑图形最大为 4 行 \times 2 列, 结合 65 nm SRAM 的单元尺寸计算可知电荷扩散的影响半径约为 $0.79 \mu\text{m}$. 65 nm SRAM 的 P 阱宽度为 $0.98 \mu\text{m}$, N 阱宽度为 $0.57 \mu\text{m}$, 入射离子撞击在 2# 位置时, 沉积在右侧 P 阱内的电荷难以通过扩散的方式被 A 或 B 的灵敏区收集, 沉积在左侧 P 阱内的电荷有概率被左侧 SRAM 单元灵敏漏区收集并诱发翻转, 这使得 65 nm SRAM 单元拓扑图形并未出现 n 行 \times 3 列的形状. 28 nm SRAM 多位翻转拓扑图形中, 由高 LET 的 I 离子诱发的多位翻转拓扑图形最大为 5 行 \times 2 列, 结合 28 nm SRAM 的单元尺寸计算可知电荷扩散的影响半径约为 $0.54 \mu\text{m}$. 28 nm SRAM 的 P 阱宽度为 $0.37 \mu\text{m}$, N 阱宽度为 $0.21 \mu\text{m}$, 入射离子撞击在 2# 位置时, 沉积在 2# 位置右侧 P 阱中未被收集或复合的电子会扩散到相邻 SRAM 单元 A 或 B 的 N 阱附近, 在 P 阱/N 阱耗尽层电场的影响下, 被 N 阱收集,

导致 N 阱的阱电势发生扰动, 触发寄生双极放大效应, 致使 A 或 B 处的 SRAM 单元发生翻转; 而沉积在 2# 位置左侧 P 阱内的电荷也会被左侧 SRAM 单元灵敏 NMOS 漏区收集, 最终导致拓扑图形呈现 n 行 \times 3 列的形状.

4.3 单粒子翻转再恢复

图 5(b) 中的 28 nm SRAM 在高 LET 重离子入射下的多位翻转拓扑图形呈现间断性的特点, 分析是由于 SRAM 单元内部 PMOS 管之间的寄生双极放大效应竞争机制引发的单粒子翻转再恢复 [19–22]. 由于 65 nm SRAM 采用的是独立阱接触的布局方式, 离子垂直入射后的沉积电荷会经由阱接触被快速泄放掉, 难以引起寄生双极放大效应; 而 28 nm SRAM 采用的是全局阱接触的布局方式, 多个 SRAM 单元共用一个阱接触, 导致沉积在阱中的电荷无法快速泄放, SRAM 单元在发生翻转后, 处于同一 N 阱中的关态 PMOS (第一次翻转前为开态) 被再次触发寄生双极放大效应, SRAM 单元再次发生翻转. 具体过程如下.

图 7 为一个 6 T SRAM 单元的电路结构图, 其中, P1, P2, N1, N2 分别为组成 SRAM 单元内两个交叉耦合反相器的 PMOS 管和 NMOS 管, 两个反相器则通过 NMOS 传输管 N3 和 N4 分别连接至 B (位线) 和 BL (互补位线), 传输管电压则由 WL (字线) 控制, 单元初始状态为 Q 点低电平 (V_{GND}), \bar{Q} 点高电平 (V_{DD}). 当重离子轰击在 N 阱中关态 P1 管漏极区域后, 离子在 N 阱中电离的大量电子被 N 阱收集, 导致 N 阱势垒塌陷, 引发阱电势调制, 当 N 阱势垒降低到一定程度时, 源极-N 阱-漏极之间的寄生晶体管开启, 触发寄生双极放大效应, \bar{Q} 点的电势被下拉至低电平, Q 点的电势被上拉至高电平, SRAM 单元发生翻转, 此时 P2 成为关态敏感 PMOS. 由于 28 nm SRAM 采用全局阱接触的布局方式, 导致沉积在 N 阱内的电荷无法快速地通过阱接触被泄放掉, N 阱内的阱电势扰动会持续较长时间. 此时, P2 作为敏感 PMOS 通过寄生双极放大效应进行电荷收集, SRAM 单元电路的 Q 点和 \bar{Q} 点会同时处于略低于高电平的“弱 1”亚稳态 [23,24], 两者呈一种竞争态势, 存储单元最终的逻辑状态取决于 P1 和 P2 管各自寄生双极放大效应所收集的电荷量, 若 P1 管收集的电荷量大于 P2 管, 则 SRAM 单元仅发生了单粒子翻

转,若 P2 管收集的电荷量大于 P1 管,则发生了单粒子翻转再恢复。

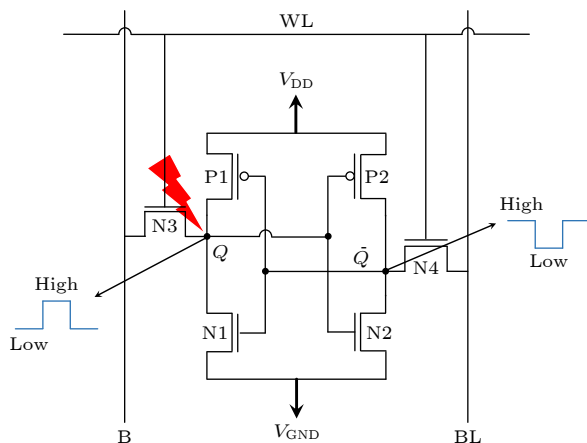


图 7 单粒子翻转再恢复在 SRAM 电路单元中的产生过程
Fig. 7. SEU recovery generation process in SRAM circuit.

5 结论

本文以国产 28 nm SRAM 为实验对象,依托国内重离子加速器辐照装置,开展了 28 nm SRAM 重离子单粒子翻转实验研究,通过器件逻辑地址与物理地址的映射关系,获得了器件单粒子翻转截面、多位翻转拓扑图形和多位翻转百分比等实验数据,并结合器件版图以及单粒子效应电荷收集机制,对实验结果进行了分析。

实验结果表明,特征尺寸的减小以及工作电压的降低,会导致器件单粒子翻转饱和截面和翻转阈值降低,且在离子径迹覆盖、电荷扩散和寄生双极放大的共同作用下,离子入射后影响的 SRAM 单元数量增多,器件多位翻转比例增大;采用了全局阱接触布放的 28 nm SRAM 中寄生双极放大效应增强,高 LET 离子入射时多位翻转拓扑图形出现了 n 行 \times 3 列的形状,这使得同一字节内多个位发生 MBU (multiple bit upsets) 的概率增加,对以定时刷新加 EDAC (error detection and correction) 的加固技术提出了新的挑战和要求;寄生双极放大效应导致的单粒子翻转再恢复,也为利用寄生双极放大效应抑制单粒子翻转提供了一种新的加固思路。

参考文献

- [1] Narasimham B, Wang J K, Vedula N, Gupta S, Bartz B, Monzel C, Chatterjee I, Bharat B L, Schrimpf R D, Reed R A 2015 *IEEE International Reliability Physics Symposium (IRPS)* Monterey, CA, USA, April 19–23, 2015 p2C.4.1
- [2] Indramil C, Balaji N, Nihaar N M, Bharat L B, Ronald D S, Jung K W, Bartz B, Eswara P, Myron B 2011 *IEEE Trans. Nucl. Sci.* **58** 2761
- [3] Jeffrey D B, Paul E D, Kevin M W 2013 *IEEE Trans. Nucl. Sci.* **60** 1836
- [4] Anna B B, Armen V S, Anatoly A S, et al. 2015 *IEEE Trans. Nucl. Sci.* **62** 2860
- [5] Uros L, Anton B, Franc N 2012 *IEEE Trans. Nucl. Sci.* **59** 2562
- [6] Luo Y H, Zhang F Q, Chen W, Ding L L, Wang T 2021 *IEEE Trans. Nucl. Sci.* **68** 1111
- [7] Takashi K, Takashi Y, Kazunori M, Takashi S, Hiroaki I, Daisuke K, Kazuyuki H, Hideya M 2018 *IEEE Trans. Nucl. Sci.* **65** 1900
- [8] Wang R W, Fan G F, Li B, Liu F Y 2021 *Semicond. Technol.* **46** 229 (in Chinese) [王荣伟, 范国芳, 李博, 刘凡宇 2021 半导体技术 **46** 229]
- [9] Zhang Z G, Lei Z F, Tong T, Li X H, Wang S L, Liang T J, Xi, Peng C, He Y J, Huang Y, En Y F 2020 *Acta Phys. Sin.* **69** 056101 (in Chinese) [张志刚, 雷志峰, 童腾, 李晓辉, 王松林, 梁天骄, 刁凯, 彭超, 何玉娟, 黄云, 恩云飞 2020 物理学报 **69** 056101]
- [10] Viyas G, Alexander B, Georgios T, Ali Z, Arto J, Ari V, Helmut P, Frederic S, Frederic W, Luigi D 2016 *IEEE Trans. Nucl. Sci.* **63** 2010
- [11] Maria K, Pablo F M, Ruben G A, Carlo C, Matteo C, Andrea C, Giuseppe L, Maris T, Nouridine K, Vanessa W, Johannes B, Salvatore D, Veronique F G, Alexander G, Henry W 2020 *IEEE Trans. Nucl. Sci.* **67** 63
- [12] Sun Y, Zhang H W, Wei Z C, Yu Q K, Tang M, Shen C, Gong D 2019 *3rd International Conference on Circuits, System and Simulation (ICCSS)* Nanjing, China, June 13–15, 2019 p84
- [13] Farjallah E, Gherman V, Armani J M, Dilillo L 2018 *3th International Conference on Design & Technology of Integrated Systems In Nanoscale Era (DTIS)* Taormina, Italy, April 10–12, 2018 p1
- [14] Wang J L, Jeffrey P, Andrea C, Sam T, Ruben G A, Paul L 2021 *IEEE Trans. Nucl. Sci.* **68** 913
- [15] Aditya K, Saini R, Kumar M, Singh R, Dixit A 2018 *4th IEEE International Conference on Emerging Electronics (ICEE)* Bengaluru, December 17–19, 2018 p1
- [16] Slawosz U, Gilles G, Philippe R, Clement T, Jean L A 2010 *IEEE Trans. Nucl. Sci.* **57** 1876
- [17] Yuan T, Tak H N (translated by Huang R, Wang R S, Li M, Cai Y M, Xie Q, An X) 2020 *Fundamentals of Modern VLSI Devices* (2nd Ed.) (Beijing: Publishing House of Electronics Industry) pp45, 46 (in Chinese) [陶元, 甯德雄 著 (黄如, 王润声, 黎明, 蔡一茂, 谢倩, 安霞 译) 2020 现代VLSI器件基础(第二版) (北京: 电子工业出版社) 第45, 46页]
- [18] Reed K, Andrew T K 2008 *IEEE Trans. Nucl. Sci.* **55** 3367
- [19] Zhao W 2020 *Ph. D. Dissertation* (Xi'an: Xi'an Jiaotong University) (in Chinese) [赵雯 2020 博士学位论文 (西安: 西安交通大学)]
- [20] Li P, Zhang M X, Zhao Z Y, Deng Q 2015 *Nucl. Sci. Technol.* **26** 050405 (in Chinese) [李鹏, 张民选, 赵振宇, 邓全 2015 核技术 (英文版) **26** 050405]
- [21] Yang G Q, Yu J C, Liu X Y, Chen Q 2020 *Electronics* **9** 927
- [22] Jin X, Tang M, Yu Q K, Zhang H W, Mei B, Sun Y, Tang L P 2019 *Electron. Packag.* **19** 32 (in Chinese) [金鑫, 唐民, 于庆奎, 张洪伟, 梅博, 孙毅, 唐路平 2019 电子与封装 **19** 32]

[23] Li P 2016 *Ph. D. Dissertation* (Changsha: National University of Defense Technology) (in Chinese) [李鹏 2016 博士学位论文 (长沙: 国防科学技术大学)]

[24] Zhao W, Guo X Q, Chen W, Luo Y H, Wang H N 2018 *Acta Electron. Sin.* **46** 2495 (in Chinese) [赵雯, 郭晓强, 陈伟, 罗尹虹, 王汉宁 2018 电子学报 **46** 2495]

Influences of well contact on multiple-cell upsets in 28 nm SRAM*

Jiang Xin-Shuai Luo Yin-Hong[†] Zhao Wen Zhang Feng-Qi Wang Tan

(State Key Laboratory of Intense Pulsed Radiation Simulation and Effect, Northwest Institute of Nuclear Technology, Xi'an 710024, China)

(Received 5 September 2022; revised manuscript received 30 September 2022)

Abstract

In order to study the effects of the feature size reduction and well contact placement on the characterization of topology patterns and the charge collection mechanism of device heavy ion single event multiple upset on a nanometer scale, the heavy ion single event effect experiment on the domestic 28 nm static random-access memory (SRAM) is carried out on the experimental platform of HI-13 heavy ion accelerator in Beijing. Based on the mapping relationship between the logical address and physical address of the device, the experimental data are processed, and the 28 nm SRAM heavy ion single event upset cross section curves, multiple upset percentage, and multiple upset topology patterns are obtained. The results are compared with those of heavy ion single event effect experiments in 65 nm SRAM, showing that under the influences of factors such as feature size reduction and lower operating voltage, the heavy ion single event upset threshold and the bit upset saturation cross section of 28 nm SRAM decrease significantly. In the direction perpendicular to the well, owing to the reduced 28 nm SRAM feature size, even if the single nucleon energy of the incident high LET (linear energy transfer) heavy ion is low, its deposited charge is sufficient to affect the three SRAM cells across the well direction due to the combined effect of ion track coverage, well potential modulation caused by the parasitic bipolar amplification effect and carrier diffusion, resulting in the fact that the 28 nm SRAM topology pattern has a shape of n rows \times 3 columns, which poses new challenges and requirements for the anti-radiation hardened technology with scrubbing and EDAC (error detection and correction). Owing to the global well contact deployment, the charge deposited by the incident ions in the well far away from the well contact is difficult to discharge quickly, and the parasitic bipolar amplification effect lasts longer. The charge sharing competition between two p-channel metal oxide semiconductor in SRAM cell causes the single event upset recovery, which is the fundamental reason why the discontinuity of multiple upset topology pattern appears in 28 nm SRAM. This study provides a new anti-radiation hardened idea for suppressing the single event upset by using the parasitic bipolar amplification in the future.

Keywords: multiple cell upset, single event upset recovery, heavy ion, charge collection

PACS: 61.80.Jh, 85.30.Pq, 73.40.Lq

DOI: 10.7498/aps.72.20221742

* Project supported by the Major Program of the National Natural Science Foundation of China (Grant Nos. 11690043, 11690040).

[†] Corresponding author. E-mail: luoyinhong@nint.ac.cn



阱接触对28 nm SRAM单粒子多位翻转的影响

江新帅 罗尹虹 赵雯 张凤祁 王坦

Influences of well contact on multiple-cell upsets in 28nm SRAM

Jiang Xin-Shuai Luo Yin-Hong Zhao Wen Zhang Feng-Qi Wang Tan

引用信息 Citation: *Acta Physica Sinica*, 72, 036101 (2023) DOI: 10.7498/aps.72.20221742

在线阅读 View online: <https://doi.org/10.7498/aps.72.20221742>

当期内容 View table of contents: <http://wulixb.iphy.ac.cn>

您可能感兴趣的其他文章

Articles you may be interested in

选择性埋氧层上硅器件的单粒子瞬态响应的温度相关性

Temperature dependence of single-event transient response in devices with selective-buried-oxide structure

物理学报. 2019, 68(4): 048501 <https://doi.org/10.7498/aps.68.20191932>

氮化镓基高电子迁移率晶体管单粒子和总剂量效应的实验研究

Single event effect and total dose effect of GaN high electron mobility transistor using heavy ions and gamma rays

物理学报. 2021, 70(11): 116102 <https://doi.org/10.7498/aps.70.20202028>

基于重离子试验数据预测纳米加固静态随机存储器质子单粒子效应敏感性

Prediction of proton single event upset sensitivity based on heavy ion test data in nanometer hardened static random access memory

物理学报. 2020, 69(1): 018501 <https://doi.org/10.7498/aps.69.20190878>

重离子在碳化硅中的输运过程及能量损失

Transport process and energy loss of heavy ions in silicon carbide

物理学报. 2021, 70(16): 162401 <https://doi.org/10.7498/aps.70.20210503>

14 nm FinFET和65 nm平面工艺静态随机存取存储器中子单粒子翻转对比

Comparison of neutron induced single event upsets in 14 nm FinFET and 65 nm planar static random access memory devices

物理学报. 2020, 69(5): 056101 <https://doi.org/10.7498/aps.69.20191209>

HfO₂基铁电场效应晶体管读写电路的单粒子翻转效应模拟

Single-event-upset effect simulation of HfO₂-based ferroelectric field effect transistor read and write circuits

物理学报. 2020, 69(9): 098502 <https://doi.org/10.7498/aps.69.20200123>