

空腔嵌入绝缘体上硅衬底制备技术*

贾欣 刘强[†] 母志强 周虹阳 俞文杰[‡]

(中国科学院上海微系统与信息技术研究所, 集成电路材料全国重点实验室, 上海 200050)

(2023 年 2 月 14 日收到; 2023 年 4 月 1 日收到修改稿)

空腔嵌入绝缘体上硅 (void embedded silicon on insulator, VESOI) 衬底是一种面向新型互补金属氧化物半导体 (complementary metal oxide semiconductor, CMOS) 器件及集成技术的新型 SOI 衬底材料. 当采用离子剥离技术制备该衬底时, 由氢气形成的板状气泡会聚集在衬底剥离界面, 对空腔结构产生挤压作用, 并可能造成空腔结构的破损, 因而有必要对 VESOI 衬底制备过程中的应力机制和工艺稳定性进行深入研究. 本文以单个矩形空腔结构为研究对象, 借助固支梁理论分析了其在工艺制备过程中的力学状态, 并利用有限元工具构建了其三维几何模型. 通过应力仿真, 找到了该空腔结构的破裂失效原因, 并确认了其脆弱位点. 结果表明, 矩形空腔结构短边长度 w 、顶硅薄膜厚度 t 以及氢气压力是影响顶硅薄膜应力状态的主要因素. 当 w/t 值超过 4—5 时, 硅薄膜将因应力过大而破裂, 破裂位点分布于空腔结构长边方向. 通过优化顶层硅厚度 t , 以及内嵌空腔结构、尺寸, 本工作成功制备了符合 CMOS 产线要求的高质量 8 in (1 in = 2.54 cm) VESOI 衬底. 该工作对基于 VESOI 衬底的集成技术具有较好参考价值.

关键词: 空腔嵌入绝缘体上硅, 离子剥离, 应力, 有限元应力仿真

PACS: 73.40.Ty, 68.35.bg, 68.37.-d, 68.55.J-

DOI: 10.7498/aps.72.20230198

1 引言

绝缘体上硅 (silicon on insulator, SOI) 衬底是一种被广泛应用于高性能、高可靠集成电路中的重要衬底材料^[1,2]. 受益于 SOI 衬底独特的三明治结构, 埋氧层将其顶层硅有源区与衬底硅隔离开来, 阻隔了来自于硅衬底中的扰动信号, 使 SOI 芯片具有较强的抗闩锁效应、抗单粒子辐射、耐高温、高频、低功耗等优点^[2-10]. 然而, 随着集成电路技术的发展, 应用环境对半导体芯片提出了更高性能、更低功耗、耐极端环境等要求, 对 SOI 材料进行必要的结构改良, 可以进一步释放新型器件集成技术的设计空间, 进一步提升 SOI 器件的电学性能和可靠性^[11,12].

在之前的工作中, 本课题组提出了一种新型 SOI 衬底材料: 空腔嵌入绝缘体上硅衬底 (void embedded silicon on insulator, VESOI)^[13]. 该衬底的制备工艺如图 1(a) 所示, 通过将微米级、亚微米级的密闭空腔嵌入到 SOI 埋氧层和顶层硅中, 可形成一种含有图形化内嵌空腔的新型 SOI 衬底. 通过调节内嵌空腔在衬底中的分布位置, 共可以制备出 10 种含有不同内嵌空腔结构的衬底 (图 1(b)), 以满足不同器件的设计需求. 总体上, SOI 衬底中的内嵌空腔结构提升了 SOI 器件的设计自由度.

如图 2(a) 所示, 基于 VESOI 衬底, 本课题组开发了一种具有优异电学性能的新型环栅 (gate-all-around, GAA) 器件技术和一种抗超高总剂量辐射效应的平面器件技术^[3,14,15]. 选用如图 1(b) 所示的第 3 种衬底结构, 基于 0.5 μm 互补金属氧化物

* 国家重点研发计划 (批准号: 2022YFB4401700) 和上海市超级博士后激励计划 (批准号: 2022677) 资助的课题.

[†] 通信作者. E-mail: qiangliu@mail.sim.ac.cn

[‡] 通信作者. E-mail: casan@mail.sim.ac.cn

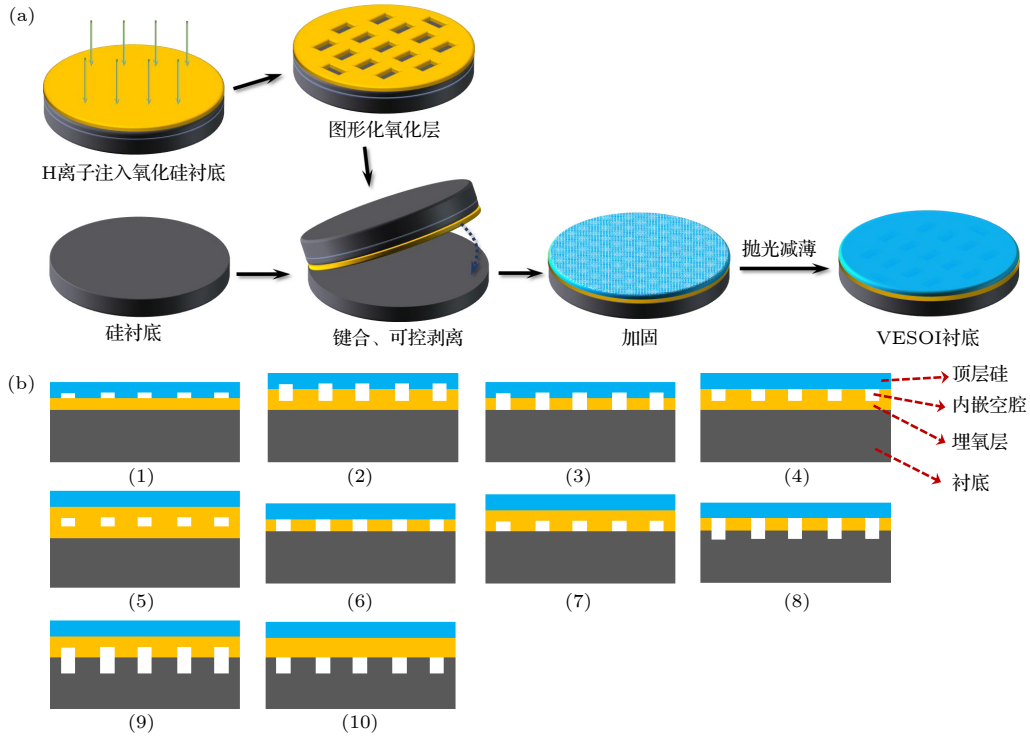


图 1 (a) VESOI 衬底制备工艺流程; (b) 基于 VESOI 衬底可构造的 10 种内嵌空腔结构

Fig. 1. (a) Fabrication process of VESOI substrate; (b) ten types of embedded void structures based on VESOI substrates.

半导体 (complementary metal oxide semiconductor, CMOS) 开展了两种器件的流片工艺. 两种器件均表现出优异的电学性能, 见图 2(b) 和图 2(c), 电流开关比均大于 10^{10} , 其中无背栅 SOI 器件的最小亚阈值斜率为 65 mV/dec , VESOI GAA 器件的最小亚阈值斜率为 63 mV/dec , 且在较宽的漏极电流变化范围内, VESOI GAA 器件均保持了较低的亚阈值斜率, 显著优于平面 SOI 器件. 基于上述初期研究成果, 该 VESOI 衬底及器件技术表现出较强的应用潜力, 有望形成一类新的 SOI 集成技术.

为了使基于 VESOI 衬底的 MOSFET 器件保持良好电学性能, VESOI 衬底的制备需要满足以下两个条件:

1) 需要对顶层硅薄膜厚度进行精确控制. 尤其在制备全耗尽器件时, 应使顶层硅膜厚度小于最大耗尽层宽度. 最大耗尽层宽度公式为^[16]

$$X_{Dm} = \sqrt{\frac{4\xi_0\xi_{Si}V_B}{QN_A}} = \sqrt{\frac{4\xi_0\xi_{Si}k_0T}{Q^2N_A} \ln\left(\frac{N_A}{n_i}\right)}, \quad (1)$$

其中, ξ_0 和 ξ_{Si} 分别为 Si 的真空介电常数和相对介电常数; k_0 , T , Q , N_A , n_i 分别为玻尔兹曼常数、温度、电荷量、掺杂浓度和本征载流子浓度; V_B 为内建电势. 最大耗尽层宽度和掺杂浓度关系如图 3(a)

所示. 上述两器件的顶层硅膜中 P 型杂质的掺杂浓度为 $1.09 \times 10^{17} \text{ cm}^{-3}$, 因此, 其对应的最大耗尽层宽度为 100.6 nm . 上述两种器件的顶层硅厚度被控制在约 50 nm , 因此无背栅 SOI 器件、VESOI GAA 器件均为全耗尽器件, 并表现出良好的转移特性.

2) 需要保持空腔结构的应力稳定性. 减薄顶层硅厚度有利于提升器件电学性能, 然而, 薄层顶层硅将给 VESOI 衬底的制备工艺带来挑战. 在制备过程中, 空腔薄膜需要承受较大的应力作用, 并有可能发生破损. 而 CMOS 集成工艺则要求空腔结构保持 100% 的完整性, 且顶层硅在应力作用下只能发生弹性形变 (晶格结构未损坏), 而不能发生塑性形变 (出现晶格缺陷), 以避免集成电路失效. 已知理论和仿真工作中报道的硅材料最大的理想抗拉强度约为 26.4 GPa , 其对应的初始屈服应力约为 23 GPa ^[17-19], 如图 3(b). 本工作将以该理想初始屈服应力 (23 GPa) 作为应力仿真中判定硅薄膜在最大拉应力状态下失效与否的安全界限.

在制备 VESOI 衬底时, 需要探索合适的工艺窗口, 使 VESOI 衬底质量接近商用 SOI 衬底, 满足 CMOS 产线流片要求. 本工作详细研究了 VESOI 制备过程中的应力响应行为, 并揭示了调控空腔

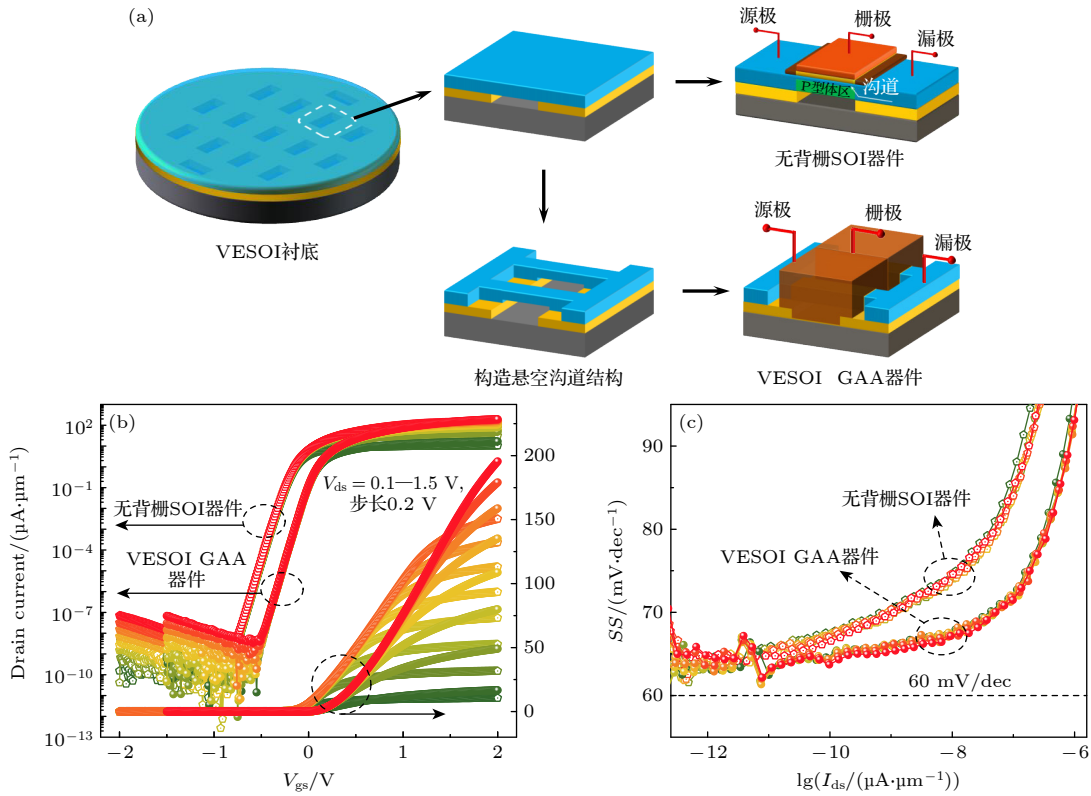


图 2 (a) 基于 VESOI 衬底可制备无背栅 SOI 器件和 GAA 器件; (b) 无背栅 SOI 器件和 VESOI GAA 器件的转移特性曲线; (c) 两种器件的亚阈值斜率随漏极电流变化情况

Fig. 2. (a) Backgate-free SOI and GAA devices based on VESOI substrates; (b) transfer characteristics of backgate-free SOI and GAA devices; (c) subthreshold swing vs. drain current for backgate-free SOI and GAA devices.

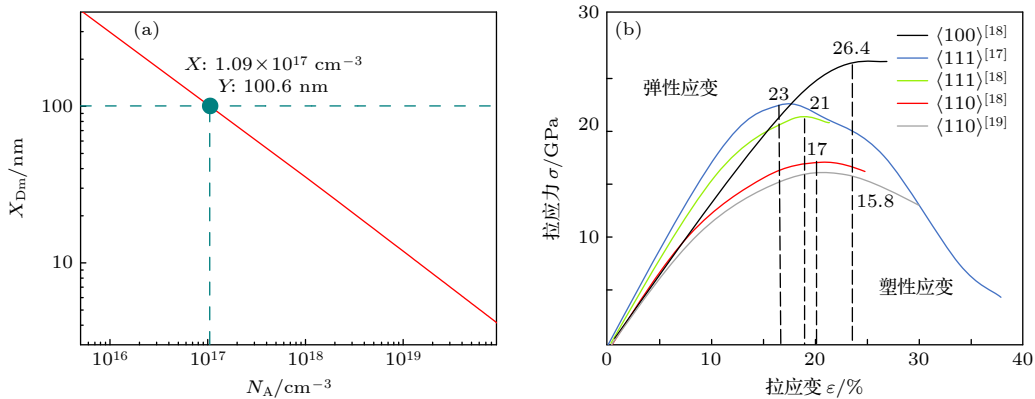


图 3 (a) 不同掺杂浓度对应的最大耗尽层宽度 (顶层硅厚度); (b) 硅材料应力应变曲线^[17-19]

Fig. 3. (a) The maximum depletion layer width (the thickness of top silicon) X_{Dm} vs. doping concentrations N_A ; (b) stress vs. strain under tensile load for silicon^[17-19].

结构应力分布的一般规律. 首先, 通过理论分析及实验验证确定了 VESOI 空腔结构的脆弱位点; 其次, 采用矩形空腔结构构建了有限元分析模型, 重点分析了空腔结构参数 (宽度 w 和厚度 t) 对顶层硅薄膜应力分布的影响; 最后, 提出了基于应力破坏的矩形空腔 VESOI 衬底的结构参数优化方案, 并基于改良工艺成功制备了高质量 8 in

(1 in = 2.54 cm) VESOI 衬底.

2 VESOI 衬底制备工艺及应力分析

2.1 氢离子剥离起泡实验

目前, 面向 CMOS 集成应用的 SOI 衬底大多采用离子剥离技术制备^[20], 通过该技术制备的 SOI

衬底具备较低的工艺成本和良好的顶层硅厚度均匀性. 这种技术利用了氢离子在硅材料中的受热聚集行为, 通过在硅衬底一定深度内聚集出板状氢气泡, 将硅薄膜完整剥离开来, 其剥离厚度由氢离子在硅衬底中的注入深度决定^[20–23]. VESOI 衬底制备方案将 CMOS 流片工艺与 SOI 衬底制备工艺结合, 如图 1(a) 所示. 首先, 在氧化硅衬底中注入氢离子, 通过光刻、刻蚀工艺在氧化层上制备图形化结构, 并将该图形化衬底与另一片硅衬底紧密键合. 随后, 通过高温处理, 原氧化硅衬底自硅层中发生剥离, 形成含有密闭空腔的 SOI 衬底结构, 接下来, 通过高温加固和抛光减薄步骤, 即可得到 VESOI 衬底. VESOI 衬底制备工艺与 SOI 衬底类似, 未显著增加衬底制备成本, 其独特的衬底结构为新型器件设计提供了新的空间, 有望成为一种重要的新型 SOI 衬底.

在 VESOI 衬底制备过程中, 氢气泡产生的剥离应力接近硅材料的许用应力, 该应力远大于大气压力、化学机械抛光 (chemical mechanical polishing, CMP) 应力等^[24,25], 成为 VESOI 空腔结构破损的主要原因. 本工作对空腔结构的最恶劣应力条件进行了试验、分析. 如图 4(a) 所示, 将一块氢离子注

入深度为 900 nm 的硅片放置在加热台中, 当加热台温度达到 450 °C 时, 氢离子在硅片中发生聚集形成氢气泡, 并开始剥离其上方厚度为 900 nm 的硅层薄膜. 在剥离过程开始发生时, 氢气泡直径约在 1–10 μm 量级 (图 4(a)), 这导致气泡周围硅材料受到较大压力^[26]. 考虑到应用于 CMOS 集成的 VESOI 空腔宽度一般在数十纳米至数微米量级, 氢气泡与空腔的位置关系如图 4(b) 所示, 氢气泡可能接触、横跨甚至覆盖空腔结构.

2.2 内嵌空腔结构的简单应力模型

显然, 当氢气泡完全覆盖空腔结构时, 空腔上方的硅薄膜处处受到氢气泡的压力, 处于最恶劣应力环境. 在 MOS 器件中, 沟道宽度尺寸一般显著大于沟道长度, 因此对应的 VESOI 空腔结构一般为长方形. 在最恶劣条件下 (即长方形的长度远大于宽度时), 长方形的宽边对空腔中心上方的硅薄膜提供的支撑作用可以忽略, 空腔上部顶层硅承受最大应力. 因此, 我们可以选取空腔中部的一个薄膜切片进行应力分析, 如图 4(d) 所示. 该切片厚度为 T , 顶层硅厚度为 t , 空腔宽度为 w , 本工作将基于该简化结构进行应力分析.

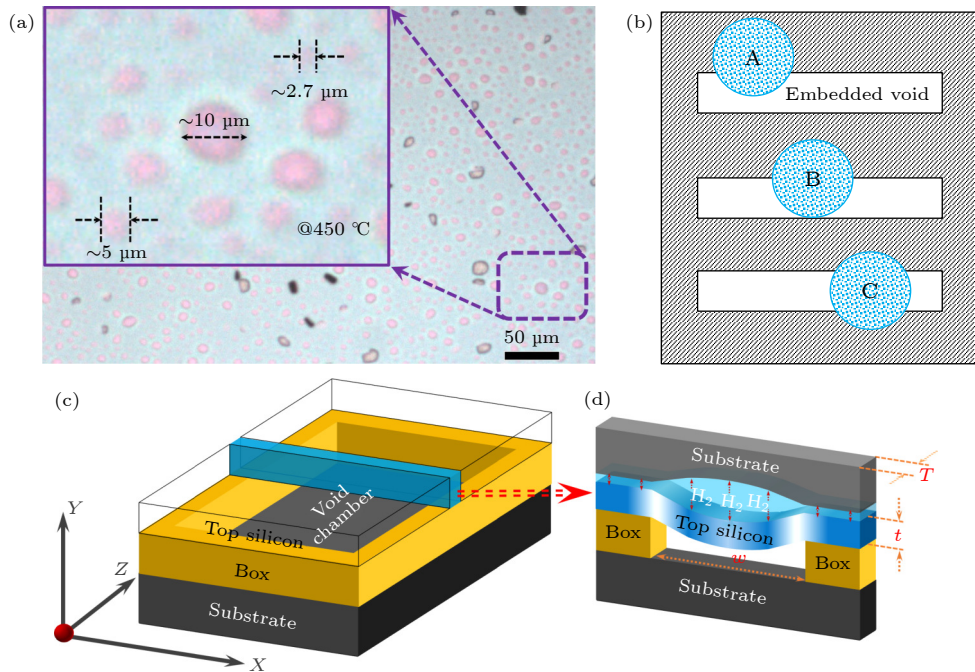


图 4 (a) 离子剥离试验中硅衬底表面的氢气泡剥离现象; (b) 氢气泡与内嵌空腔可能存在的位置关系; (c), (d) 简化的顶层硅受

力示意图
Fig. 4. (a) Hydrogen blistering phenomenon on the silicon substrate surface during ion-cutting experiment; (b) possible positions of the hydrogen blister with respect to the embedded void structure; (c), (d) simplified schematic of splitting force on top silicon.

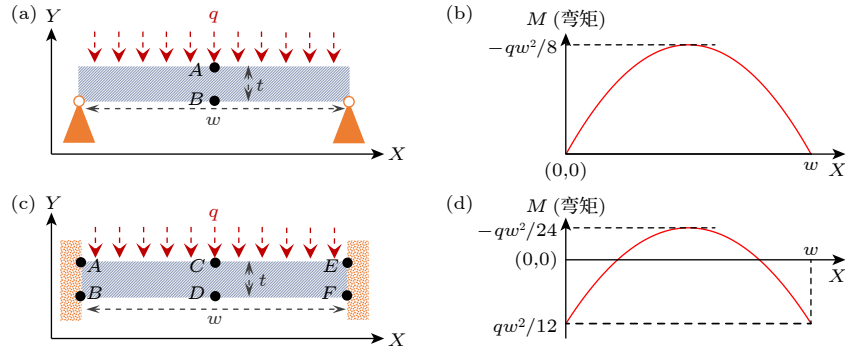


图5 (a), (b) 简支梁受力模型及其弯矩分布图; (c), (d) 固支梁受力模型及其弯矩分布图

Fig. 5. (a), (b) Schematic diagram of simply supported beam structure and the related bending moment distribution curve; (c), (d) schematic diagram of fixed beam structure and the related bending moment distribution curve.

考虑到图形化氧化层与硅衬底的键合强度是一个工艺变量, 当两者键合强度较弱时, 图 4(d) 所示应力结构可简化为简支梁模型 (图 5(a)), BOX 支撑层仅对顶层硅提供垂直位移约束; 当键合强度较强时, 该应力结构可简化为固支梁模型 (图 5(c)), 空腔上方薄膜两侧被固定约束. 氢气对顶层硅施加的压力可简化为均布载荷, 则简支梁、固支梁的弯矩图如图 5(b) 和图 5(d) 所示^[27], 由于弯矩与最大应力呈正比, 弯矩最大处亦即梁的应力最大处. 在简支梁条件下, 梁的最大应力点在梁中部, 图 5(a) 中, A 点受到最大压应力, B 点受到最大拉应力; 在固支梁条件下, 梁的两侧和中部均为应力极值点, 而最大应力点在梁两侧, 其大小为梁中部应力的两倍, 图 5(c) 中, A 和 E 点受到最大拉应力, B 和 F 点受到最大压应力. 而材料的破损一般是由最大拉应力导致的^[27].

如 VESOI 衬底的空腔结构在剥离过程中符合简支梁模型, 则空腔上方顶层硅自空腔中间发生破损, 如其符合固支梁模型, 则空腔上方顶层硅自空腔边缘处发生破损. 本工作对空腔结构的破损情况进行了实验验证: 在 VESOI 衬底中设置一系列长方形空腔结构, 空腔长度均为 60 μm , 空腔宽度从 3 μm 逐渐过渡到 12 μm (步长为 1 μm), 该衬底顶层硅厚度为 900 nm, 并考察其在离子剥离后的顶层硅膜破损情况. 实验结果如图 6 所示, 当空腔宽度为 7 μm 时, 空腔上方顶层硅发生了破损, 破损位置均为空腔边缘. 部分空腔上方剥离下来的顶层硅薄膜留在空腔旁边, 并保留了完整的长方形结构, 表明空腔边缘在离子剥离过程中达到了最大许用应力. 空腔结构的受力情况与固支梁简化模型相符.

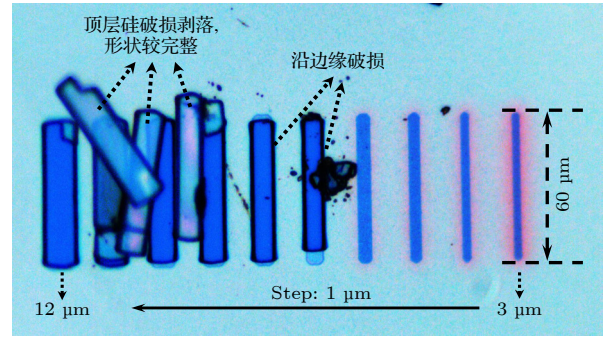


图6 空腔宽度变化对空腔结构破损行为的影响

Fig. 6. Effect of variations in chamber width on the breakage behavior of embedded void structure.

当氢气提供的均布载荷压强为 q 时, 固支梁边缘 A, E 位置最大应力 σ_{edge} :

$$\sigma_{\text{edge}} = \frac{M_{\text{max}} \cdot (t/2)}{I_Z} = \frac{q}{2T} \left(\frac{w}{t}\right)^2, \quad (2)$$

其中, M_{max} 为最大弯矩 $qw^2/12$; I_Z 为 Z 轴最大转动惯量, $I_Z = Tt^3/12$; T 为图 4(d) 中的切片厚度; t 为顶层硅厚度; w 为空腔宽度^[28]. 由 (2) 式可知: 1) 影响空腔上方顶层硅薄膜的关键工艺参数为 (w/t) , 当空腔宽度增大时, 为保证空腔不发生破损, 应至少等比例增大顶层硅薄膜厚度; 2) 当仅增大顶层硅厚度时, 空腔所受最大应力值呈平方倍率减小.

3 空腔结构应力仿真与工艺优化

3.1 空腔结构应力仿真

考虑到固支梁模型中, 梁周围的支撑结构被视为刚体, 而 VESOI 内嵌空腔结构是由氧化硅、硅等弹性材料组成的, 因此, 在顶层硅薄膜较厚时,

采用固支梁模型分析空腔结构的受力情况将引入较大误差. 针对这种内嵌空腔结构, 传统的应力模型难以精确描述其受力情况. 因此, 本工作采用有限元仿真对空腔结构的应力分布情况进行分析. 仿真中采用的空腔结构几何模型见图 7, 其中空腔区域设定为自由域, 非空腔区域的下表面进行固定约束, 如图 7(b) 所示. 相关材料及结构参数见表 1. 在有限元仿真中, 可以通过拟合应力分量, 提取材料的第一主应力 (最大应力值)^[27], 精确描述复杂结构中最大应力的分布情况.

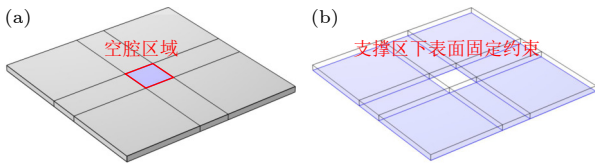


图 7 (a) 空腔结构几何模型 (空腔区域); (b) 空腔结构几何模型 (固定约束区域)

Fig. 7. (a) Geometric model of VESOI void structure (the area of chambers); (b) geometric model of VESOI void structure (the area of fixed constraint).

表 1 空腔结构几何模型材料与结构参数
Table 1. Geometric and materials' parameters of the VESOI void structure.

| 参数名称 | 数值 |
|---|----------------------|
| 空腔宽度 $w/\mu\text{m}$ | 参数化扫描(0.1—10, 步长0.3) |
| 空腔长度 $L/\mu\text{m}$ | 10, 4 |
| 顶层硅厚度 $t/\mu\text{m}$ | 参数化扫描(0.1—1, 步长0.1) |
| 杨氏模量 E/GPa | 170 |
| 泊松比 ν | 0.28 |
| 密度 $\rho/(\text{kg}\cdot\text{m}^{-3})$ | 2329 |

本工作仿真了两种空腔结构: 1) 边长为 $10\ \mu\text{m}$ 的正方形空腔结构; 2) 宽 $10\ \mu\text{m}$ 、长 $20\ \mu\text{m}$ 的长方形空腔结构. 其顶层硅厚度均为 $0.25\ \mu\text{m}$, 并在顶层硅上方施加了 $1\ \text{MPa}$ 均布载荷. 仿真结果如图 8 所示, 对于正方形空腔, 其最大拉应力 ($384\ \text{MPa}$) 位于顶层硅上表面、空腔边缘中心处, 且大于空腔下表面中心处所受的拉应力极值 ($225\ \text{MPa}$); 对于长方形空腔, 其最大拉应力 ($678\ \text{MPa}$) 位于顶层硅上表面, 空腔长边中心处, 且大于空腔下表面中心处所受拉应力极值 ($408\ \text{MPa}$), 空腔短边中心处的拉应力极值 ($434\ \text{MPa}$) 相较正方形边缘中心处有所提高. 该结果表明, 在顶层硅厚度较薄的情况下, 对于长方形空腔结构, 其最大应力集中于长边中心. 正方形空腔与长方形空腔的最大应力位置 (即顶层硅发生破损的位置) 均位于空腔边缘, 这与图 5 中的固支梁应力模型及图 6 中的空腔破损情况较好符合.

3.2 结果分析

进一步的仿真工作表明, 当顶层硅厚度较大 (w/t 值较小) 时, 空腔结构周围的支撑结构产生的应力形变将不可忽视, 不能将该支撑结构作为刚体处理, 固支梁模型不再适用. 本工作设置了一组顶层硅厚度分别为 $0.1, 0.25$ 和 $1\ \mu\text{m}$ 的矩形空腔, 其一边长度为 $4\ \mu\text{m}$, 另一边长度在 $0.1\text{--}20\ \mu\text{m}$ 之间变化, 并对顶层硅施加 $1\ \text{MPa}$ 均布载荷. 图 9 提取了 3 种含有不同厚度顶层硅的空腔在不同的边长尺寸下的最大应力分布情况:

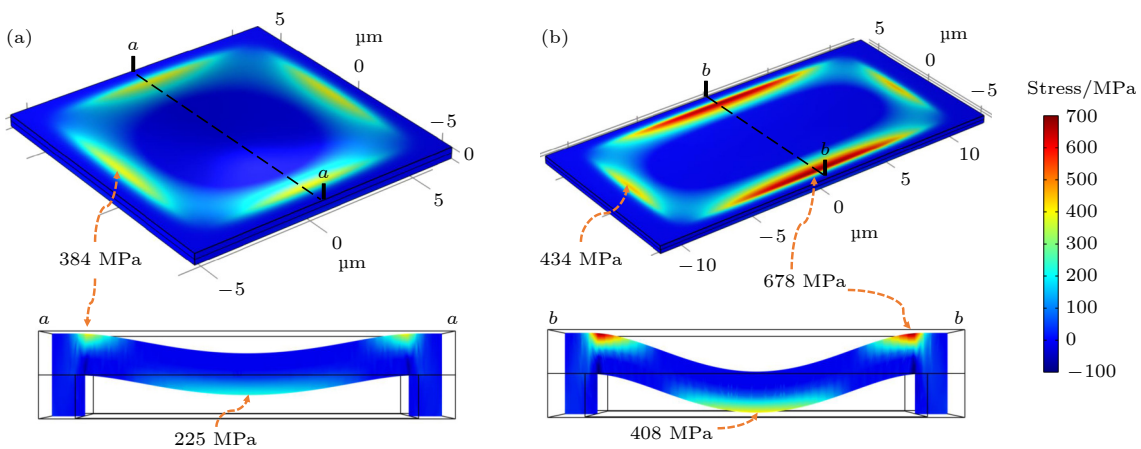


图 8 正方形空腔和长方形空腔在均布载荷下的有限元应力仿真

Fig. 8. Finite element stress simulation of square and rectangular voids under uniformly distributed load.

1) 当顶层硅厚度较小时 ($t = 0.1, 0.25 \mu\text{m}$), 通过将空腔的一侧边长减小到一定范围 ($w = 0.5 \mu\text{m}, 1.2 \mu\text{m}$, 即 w/t 约小于 5:1) 以下, 顶层硅下表面、空腔中心处的拉应力超过了顶层硅上表面、空腔边缘处的应力, 此时顶层硅的应力破损位置为空腔中心处, 与固支梁应力模型不相符.

2) 当顶层硅厚度较小时 ($t = 0.1, 0.25 \mu\text{m}$), 随着空腔一侧边长超过一定范围 ($w = 0.5 \mu\text{m}, 1.2 \mu\text{m}$, 即 w/t 约大于 5:1), 空腔的最大应力点又出现在顶层硅上方、空腔长边中心处, 此时其接近固支梁应力模型描述的应力分布情况. 随着空腔一侧边长继续增大, 且显著大于其宽边 ($4 \mu\text{m}$), 空腔的最大应力值趋于稳定, 表明空腔宽边对空腔中心提供的支撑作用可忽略不计, 这与图 4(c) 和图 4(d)

中的简化应力结构相符合.

3) 当顶层硅厚度较大时 ($1 \mu\text{m}$), 关键参数 $w/t \leq 4$, 无论如何调节空腔另一侧的边长, 其最大应力点均位于顶层硅下表面、空腔中心处, 即顶层硅的应力破损位置为空腔中心处. 有趣的是, 仅通过将顶层硅厚度增大了 10 倍 (从 $0.1 \mu\text{m}$ 增大到 $1 \mu\text{m}$), 其最大应力值减小了约 2 个数量级, 这与 (2) 式预测的应力变化趋势类似.

基于顶层硅厚度 $0.25 \mu\text{m}$ 的空腔结构, 提取了图 9(b) 中, 空腔宽度在其临界尺寸 ($1.2 \mu\text{m}$) 附近变化时, 顶层硅上下表面的最大应力分布情况. 如图 10 所示, 随着空腔宽度逐渐变大, 最大应力值快速增大, 且应力极值点从空腔中心逐渐过渡到空腔边缘.

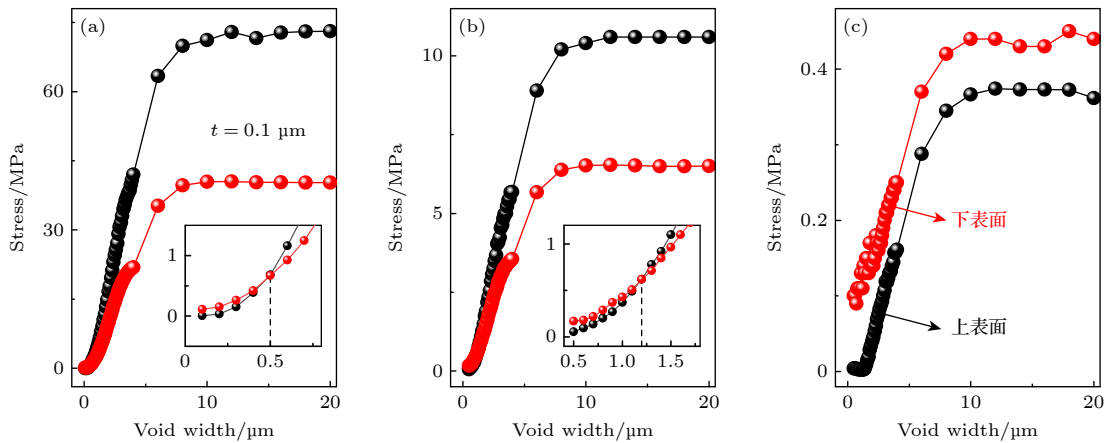


图 9 顶硅薄膜上表面与下表面最大应力大小随空腔宽度 w 和薄膜厚度 t 的变化趋势 (a) $t = 0.1 \mu\text{m}$; (b) $t = 0.25 \mu\text{m}$; (c) $t = 1 \mu\text{m}$
 Fig. 9. Variation trend of the maximum stress magnitude on top/bottom surfaces of top silicon with different chamber widths and the top silicon thicknesses: (a) $t = 0.1 \mu\text{m}$; (b) $t = 0.25 \mu\text{m}$; (c) $t = 1 \mu\text{m}$.

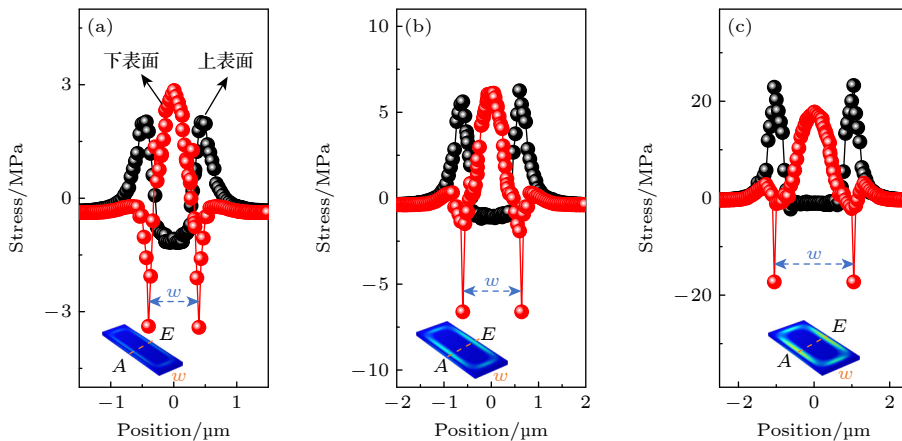


图 10 空腔上方顶层硅的上下表面第一主应力随空腔宽度 w 的变化趋势 (L 表示矩形空腔一边的长度) (a) $L = 4 \mu\text{m}, w = 0.8 \mu\text{m}$; (b) $L = 4 \mu\text{m}, w = 1.2 \mu\text{m}$; (c) $L = 4 \mu\text{m}, w = 2.1 \mu\text{m}$
 Fig. 10. Trend of the first principal stress on the top/bottom surfaces of the top silicon layer with respect to the chamber width w : (a) $L = 4 \mu\text{m}, w = 0.8 \mu\text{m}$; (b) $L = 4 \mu\text{m}, w = 1.2 \mu\text{m}$; (c) $L = 4 \mu\text{m}, w = 2.1 \mu\text{m}$.

上述结果表明: 1) 当关键参数 w/t 较小时 (约小于 5:1), 使用固支梁应力模型无法预测空腔结构的应力断裂点; 2) 通过增大顶层硅剥离厚度, 可以降低空腔结构承受的最大应力值, 并显著提高 VESOI 衬底空腔的稳定性.

为了进一步明确空腔极限尺寸和顶层硅厚度之间的关系, 对空腔宽度 w 和空腔厚度 t 进行参数化扫描分析, 仿真了已知氢气泡可产生的最大压力下^[25], 顶层硅薄膜受到的最大拉应力情况, 如图 11 所示.

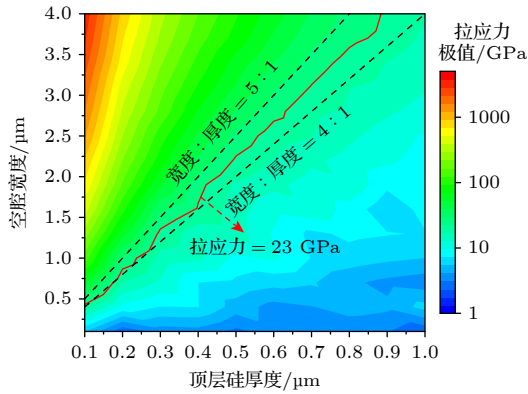


图 11 空腔上方顶层硅应力极值随空腔结构参数变化的趋势

Fig. 11. Stress level of top silicon layer with different thicknesses and chamber widths.

结果表明, 当矩形空腔尺寸较小时, w/t 值仍然是影响顶硅薄膜应力极值的主要因素. 由图 11 可知, 当 $w/t < 4$ 时, 硅薄膜所受最大拉应力低于其初始屈服应力 23 GPa, 此时, 空腔结构应力水平相对较低, 稳定性较好, 顶硅薄膜不易破裂; 当 $w/t > 5$ 时, 空腔结构应力水平迅速升高, 硅薄膜所受最大拉应力超过其抗拉极限, 将完全破裂; 当 w/t 介于 4—5 时, 空腔结构稳定性较差, 硅薄膜破裂风险极高. 因此, 在设计 VESOI 衬底空腔结构时, 因尽量使 w/t 比值处于 4—5 以下, 以满足 CMOS 集成工艺对空腔结构保持 100% 完整性的需求.

3.3 衬底制备工艺优化

为验证上述规律, 本工作设置了 4 种具有不同顶层硅剥离厚度的空腔阵列结构 (如图 12), 通过调节氢离子注入能量 (即注入深度) 来调整顶层硅剥离厚度. 借助 SRIM 蒙特卡罗仿真^[29] (图 12(a)), 可知在 39, 60, 80, 100 keV 的注入能量下, 4 种空腔结构的剥离厚度 (即顶层硅厚度) 分别为 401, 550, 698, 870 nm. 随着注入能量增大, 氢离子在硅层中的浓度峰值也有所下降, 但仍在离子剥离工艺的允许范围^[30,31]. 该阵列中空腔结构均为正方形, 其边长从 3.2 μm 逐渐增大到 4 μm . 离子剥离后,

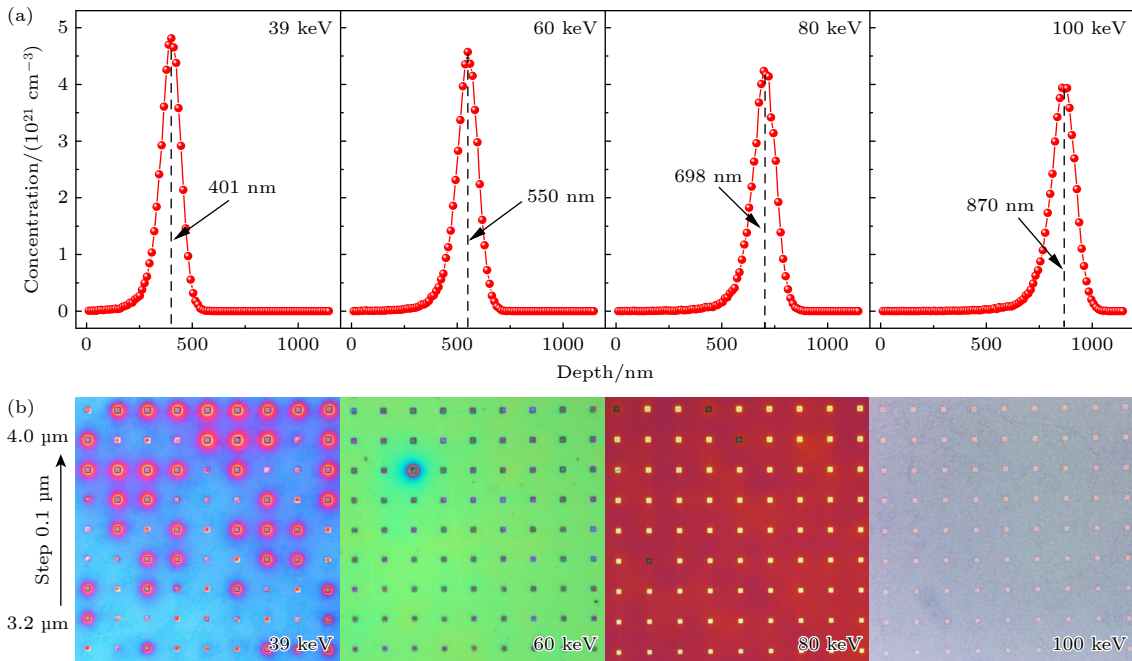


图 12 剥离厚度对空腔上方顶层硅破损行为的影响 (a) 不同氢离子注入能量下的顶层硅剥离厚度; (b) 不同剥离厚度下的顶层硅破损情况

Fig. 12. Influence of ion-cutting thickness on the top silicon breakage behavior: (a) Relationship between top silicon thickness and hydrogen ion implantation energy; (b) impact of different peel thicknesses on the top silicon layer damage.

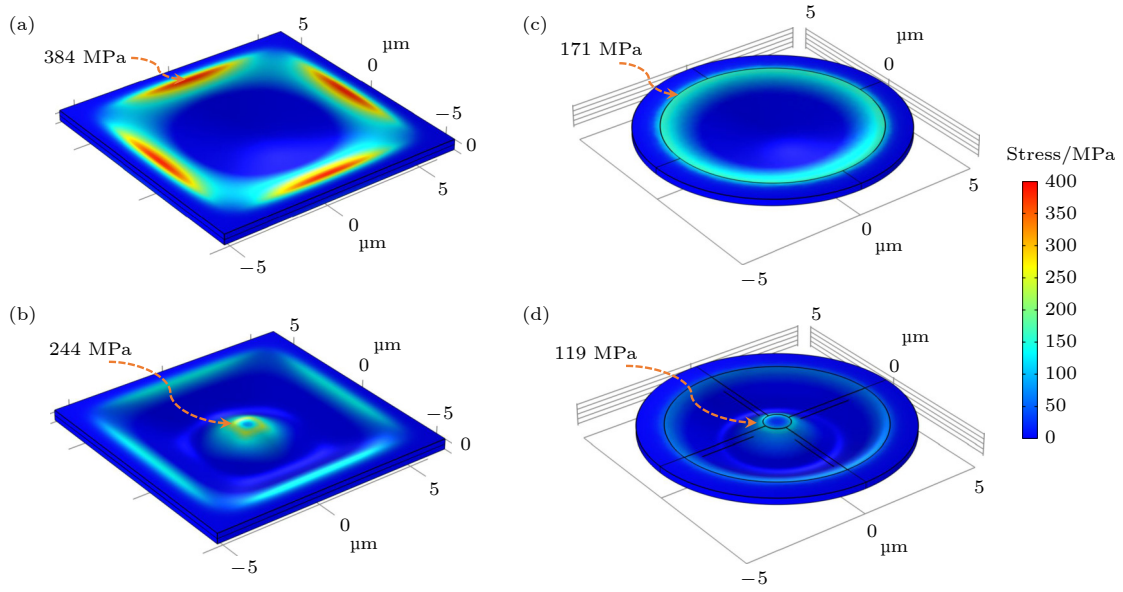


图 13 内嵌空腔结构对空腔上方顶层硅应力分布状态的影响 (a) 正方形空腔; (b) 带支撑结构的正方形空腔; (c) 圆形空腔; (d) 带支撑结构的圆形空腔

Fig. 13. Impact of chamber structures on the stress distribution within top silicon: (a) Square chamber configuration; (b) square chamber configuration with an additional support pillar; (c) circular chamber configuration; (d) circular chamber configuration with an additional support pillar.

4 种空腔阵列如图 12(b) 所示. 实验结果表明, 随着空腔边长的增大, 空腔的破损率显著增大; 随着顶层硅厚度增大, 空腔结构的破损率显著减小, 当顶层硅厚度为 870 nm 时, 该空腔阵列破损率降低至 0%, 这表明通过适当增大顶层硅剥离厚度, 可以显著改善内嵌空腔结构的工艺稳定性.

此外, 在不增大顶层硅厚度的情况下, 通过在空腔中设置适当的支撑结构, 也可以显著减小关键参数 w/t , 并减小空腔结构的最大应力. 本工作在正方形空腔 (边长为 10 μm) 和圆形空腔 (直径为 10 μm) 内部分别设置了边长为 1 μm 的正方形支撑柱和直径为 1 μm 的圆形支撑柱. 如图 13 所示, 在 1 MPa 的均布载荷下, 相较于未设置支撑柱的空腔结构, 正方形空腔的最大应力由 384 MPa 降低至 244 MPa, 圆形空腔的最大应力由 171 MPa 降低至 119 MPa. 该仿真结果表明, 通过在空腔内部设置适当的支撑结构, 可显著减小空腔的应力破损率, 或增大同样应力极值下的连续空腔面积.

最后, 结合上述应力模型、仿真分析、工艺改良方案, 本工作制备了一枚高质量 8 in VESOI 衬底 (图 14). 该衬底的顶层硅键合面积接近 100%, 已接近商用 SOI 衬底质量, 可良好满足 CMOS 工艺流片需求. 通过在空腔内设置适当的支撑结构、调节顶层硅剥离厚度等, 基于该 VESOI 衬底, 实现

了边长为 54.5 μm 的超大空腔结构制备 (图 14(b)); 同时在平方毫米面积尺寸内, 实现了空腔占比大于 12% 的密排空腔阵列 (图 14(c)), 这显示了其面向大规模集成电路的应用潜力.

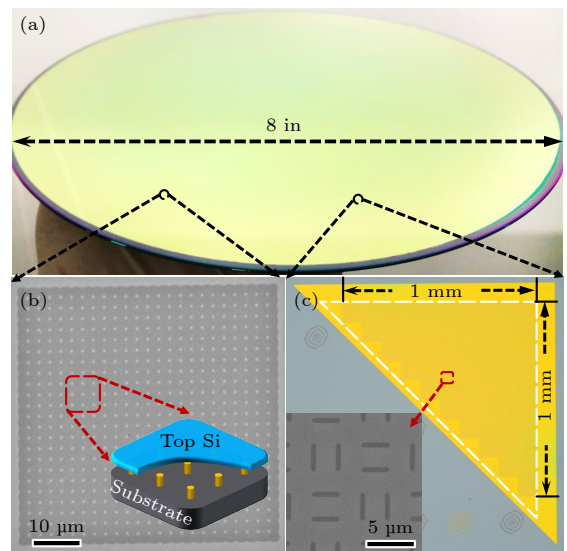


图 14 (a) 8 in 高质量 VESOI 衬底; (b) 内含支撑柱结构, 边长为 54.5 μm 的正方形内嵌空腔; (c) 面向高密度集成的密排内嵌空腔阵列

Fig. 14. (a) High quality 8-in VESOI substrate; (b) the scanning electron microscope image of a square embedded void with 54.5 μm side length, where supporting pillars were set inside the chamber; (c) dense array of embedded void chambers for possible high-density integration.

3.4 纳米级空腔 VESOI 衬底制备

由前文分析可知,随着 w/t 的减小,顶层硅薄膜的应力稳定性明显改善,空腔破损率显著降低.因此,针对先进工艺节点需求,将进一步开发纳米级空腔 VESOI 衬底.目前主要有两种方法可实现在衬底上内嵌纳米级空腔.第 1 种方法是通过 Spacer 掩膜工艺实现,其工艺流程如图 15(a) 所示.首先,在氧化硅衬底上沉积一层多晶硅,并对其进行刻

蚀,从而形成沟槽.接着,在含有沟槽的多晶硅表面沉积一层介质薄膜,可选用氧化硅或氮化硅等材料.然后,对沉积介质层的衬底进行垂直方向的各向异性刻蚀,通过控制工艺条件,得到仅沟槽侧壁处含介质材料的复合衬底,其中保留下的介质材料称为 Spacer 掩膜,用于形成纳米级空腔.接着再次沉积多晶硅,以覆盖沟槽并掩埋 Spacer,从而形成一层不平整的多晶硅厚膜.为了获得平整表面,需

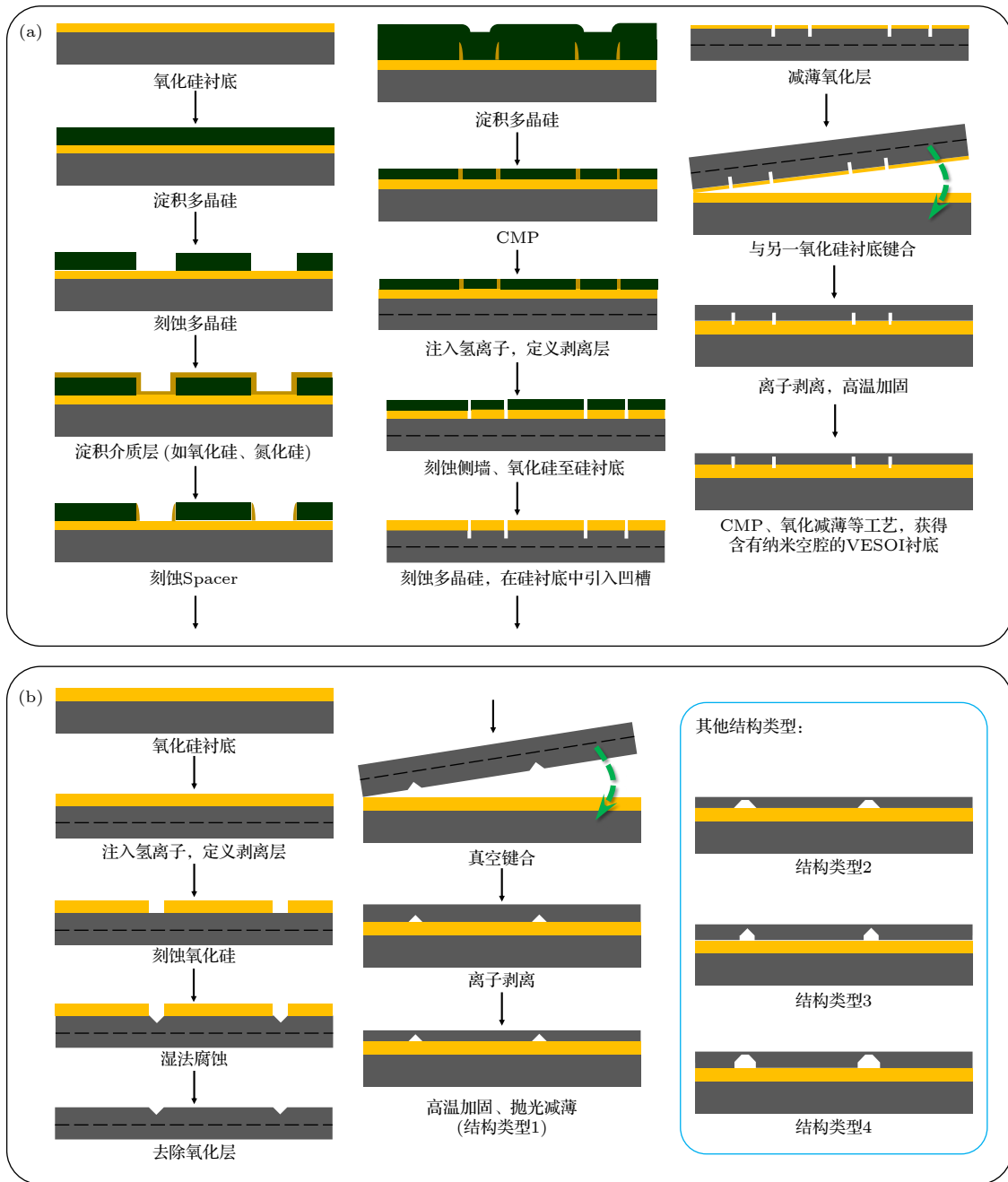


图 15 (a) Spacer 掩膜法制备纳米级空腔型 VESOI 衬底; (b) 各向异性湿法腐蚀制备纳米级空腔型 VESOI 衬底

Fig. 15. (a) Fabrication of VESOI substrate with nano-meter voids using spacer pattern; (b) the fabrication of VESOI substrate with nano-meter voids using anisotropic wet etching method.

要对衬底进行 CMP 处理, 同时也暴露出 Spacer 掩膜. 接下来, 对含 Spacer 结构的平整表面进行氢离子注入, 用于后续的离子减薄. 通过刻蚀介质材料、氧化硅、多晶硅以及硅衬底, 得到预设纳米级空腔的氧化硅衬底. 在减薄氧化硅层后, 将上述衬底与另一片备好的氧化硅衬底进行键合, 从而获得顶层硅较厚的纳米级 VESOI 键合衬底. 此时, 通过高温热处理, 可进一步增强氧化硅界面键合强度. 随后, 通过后续的离子减薄、CMP 减薄以及氧化减薄, 即可获得纳米级空腔 VESOI 衬底.

第 2 种方法可采用各向异性湿法腐蚀工艺, 与 Spacer 掩膜工艺相比, 该方法主要的差别在于形成预设纳米级空腔氧化硅衬底的方式. 如图 15(b) 所示, 在对氧化硅表面注入氢离子后, 刻蚀该氧化层. 然后, 以图形化后的氧化硅作为掩膜, 采用各向异性湿法腐蚀刻蚀氧化硅下方的硅衬底. 去除氧化硅掩膜后, 将预设空腔的硅衬底与另一片备好的氧化硅衬底进行键合, 随后进行离子减薄、高温加固以及抛光等工艺, 即可获得纳米级空腔 VESOI 衬底. 通常, 碱性腐蚀溶液如 NaOH, KOH, LiOH, NH_4OH 和 TMAH 对硅晶体 (100) 晶向腐蚀速率最大, 通过控制反应时间和速率, 可以构成 4 种不同结构类型的倒锥形空腔 VESOI 衬底 (如图 15(b)). 相比于第 1 种方法, 湿法腐蚀无法自由定义空腔形状, 因此不适合于对空腔结构尺寸精度要求较高的器件. 然而, 与立方体空腔相比, 锥形空腔的支撑能力更佳, 不易破损.

4 结 论

应力是影响 VESOI 衬底制备质量的关键因素. 本研究通过应力模型分析、有限元应力仿真和实验验证, 梳理了 VESOI 衬底在离子剥离过程中的应力分布规律. 其中, 空腔最小边长与顶层硅厚度之比 w/t 是影响空腔应力极值的关键参数. 当 w/t 比值约大于 5:1 时, 应力极值点通常位于空腔边缘, 当 w/t 比值约小于 4:1 时, 应力极值点通常位于空腔中心处. 随着 w/t 比值减小, 顶层硅所受应力以接近平方倍率减小, 可以大大提高空腔结构的工艺稳定性. 此外, 通过设置适当的支撑结构, 可以显著增加特定应力条件下的空腔尺寸极限. 通过特殊的刻蚀技术, VESOI 衬底空腔尺寸可进一步推进至纳米级, 以满足先进工艺节点需求. 本研

究工作对于高质量 VESOI 衬底制备、VESOI 器件技术开发等具有重要的指导意义.

参考文献

- [1] Wang Y Y 2018 *Integrated Circuit Industry* (Vol. 2) (Beijing: Electronic Industry Press) pp1543–1562 (in Chinese) [王阳元 2018 集成电路产业全书(下卷) (北京: 电子工业出版社) 第 1543—1562页]
- [2] Kononchuk O, Nguyen B Y 2014 *Silicon-on-Insulator (SOI) Technology: Manufacture and Applications* (Britain: Woodhead Publishing) pp395–435
- [3] Liu Q, Mu Z Q, Liua C H, Zhao L T, Yu W J 2021 *IEEE Electron Dev. Lett.* **42** 657
- [4] Jin C J, Zhang M M, Li K X, Liu N, Yu X, Han G Q 2021 *Micro/Nano Electron. Intell. Manuf.* **3** 32 (in Chinese) [金成吉, 张苗苗, 李开轩, 刘宁, 玉斌, 韩根全 2021 微纳电子与智能制造 **3** 32]
- [5] Zhang Y Y 2014 *M. S. Thesis* (Hunan: Xiangtan University) (in Chinese) [张彦伟 2014 硕士学位论文 (湖南: 湘潭大学)]
- [6] He Q, Gu X, Ji X M, Li J H, Zhao X S 2020 *Microprocessors* **41** 41 (in Chinese) [贺琪, 顾祥, 纪旭明, 李金航, 赵晓松 2020 微处理机 **41** 41]
- [7] Lin Q 2004 *Ph. D. Dissertation* (Shanghai: Shanghai Institute of Microsystem and Information Technology) (in Chinese) [林青 2004 博士学位论文 (上海: 中国科学院上海微系统与信息技术研究所)]
- [8] Nguyen B Y, Celler G, Mazuré C 2009 *JICS* **4** 51
- [9] Palkuti L, Alles M, Hughes H 2014 *SOI-3D-Subthreshold Microelectronics Technology Unified Conference (S3S) Millbrae, CA, USA, October 6–9 2014* p1
- [10] Qing D Z, Jian W W, Jin H L, Shuai S, Xu M J, Xiang G, Gen S H, Bing L 2021 *At. Energy Sci. Technol.* **55** 2151
- [11] Gu M L, Hu M 2006 *Piezoelectr. Acoustoopt.* **28** 236 (in Chinese) [古美良 胡明 2006 压电与声光 **28** 236]
- [12] Lin C L 2003 *Semicond. Technol.* **9** 39 (in Chinese) [林成鲁 2003 半导体技术 **9** 39]
- [13] Lin Q 2021 *Ph. D. Dissertation* (Shanghai: Shanghai Institute of Microsystem and Information Technology) (in Chinese) [刘强 2021 博士学位论文 (上海: 中国科学院上海微系统与信息技术研究所)]
- [14] Liu Q, Zhou H Y, Jia X, Yang Y M, Mu Z Q, Wei X, Yu W J 2022 *IEEE Electron Dev. Lett.* **43** 1814
- [15] Zhao L T, Liu Q, Liu C H, Chen L L, Yang Y M, Wei X, Mu Z Q, Yu W J 2021 *IEEE Electron Dev. Lett.* **42** 1428
- [16] Liu E K, Zhu B S, Luo J S 2008 *Semiconductor Physics* (7th Ed.) (Beijing: Publishing House of Electronics Industry) pp204–235 (in Chinese) [刘恩科, 朱秉升, 罗晋生 2008 半导体物理学(第7版) (北京: 电子工业出版社) 第204—235页]
- [17] Roundy D, Cohen M L 2001 *Phys. Rev. B* **64** 212103
- [18] Dubois M M, Rignanese G M, Pardoën T, Charlier J C 2006 *Phys. Rev. B* **74** 235203
- [19] Umeno Y, Kushima A, Kitamura T, Gumbsch P, Li J 2005 *Phys. Rev. B* **72** 165431
- [20] Moriceau H, Mazen F, Braley C, Rieutord F, Tauzin A, Deguet C 2012 *Nucl. Instrum. Methods Phys. Res.* **277** 84
- [21] Daval N, Schwarzenbach W, Moulin C, Bonnin O, Maleville C 2013 *VLSI Technology, Systems, and Applications (VLSI-TSA), 2013 International Symposium Hsinchu, Taiwan, China, April 22–24, 2013* p1
- [22] Wang B, Gu B, Zhang H, Feng X 2016 *Acta Mech. Solida*

Sin. 29 111

- [23] Lagache-Blanchard C, Sousbie N, Sartori S, Moriceau H, Blondeau B 2003 *Proc. Electrochem. Soc.* **19** 346
- [24] Hchbauer T 2001 *Ph. D. Dissertation* (Germany: University of Marburg)
- [25] Radu I 2022 *Ph. D. Dissertation* (Germany: Martin-Luther-Universität Halle-Wittenberg)
- [26] Yun C H, Cheung N W 2000 *J. Microelectromech. Syst.* **9** 474
- [27] Fan Q S, Yin Y J, Tang J L 2014 *Material Mechanics* (3rd Ed.) (Beijing: Tsinghua University Press) pp126–204 (in Chinese) [范钦珊, 殷雅俊, 唐靖林 2014 材料力学 (第3版) (北京: 清华大学出版社) 第126–204页]
- [28] Craig Jr R R, Taleff E M 2020 *Mechanics of Materials* (State of New Jersey: John Wiley & Sons) pp286–293
- [29] Franssila S 2005 *Introduction to Microfabrication* (England: Wiley publication) pp174–182
- [30] Schmidt B, Wetzig K 2012 *Ion Beams in Materials Processing and Analysis* (Vienna: Springer) pp117–235
- [31] Nguyen P, Cayrefourcq I, Bourdelle K K, Boussagol A, Guiot E, Mohamed N B, Sousbie N, Akatsu T 2005 *J. Appl. Phys.* **97** 083527

Fabrication technology of void embedded silicon-on-insulator substrate*

Jia Xin Liu Qiang[†] Mu Zhi-Qiang Zhou Hong-Yang Yu Wen-Jie[‡]

(National Key Laboratory of Integrated Circuit Materials, Shanghai Institute of Microsystem and Information Technology, Chinese Academy of Science, Shanghai 200050, China)

(Received 14 February 2023; revised manuscript received 1 April 2023)

Abstract

Void embedded silicon-on-insulator (VESOI) substrate is a newly developed silicon-on-insulator (SOI) substrate for advanced complementary metal oxide semiconductor (CMOS) devices and integration technology. However, in the ion-cutting process for preparing the substrate, numerous hydrogen bubbles aggregate at the cut interface, which compresses the cavity structure and might cause the thin film above the cavity to be damaged and delaminated. Therefore, it is necessary to conduct in-depth research on the stress mechanism and process stability in the preparation of VESOI substrates. This study focuses on a single rectangular cavity structure and uses the fixed-supported beam theory to analyze its mechanical behavior during fabrication, and a three-dimensional model of cavity structure is constructed by using the finite element analysis tool. Through stress simulation, the failure mechanism of the cavity structure is identified, and the weak points are confirmed. The results show that the short side length (w), top silicon film thickness (t), and hydrogen bubble pressure are the main factors affecting the stress state of the top silicon film. When the w/t ratio exceeds 4–5, the silicon film will fracture owing to excessive tensile stress, and the fracture site is along the long side of the rectangular cavity. By increasing the thickness of the top silicon film slightly and adding support structures inside the cavity (to reduce w), this work successfully prepares high-quality 8-inch VESOI substrates that meet the requirements for the CMOS production line. The present study is expected to provide valuable idea for the development of integrated technologies relying on VESOI substrates.

Keywords: void embedded silicon-on-insulator, ion cutting, stress, finite element stress simulation

PACS: 73.40.Ty, 68.35.bg, 68.37.–d, 68.55.J–

DOI: 10.7498/aps.72.20230198

* Project supported by the National Key Research and Development Program of China (Grant No. 2022YFB4401700) and the Shanghai Post-doctoral Excellence Program, China (Grant No. 2022677).

[†] Corresponding author. E-mail: qiangliu@mail.sim.ac.cn

[‡] Corresponding author. E-mail: casan@mail.sim.ac.cn



空腔嵌入绝缘体上硅衬底制备技术

贾欣 刘强 母志强 周虹阳 俞文杰

Fabrication technology of void embedded silicon-on-insulator substrate

Jia Xin Liu Qiang Mu Zhi-Qiang Zhou Hong-Yang Yu Wen-Jie

引用信息 Citation: *Acta Physica Sinica*, 72, 127302 (2023) DOI: 10.7498/aps.72.20230198

在线阅读 View online: <https://doi.org/10.7498/aps.72.20230198>

当期内容 View table of contents: <http://wulixb.iphy.ac.cn>

您可能感兴趣的其他文章

Articles you may be interested in

衬底浮空的新型绝缘体上硅基横向功率器件分析

Analysis of novel silicon based lateral power devices with floating substrate on insulator

物理学报. 2021, 70(14): 148501 <https://doi.org/10.7498/aps.70.20202065>

新型绝缘体上硅静态随机存储器单元总剂量效应

Total ionizing dose effects on innovative silicon-on-insulator static random access memory cell

物理学报. 2019, 68(16): 168501 <https://doi.org/10.7498/aps.68.20190405>

绝缘体上硅金属氧化物半导体场效应晶体管中辐射导致的寄生效应研究

Radiation induced parasitic effect in silicon-on-insulator metal-oxide-semiconductor field-effect transistor

物理学报. 2018, 67(21): 216102 <https://doi.org/10.7498/aps.67.20181372>

全耗尽绝缘体上硅氧化铪基铁电场效应晶体管存储单元单粒子效应计算机模拟研究

Numerical simulation of single-event effects in fully-depleted silicon-on-insulator HfO₂-based ferroelectric field-effect transistor memory cell

物理学报. 2022, 71(6): 068501 <https://doi.org/10.7498/aps.71.20211655>

应力对锂离子电池中空碳包覆硅负极电化学性能的影响

Effect of stress on electrochemical performance of hollow carbon-coated silicon snode in lithium ion batteries

物理学报. 2019, 68(12): 120201 <https://doi.org/10.7498/aps.68.20182279>

InSb(111)衬底上外延生长二维拓扑绝缘体锡烯/铋烯的差异性研究

Comparative study on epitaxial growth of stanene and bismuthene on InSb(111) substrate

物理学报. 2022, 71(18): 186401 <https://doi.org/10.7498/aps.71.20221024>