

# 基于混合导电机制的新型 TMOSFET 三值逻辑反相器\*

马鑫<sup>1)</sup> 芦宾<sup>1)†</sup> 董林鹏<sup>2)</sup> 苗渊浩<sup>3)</sup>

1) (山西师范大学物理与信息工程学院, 太原 030031)

2) (西安工业大学, 陕西省薄膜技术与光学检测重点实验室, 西安 710032)

3) (中国科学院微电子研究所, 微电子器件与集成技术重点实验室, 北京 100029)

(2023年5月21日收到; 2023年6月27日收到修改稿)

三值逻辑技术相比于二值逻辑, 不仅能够提高芯片信息密度, 还能进一步降低电路功率损耗和系统设计复杂度. 然而采用传统的二值逻辑器件搭建三值逻辑电路所需要的元器件数量较多, 而且需借助无源元件, 这反而牺牲了三值逻辑的优势. 借助新型的二维材料也可以实现三值逻辑器件, 这种方式需要的元器件数量少, 且不需要借助无源元件, 但是却面临制备工艺不成熟无法批量生产的问题. 目前还没有能够兼容于传统互补金属氧化物半导体工艺的低功耗三值逻辑门电路, 针对这一问题, 本文将载流子隧穿机制与漂移扩散机制相结合, 提出混合机制的隧穿金属氧化物半导体场效应晶体管 (TMOSFET), 并对其工作原理进行了深入分析, 研究了基于 TMOSFET 的三值逻辑反相器工作原理, 分析了三值逻辑反相器输出 3 种状态所对应输入电压范围相当的必要条件, 对于后续三值逻辑电路设计具有一定的借鉴意义.

**关键词:** 隧穿场效应晶体管, 金属氧化物半导体场效应晶体管, 三值逻辑反相器

**PACS:** 85.30.-z, 85.30.Tv, 84.30.Sk

**DOI:** 10.7498/aps.72.20230819

## 1 引言

在过去几十年中, 互补金属氧化物半导体 (complementary metal-oxide semiconductor, CMOS) 技术随摩尔定律的发展, 器件特征尺寸不断缩小, 电路集成度不断提高, 但随着其尺寸缩小至纳米尺度, 器件短沟道效应越来越严重, 集成电路静态功耗不断增加, 甚至超过动态功耗已成为集成电路功耗的主要来源<sup>[1-3]</sup>. 目前以 CMOS 为基础的三值逻辑处理器性能很快触顶, 为了进一步推动高性能低功耗集成电路的发展, 三值逻辑技术被广泛研究. 相比于仅采用{0, 1}两种状态的二值逻辑, 三值逻辑使用{0, 1, 2}或{-1, 0, 1} 3种状态表示信

息, 其信息表达能力更强<sup>[4]</sup>. 对于给定数量的晶体管, 三值逻辑可以表达更丰富的信息, 当表达相同的信息时, 三值逻辑能够减少所需的晶体管数量及互联, 这不仅能够使系统设计的复杂度降低约 37%, 还可以进一步降低电路功率损耗<sup>[5-7]</sup>. 目前, 三值逻辑的巨大优势已使其成为微电子和计算机领域的研究热点, 被认为是超摩尔定律时代持续提升系统性能和信息密度的有效途径之一.

一般情况下, 人类对问题的看法并不是只有“真”和“假”两种答案, 还有一种“不知道”, 这在二值逻辑学中是无法表达的. 然而在三值逻辑中, 可以用“1”代表“真”, “-1”代表“假”, “0”代表“不知道”, 更接近人类大脑的思维方式. 实际上人脑被认为是一个三值突触权重的低功耗系统, 尽管其包

\* 国家自然科学基金 (批准号: 62004119) 和山西省应用基础研究计划 (批准号: 201901D211400) 资助的课题.

† 通信作者. E-mail: lubinsxnu@sina.cn

含 1000 亿个神经元和 100 万亿个突触, 功耗却仅有 20 W 左右 [8,9]. 三值逻辑更接近人脑的运行原理, 基于三值逻辑的神经网络不仅比二值逻辑更为精简, 而且在同样的模型结构下, 三值神经网络还具有更强的表达能力 [10]. 因此, 三值逻辑更符合计算机在神经形态计算中的发展趋势 [11], 可以为模糊运算和自主学习提供更高效率的实现途径.

通常三值逻辑门电路的实现主要有两种方法. 第 1 种方法采用传统的二值逻辑金属氧化物半导体场效应晶体管 (metal-oxide-semiconductor field-effect-transistor, MOSFET) 直接搭建三值逻辑门电路 [12–15], 该方法能够兼容于传统的 CMOS 工艺, 便于批量化生产, 但实现一个三值门电路所需要的元器件数量较多, 而且通常需要借助无源元件或者双极性电源, 这反而增大了芯片面积和系统设计复杂度, 无法将三值逻辑本身的优势发挥出来. 此外, 由于 MOSFET 的短沟道效应, 这种方法还面临着摩尔定律功耗限制和信息密度无法有效提升的矛盾. 第 2 种方法直接采用具有 3 种状态的三值逻辑器件, 这类器件除了具有“开”和“关”两种状态外, 还具有一种处于“开”和“关”之间的中间态. 这种方法不需要借助无源元件和双极性电源, 且每个三值反相器只需要两个三值逻辑器件, 因此能够降低芯片面积和系统设计复杂度, 可以将三值逻辑的优势发挥出来. 然而为了获得具有 3 种状态的逻辑器件, 通常需要采用与传统 CMOS 工艺不兼容的新型二维材料 [16–19], 如有机材料及相变材料等, 这不仅使得中间态的形成很不稳定, 而且所设计的逻辑门电路面临新型材料制备工艺不成熟而无法批量化生产的问题. 因此, 目前还没有能够兼容于传统 CMOS 工艺的低功耗三值逻辑门电路, 这在很大程度上限制了三值逻辑芯片及其设计方法学的研究.

针对以上问题, 本文将载流子隧穿机制和漂移扩散机制相结合, 提出混合机制的隧穿金属氧化物

半导体场效应晶体管 (TMOSFET), 该结构可以输出 3 种稳定状态, 所实现的三值逻辑, 不仅不需要借助无源器件, 而且结构简单, 制备工艺能够兼容于传统 CMOS 平台.

## 2 器件结构与仿真设置

图 1 为一个 n 型 TMOSFET 结构示意图, 器件参数如表 1 所列, 其中 Source - I, Channel - I 和 Drain 构成 nTFET 器件, Source - II, Channel - II 和 Drain 构成 nMOSFET 器件. 可以看出, TMOSFET 相当于一个 nTFET 和 nMOSFET 的并联, 其结构简单, 制备工艺能够兼容于传统 CMOS 工艺, 而且只需在 n 型器件结构的基础上, 改变源区、沟道和漏区对应掺杂类型便可得到相应的 p 型器件. 为了便于后续器件原理分析, 图 1 中的  $AA_0$  为氧化层与半导体界面正下方 3 nm 处的切线.

表 1 n 型 TMOSFET 结构参数  
Table 1. Structure parameters of n-type TMOSFET.

Parameter	Symbol	Value
Source length	$L_S/\text{nm}$	20
Source thickness	$T_{\text{Ch}}/\text{nm}$	10
Source I doping (P <sup>+</sup> )	$N_{S\text{I}}/(10^{19} \text{ cm}^{-3})$	1
Source II doping (N <sup>+</sup> )	$N_{S\text{II}}/(10^{19} \text{ cm}^{-3})$	1
Channel I length	$L_{C\text{I}}/\text{nm}$	30
Channel II length	$L_{C\text{II}}/\text{nm}$	50
Channel I doping (N <sup>+</sup> )	$N_{C\text{I}}/(10^{16} \text{ cm}^{-3})$	1
Channel II doping (N <sup>+</sup> )	$N_{C\text{II}}/(10^{16} \text{ cm}^{-3})$	1
Drain length	$L_{\text{D}}/\text{nm}$	20
Drain doping (N <sup>+</sup> )	$N_{\text{D}}/(10^{19} \text{ cm}^{-3})$	1
Gate oxide thickness	$T_{\text{OX}}/\text{nm}$	2
Gate WorkFunction I	$\text{WF}_{\text{I}}/\text{eV}$	3.37
Gate WorkFunction II	$\text{WF}_{\text{II}}/\text{eV}$	5.02

通过 TCAD 二维数值仿真工具对所设计的器件及三值逻辑电路进行研究, 为了能够考虑非均匀电场对隧穿过程的影响, 采用非局域带带隧穿 (band-to-band tunneling, BTBT) 模型计算载流

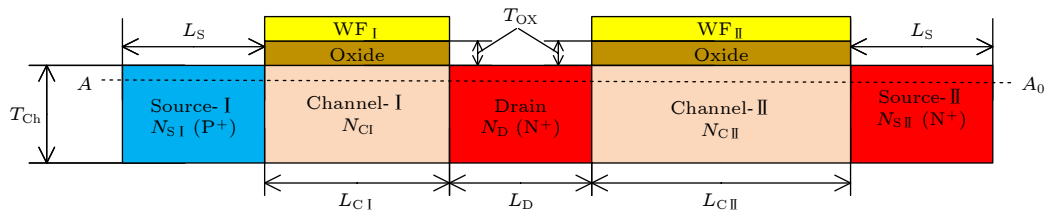


图 1 n 型 TMOSFET 器件结构示意图

Fig. 1. Structure diagram of n-type TMOSFET.

子隧穿路径和概率<sup>[20]</sup>. 此外, 仿真过程中还考虑了掺杂相关的迁移率模型, 高电场速度饱和模型以及 Shockley-Read-Hall 复合等模型<sup>[21]</sup>.

### 3 TMOSFET 器件原理分析

图 2 给出了漏极电压  $V_D = 0.5 \text{ V}$  时 nTMOSFET 的  $I_D$ - $V_G$  转移特性曲线 (其中  $I_D$  为漏极电流,  $V_G$  为栅极电压), 可以看到 nTMOSFET 的特性曲线与传统 MOSFET 的特性曲线有明显的不同, 在转折电压  $V_{\text{turn}} = 0.6 \text{ V}$  左右存在明显的转折过程, 这一转折使得 nTMOSFET 表现出了 3 种状态, 也就是关态、开态以及处于开关状态之间的中间态, nTMOSFET 的三态特性使其十分适合于三值逻辑电路的设计.

实际上这是由  $V_{\text{turn}}$  前后不同的导电机理所导致的, 为了进一步说明, 图 3(a) 给出了曲线转折前  $V_G = 0.3 \text{ V}$  时, 沿切线  $AA_0$  的能带分布图, 可以看出当  $V_G = 0.3 \text{ V}$ , Source - I 区导带 ( $E_C$ ) 与 Channel - I 区的价带 ( $E_V$ ) 发生交叠, 因此 Source - I 区的价带电子可以隧穿进入 Channel - I 区, 并被 Drain 区收集形成电流. 此时, Source - II 区与 Channel - II 区之间的势垒较高, Source - II 的电子无法越过势垒进入 Channel - II 区, 因此器件的电流主要由 Source - I 到 Channel - I 的隧穿电流主

导. 图 3(b) 给出了  $V_G = 0.3 \text{ V}$  时的电子隧穿概率及电流密度分布情况, 可以看出此时在 Channel - I 中靠近 Source - I 区附近电子隧穿概率较高, 而且电流密度主要分布在 Channel - I 区.

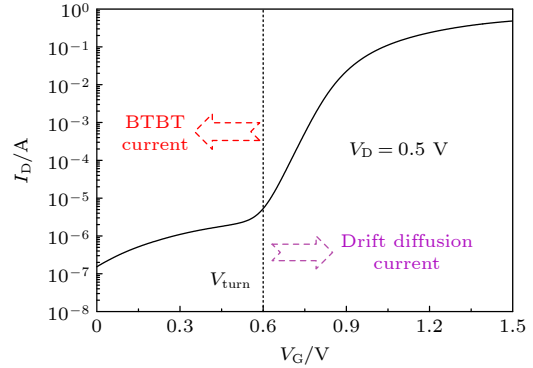


图 2 nTMOSFET  $I_D$ - $V_G$  特性曲线

Fig. 2.  $I_D$ - $V_G$  characteristic curve of nTMOSFET.

当  $V_G$  增至  $0.9 \text{ V}$  时, 如图 4(a) 所示, Source - II 与 Channel - II 之间的势垒高度明显降低, 这使得 Source - II 区的电子可以通过热发射的形式跨过势垒进入 Channel - II 区, 并以漂移扩散的形式被 Drain 区收集形成电流. 虽然此时 Channel - I 与 Source - I 区的能带依然交叠, 甚至隧穿电流更高, 但是相比于 Source - II 到 Channel - II 的漂移扩散电流, 其对总电流的贡献十分小, 因此此时器件电流主要由 Source - II 到 Channel - II 的热发射电流

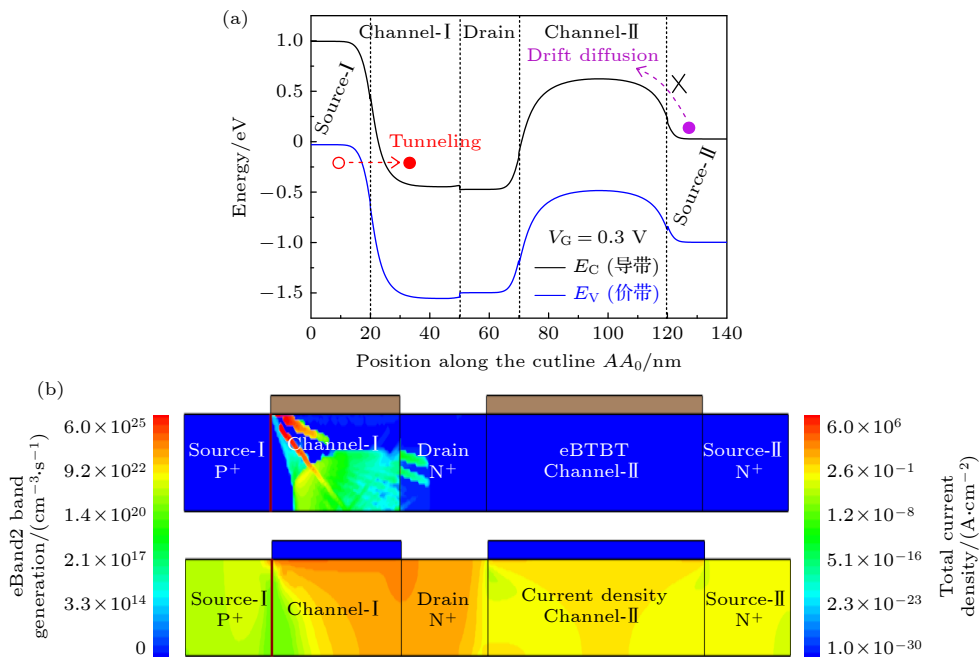


图 3  $V_G = 0.3 \text{ V}$  时, (a) 沿切线  $AA_0$  的能带分布图和 (b) 电子隧穿概率与电流密度分布图

Fig. 3. (a) Energy band diagram along cutline  $AA_0$  and (b) contour mapping of electron BTBT rate and current density at  $V_G = 0.3 \text{ V}$ .

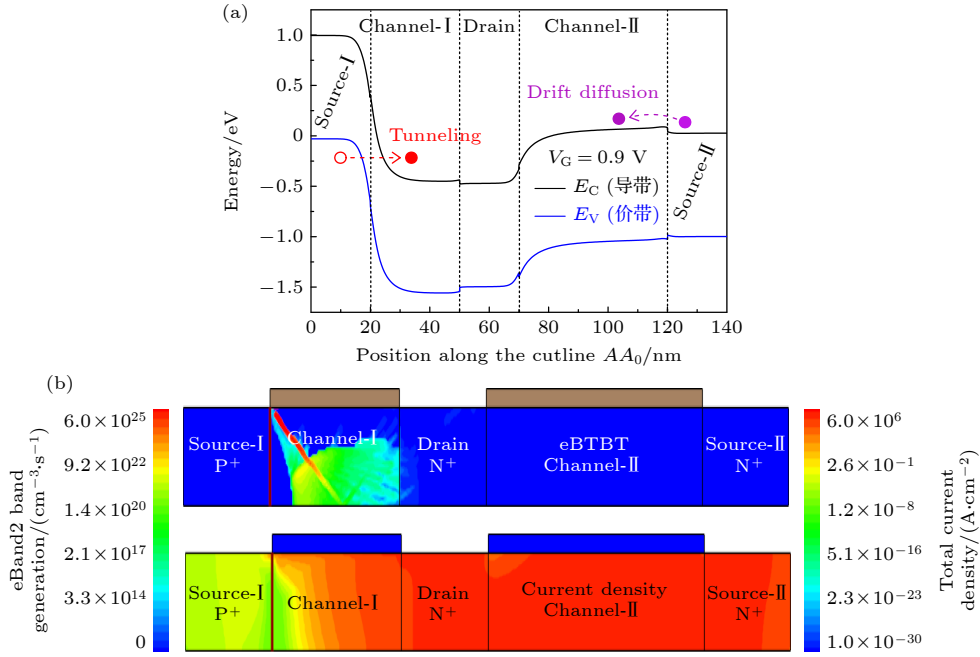


图 4  $V_G = 0.9 \text{ V}$  时, (a) 沿  $AA_0$  的能带分布图和 (b) 电子隧穿概率与电流密度分布图

Fig. 4. (a) Energy band diagram along cutline  $AA_0$  and (b) contour mapping of the electron BTBT rate and current density at  $V_G = 0.9 \text{ V}$ .

主导. 图 4(b) 给出了  $V_G = 0.9 \text{ V}$  时的电子隧穿概率及电流密度分布情况, 可以看到, 尽管此时在 Channel - I 区依然存在大量隧穿电流, 但是器件电流密度却主要分布于 Channel - II 区.

综上所述, 在 TMOSFET 中存在两种导电机制, 当  $V_G < V_{\text{turn}}$  时, 器件电流主要由 Source - I 到 Channel - I 的隧穿电流主导, 当  $V_G > V_{\text{turn}}$  时, 器件电流主要由 Source - II 到 Channel - II 的热发射电流主导, 由于热发射电流远大于隧穿电流, 在  $V_{\text{turn}}$  附近电流突然上升, 导致传输曲线出现转折, 并最终使 TMOSFET 器件表现出 3 种状态.

#### 4 基于 TMOSFET 的三值逻辑反相器

图 5 为电学特性匹配的 n 型和 p 型 TMOSFET 转移曲线, 其中 p 型器件结构与 n 型器件相同, 具体结构参数如表 2 所列. 通过 TMOSFET 设计三值逻辑反相器的电路结构与二值逻辑反相器相同, 如图 5 插图所示, 其中  $V_{\text{in}}$  与  $V_{\text{out}}$  分别为反相器输入电压与输出电压;  $V_{\text{DD}}$  为反相器工作电压; S, G, D 分别表示 n 型或 p 型器件的源极、栅极、漏极.

图 6(a) 给出了电源电压  $V_{\text{DD}} = 0.9 \text{ V}$  时的反相器电压传输曲线 (VTC), 可以看到, 反相器输出有明显的 3 种状态, 即高电平 H(“2”), 中间电平

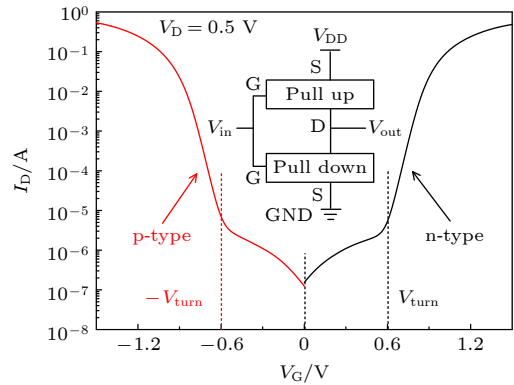


图 5 n 型和 p 型 TMOSFET 器件  $I_D$ - $V_G$  特性曲线

Fig. 5.  $I_D$ - $V_G$  characteristic curves of the n-type and p-type devices.

表 2 p 型 TMOSFET 器件参数

Table 2. Structure parameters of p-type TMOSFET.

Parameter	Symbol	Value
Source length	$L_S/\text{nm}$	20
Source thickness	$T_{\text{Ch}}/\text{nm}$	10
Source I doping ( $N^+$ )	$N_{S\text{I}}/(10^{19} \text{ cm}^{-3})$	9
Source II doping ( $P^+$ )	$N_{S\text{II}}/(10^{19} \text{ cm}^{-3})$	1
Channel I length	$L_{C\text{I}}/\text{nm}$	30
Channel II length	$L_{C\text{II}}/\text{nm}$	50
Channel I doping ( $P^+$ )	$N_{C\text{I}}/(10^{16} \text{ cm}^{-3})$	1
Channel II doping ( $P^+$ )	$N_{C\text{II}}/(10^{16} \text{ cm}^{-3})$	1
Drain length	$L_D/\text{nm}$	20
Drain doping ( $P^+$ )	$N_{D}/(10^{19} \text{ cm}^{-3})$	1
Gate oxide thickness	$T_{\text{OX}}/\text{nm}$	2
Gate WorkFunction I	$\text{WF}_\text{I}/\text{eV}$	5.9
Gate WorkFunction II	$\text{WF}_\text{II}/\text{eV}$	4.25

M(“1”)及低电平L(“0”),其中高电平H和低电平L所对应的电压曲线十分平坦,而中间电平M所对应的电压曲线并不平坦,而是随输入电压升高缓慢下降.对于理想的三值逻辑反相器,这3种状态应是等概率的,也就是电平H、M和L所对应的输入电压范围应当相等.图中 $V_{IL}$ ,  $V_{IML}$ ,  $V_{IMH}$ 和 $V_{IH}$ 分别为斜率为-1的点对应的输入电压值, $R_H$ ,  $R_M$ 和 $R_L$ 分别为高电平H、中间电平M和低电平L所对应的输入电压范围,可以看到虽然 $R_M$ 略微小于 $R_H$ 和 $R_L$ ,但是3种状态所对应的输入电压范围基本相当.反相器瞬态特性如图6(b)所示,输入信号频率为25 kHz,从L上升到M和从M上升到H的上升时间 $\tau_r = 0.07 \mu\text{s}$ ,从H下降到M和从M下降到L的下降时间 $\tau_f = 0.09 \mu\text{s}$ ,可以看到,所设计电路能够实现三值逻辑反相功能.

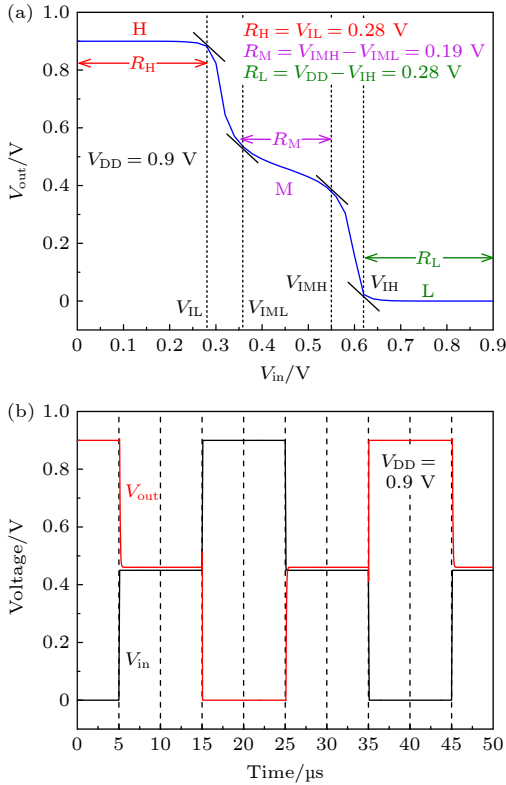


图6 反相器的(a) VTC曲线和(b)瞬态特性曲线  
Fig. 6. (a) VTC curve and (b) transient response of the proposal ternary inverter.

图7给出了不同 $V_{DD}$ 下的反相器VTC曲线,对比可发现,随着 $V_{DD}$ 从0.9 V ( $1.5V_{turn}$ )逐渐减小,中间电平M所对应的电压曲线逐渐变得平缓,因此其所对应输入电压范围 $R_M$ 逐渐变大,而高电平H和低电平L所对应输入电压范围 $R_H$ 与 $R_L$

逐渐减小.直到 $V_{DD}$ 减小到 $V_{DD} = V_{turn} = 0.6 \text{ V}$ 时,高电平H和低电平L已近乎消失,VTC曲线主要由中间电平M和过渡区组成,因此三值反相器正常工作时工作电压 $V_{DD}$ 应大于 $V_{turn}$ .随着 $V_{DD}$ 从0.9 V增大,VTC曲线表现出相反的规律,中间电平M所对应电压曲线变得越来越陡峭,其所对应输入电压范围 $R_M$ 逐渐减小,而高电平H和低电平L所对应电压范围则逐渐增大.直到 $V_{DD}$ 增大到 $V_{DD} = 1.1 \text{ V}$ 时,中间态M已变得很不明显,当 $V_{DD} \geq 2V_{turn} = 1.2 \text{ V}$ 时,中间电平M已彻底消失,此时VTC曲线已完全变成了二值逻辑反相器曲线.

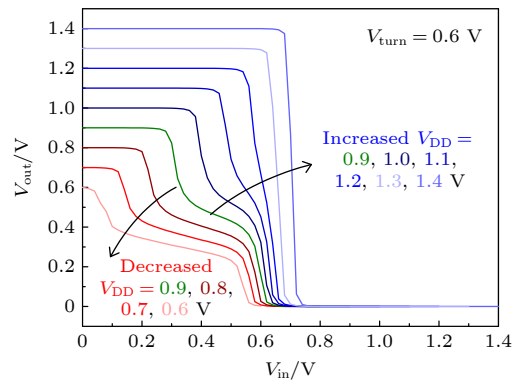


图7 不同 $V_{DD}$ 下三值逻辑反相器的VTC曲线  
Fig. 7. VTC curves of ternary inverter at various  $V_{DD}$ .

可见,电源电压 $V_{DD}$ 对反相器工作特性影响较大,在忽略过渡区的情况下,最优的 $V_{DD} \approx 1.5V_{turn}$ ,此时反相器表现出明显的3种状态,且每种状态所对应的输入电压范围基本相当. $V_{DD}$ 减小,将导致中间电平M所对应电压范围变宽,而高低电平所对应电压范围变窄,直至 $V_{DD} = V_{turn}$ 时,高低电平几乎消失; $V_{DD}$ 变大,将导致高低电平所对应电压范围变宽,而中间电平M所对应电压范围变窄,当 $V_{DD} > 2V_{turn}$ 时,中间电平完全消失,三值反相器退化为二值逻辑反相器.

在三值逻辑反相器中,nTMOSEFET的栅极输入电压 $V_{GSn} = V_{in}$ ,而pTMOSEFET的栅极输入电压 $V_{GSp} = V_{in} - V_{DD}$ ,因此只需要将pTMOSEFET的传输曲线向右移动 $V_{DD}$ ,即可得到反相器 $I_D - V_{in}$ 曲线.图8(a)给出了 $V_{DD} = V_{turn} = 0.6 \text{ V}$ 时的 $I_D - V_{in}$ 曲线,可以看到,输入电压 $V_{in}$ 从0 V逐渐增大到 $V_{DD}/2$ 的过程中,p型器件电流大于n型器件电流,即p型器件的导通电阻 $R_{ONp}$ 小于n型

器件导通电阻  $R_{ONn}$ , 因此在这一过程中输出电压  $V_{out} > V_{DD}/2$ , 如图 7 所示. 当  $V_{in} = V_{DD}/2$  时, n 型器件的电流与 p 型器件电流大小相等, 两者导通电阻也相等, 此时  $V_{out} = V_{DD}/2$ . 当  $V_{in}$  继续增大, n 型器件电流大于 p 型器件电流,  $R_{ONn}$  小于  $R_{ONp}$ , 因此  $V_{out} < V_{DD}/2$ . 考虑到在这一过程中, n 型和 p 型器件的电流均以隧穿机制为主导, 其大小相差不多, 其随  $V_{in}$  的变化较为缓慢, 因此此时的 VTC 曲线中高低电平并不明显, 主要由中间电平和过渡区组成, 而且过渡区的变化范围相对较长.

为了出现明显的高低电平, 实现三值逻辑, 应使 n 型和 p 型器件电流相差较大, 即  $R_{ONp}$  和  $R_{ONn}$  存在较大差异, 才能使得  $V_{out}$  接近 0 V (低电平 L) 或者  $V_{DD}$  (高电平 H), 这就要求 p 型器件传输曲线继续向右移动, 也就是需要  $V_{DD} > V_{turn}$ .

图 8(b) 给出了  $V_{DD} = 0.9$  V 时的曲线, 可以看到, 当  $0 < V_{in} < 0.3$  V 时, pTMOSEFET 以漂移扩散电流为主, 而 nTMOSEFET 以隧穿电流为主, pTMOSEFET 的电流远大于 nTMOSEFET 电流, 即  $R_{ONp}$  远小于  $R_{ONn}$ , 因此反相器输出接近  $V_{DD}$ , 为高电平 H. 当  $0.3 < V_{in} < 0.6$  V 时, p 型和 n 型

器件都以隧穿电流主导, 且电流变化平缓, 此时的情况类似与图 8(a), 反相器输出  $V_{out}$  在  $V_{DD}/2$  附近, 且变化平缓, 即中间电平 M. 当  $0.6 < V_{in} < 0.9$  V 时, nTMOSEFET 进入漂移扩散电流区, 而 pTMOSEFET 进入隧穿电流区, nTMOSEFET 电流远大于 pTMOSEFET, 此时反相器输出电压接近 0 V, 即低电平 L. 此外, 还可以看到, 如果忽略过度区域, 输出高电平 H, 中间电平 M 和低电平 L 所对应的输入电压范围均为 0.3 V, 即反相器输出三种状态是等概率的.

然而如果继续增大  $V_{DD}$ , n 型和 p 型器件电流均受隧穿电流主导的区域, 也就中间电平 M 所对应的电压范围将会逐渐变窄, 直到  $V_{DD} = 2V_{turn}$  时, 中间电平 M 已经消失, 如图 8(c) 所示. 此时  $V_{in}$  从 0 V 上升到  $V_{DD}$  的过程中, 只有两种明显状态, 即当  $0.0 < V_{in} < V_{DD}/2$  时, pTMOSEFET 电流由漂移扩散主导, nTMOSEFET 电流由隧穿电流主导, pTMOSEFET 电流远大于 nTMOSEFET, 输出为高电平 H; 当  $V_{DD}/2 < V_{in} < V_{DD}$  时, pTMOSEFET 电流由隧道电流主导, nTMOSEFET 电流由漂移扩散电流主导, pTMOSEFET 电流远小于 nTMOSEFET,

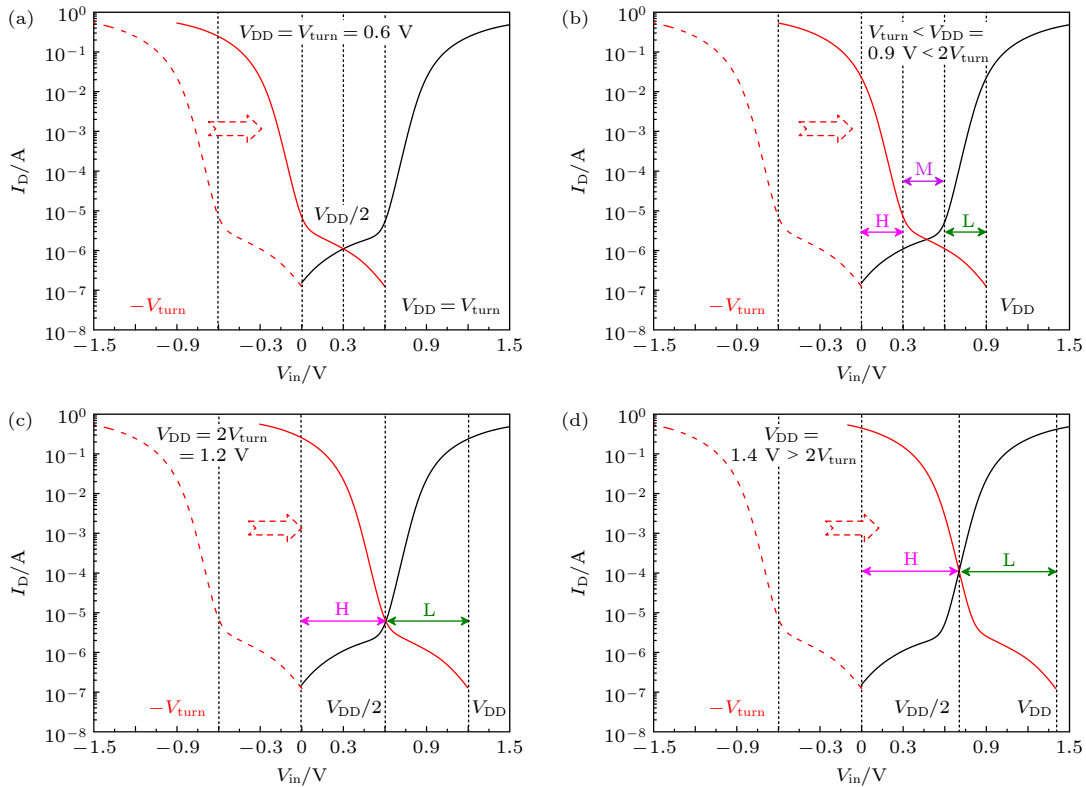


图 8 反相器  $I_D$ - $V_{in}$  曲线 (a)  $V_{DD} = V_{turn}$ ; (b)  $V_{DD} = 0.9$  V; (c)  $V_{DD} = 2V_{turn} = 1.2$  V; (d)  $V_{DD} = 1.4$  V

Fig. 8.  $I_D$ - $V_{in}$  curves of ternary inverters: (a)  $V_{DD} = V_{turn}$ ; (b)  $V_{DD} = 0.9$  V; (c)  $V_{DD} = 2V_{turn} = 1.2$  V; (d)  $V_{DD} = 1.4$  V.

输出为低电平 L. 可见  $V_{DD} = 2V_{turn}$  时, 三值反相器已退化为二值逻辑反相器, 对于图 8(d) 中  $V_{DD} > 2V_{turn}$  的情况与  $V_{DD} = 2V_{turn}$  情况类似.

以上分析可以发现, 当  $V_{DD} < V_{turn}$  时, 反相器只能输出中间电平 M, 当  $V_{DD} > 2V_{turn}$  时, 反相器只能输出高电平 H 和低电平 L, 只有当  $V_{turn} < V_{DD} < 2V_{turn}$  时, 反相器能够输出 H, M 和 L 三种状态. 为了更加直观地表现  $V_{DD}$  对 3 种状态的影响, 图 9 给出了电平 H 和 M 对应输入电压范围占比  $R_H/V_{DD}$  及  $R_M/V_{DD}$  随  $V_{DD}$  的变化, 由于 p 型和 n 型器件对称的  $I_D-V_G$  特性, 反相器高电平 H 和低电平 L 对应输入的电压范围近似相等, 即  $R_H \approx R_L$ , 因此图 9 中没有给出  $R_L/V_{DD}$  的变化. 可以看出, 随着  $V_{DD}$  增大,  $R_H/V_{DD}$  逐渐增大,  $R_M/V_{DD}$  逐渐减小, 当  $V_{DD} = 0.84\text{ V}$  时,  $R_H = R_M = 0.27V_{DD}$ , 此时 3 种状态对应输入电压范围相等, 均占  $V_{DD}$  的 0.27 倍而非 1/3, 这是由于不同状态之间转换存在过渡区, 导致 3 种状态相互均衡时所占比例会略小于 1/3, 此外, 需要注意的是 3 种状态均衡时的  $V_{DD} = 0.84\text{ V} = 1.4V_{turn}$ , 这一数值略小于图 8(b) 中在忽略过渡区情况下的  $V_{DD} = 0.9\text{ V} = 1.5V_{turn}$ . 最后, 考虑到  $R_H + R_M + R_L \approx 2R_H + R_M = V_{DD}$ , 图 9 中  $R_M$  随  $V_{DD}$  的减小速率是  $R_H$  上升速率的 2 倍.

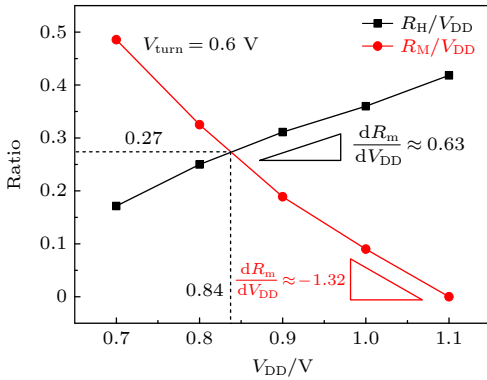


图 9  $R_H/V_{DD}$  和  $R_M/V_{DD}$  随  $V_{DD}$  的变化曲线  
Fig. 9. Variation of  $R_H/V_{DD}$  and  $R_M/V_{DD}$  with  $V_{DD}$ .

$V_{turn}$  是器件电压传输曲线的关键参数, 其大小可以通过  $WF_{II}$  进行调整, 图 10 给出了不同  $V_{turn}$  下的器件特性曲线, 相应的  $WF_{II}$  参数如表 3 所列. 由于  $WF_{II}$  主要控制器件 Channel - II 区的势垒高低, 而不对 Channel - I 区的电势产生影响, 因此随着  $WF_{II}$  变化, 器件的漂移扩散电流曲线水

平移动, 而隧穿电流部分并不发生变化, 最终使得器件从隧穿电流到漂移扩散电流的转折电压  $V_{turn}$  发生变化.

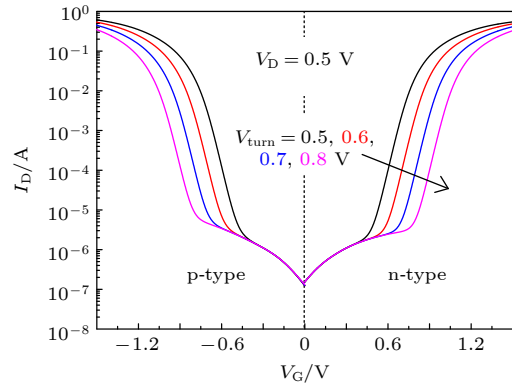


图 10 不同  $V_{turn}$  时 TMOSFET 转移特性曲线  
Fig. 10.  $I_D-V_G$  characteristic curves of TMOSFETs with different  $V_{turn}$ .

表 3 不同  $V_{turn}$  所对应的  $WF_{II}$   
Table 3.  $WF_{II}$  corresponding to different  $V_{turn}$ .

$V_{turn}/V$	n-type $WF_{II}/eV$	p-type $WF_{II}/eV$
0.5	4.92	4.35
0.6	5.02	4.25
0.7	5.12	4.15
0.8	5.22	4.05

图 11(a) 给出了不同  $V_{turn}$  下三值逻辑反相器的 VTC 曲线, 可以看出, 随  $V_{turn}$  的增大,  $R_M$  逐渐增大,  $R_H$  和  $R_L$  逐渐减小. 图 11(b) 给出了  $R_H/V_{DD}$  和  $R_M/V_{DD}$  随  $V_{turn}$  的变化曲线, 当  $V_{turn}$  满足  $V_{turn} = V_{DD}/1.4 \approx 0.63\text{ V}$  时, 3 种状态所占比例相等约为 0.27, 这与图 9 中得出的结论是一致的.

在 CMOS 反相器中, 互补的 nMOS 和 pMOS 器件只有一个导通, 这使得电路的静态功耗很低, 而我们所提出的 TMOSFET 三值反相器只有在 H 和 L 电平时才是互补的. 当反相器输出 M 电平时, nTMOSFET 和 pTMOSFET 同时工作在半导体通状态, 器件的中间态电流对反相器特性有较大影响. 器件的中间态电流主要由 Channel - I 区的隧穿电流主导, 因此改变  $WF_{I}$  可以改变 Channel - I 区的能带高低, 从而控制中间态电流的大小, 同时并不影响 Channel - II 区的能带分布和开态电流的大小, 如图 12(a) 所示. 可以看到, 随着  $WF_{I}$  减小, 中间态电流增大, 且中间态电流曲线逐渐平缓, 但是器件导通电流并没有发生变化. 图 12(b) 给出了相应的三值反相器 VTC 曲线, 随着器件中间态电

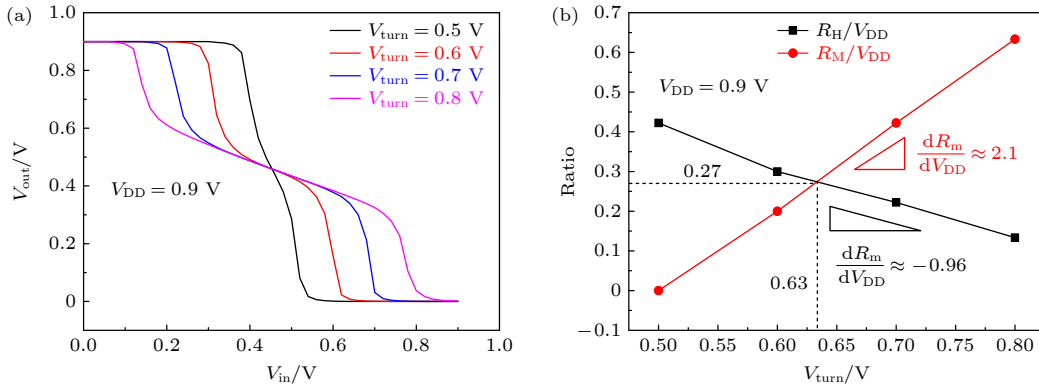

 图 11 不同  $V_{\text{turn}}$  时的 (a) 三值反相器的 VTC 曲线和 (b)  $R_{\text{H}}/V_{\text{DD}}$  及  $R_{\text{M}}/V_{\text{DD}}$  随  $V_{\text{DD}}$  的变化规律

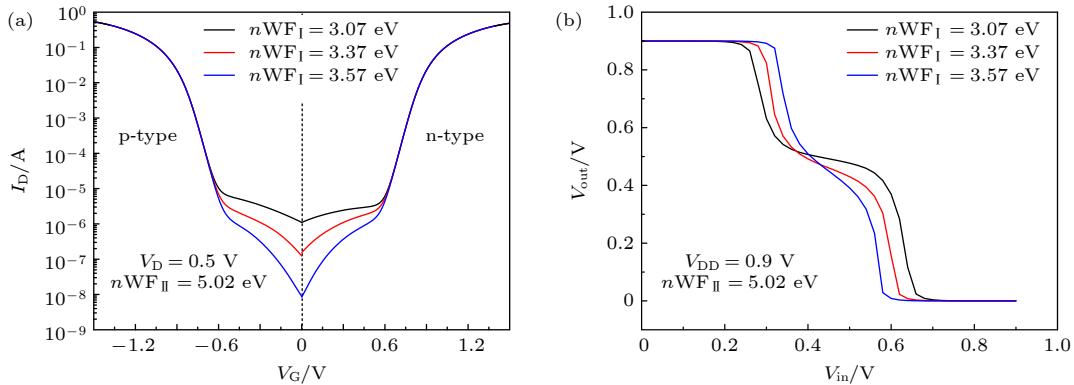
 Fig. 11. (a) VTC curves of ternary inverter and (b) variation of  $R_{\text{H}}/V_{\text{D}}$  and  $R_{\text{M}}/V_{\text{DD}}$  with  $V_{\text{DD}}$  at different  $V_{\text{turn}}$ .

 图 12 不同  $\text{WF}_I$  下, (a) 器件的  $I_{\text{D}}-V_{\text{G}}$  特性曲线和 (b) 三值反相器 VTC 曲线

 Fig. 12. (a)  $I_{\text{D}}-V_{\text{G}}$  characteristic curves and (b) VTC curves of ternary inverter at different  $\text{WF}_I$ .

流曲线变得平缓, VTC 曲线 M 所对应电压曲线也逐渐平缓, 所对应输入电压范围  $R_{\text{M}}$  变大, 这就意味反相器中间电平 M 与高水平 H、低电平 L 的区分度更大, 具有更强的抗干扰能力.

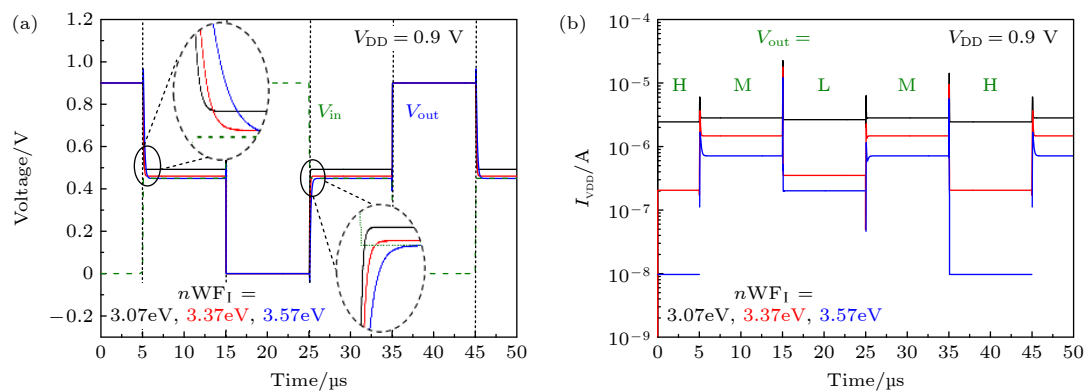
图 13(a) 给出了  $\text{WF}_I$  对反相器瞬态特性的影响, 随着  $\text{WF}_I$  增大, 器件中间态电流减小, 使得电容充放电时间变长, 反相器输出从电平 H 跳变到电平 M 的延迟时间从  $0.06 \mu\text{s}$  增大到  $0.18 \mu\text{s}$ , 从电平 L 跳变到电平 M 的时间从  $0.04 \mu\text{s}$  增大到  $0.15 \mu\text{s}$ , 致使反相器速度变慢. 中间态电流的变化还会影响到电路功耗, 图 13(b) 给出了反相器输出在不同电平之间跳变时, 从电源到地的电流变化, 可以看到, 当反相器输出 H 和 L 电平时, 电源电流相对较小, 而当反相器输出 M 电平时, 电源到地的电流较大, 这是因为反相器处于 H 和 L 电平时, n 型器件和 p 型器件只有一个器件导通, 不存在从电源到地的直流通路, 而当其处于 M 电平时, n 型和 p 型器件均处于中间半导通状态, 因此反相器静态功耗主要由 M 电平主导. 随着  $\text{WF}_I$  变小, 器件

中间态电流和关态电流同时变大, 导致反相器电流也逐渐增大, 而且器件关态电流随  $\text{WF}_I$  减小而增大的速度比中间态电流增大的速度要快, 当  $\text{WF}_I = 3.07 \text{ eV}$  时, 关态电流已接近中间态电流, 此时反相器输出 3 种状态时的电流大小相当, 共同决定了反相器的静态功耗, 如图 13(b) 中的黑线所示. 反相器在一个周期内的总功耗  $P_{\text{T}}$  可以描述为

$$P_{\text{T}} = \int_0^T V_{\text{DD}} I_{\text{VDD}}(t) dt = V_{\text{DD}} \int_0^T I_{\text{VDD}}(t) dt,$$

式中  $T$  为周期,  $I_{\text{VDD}}$  表示反相器从电源到地的电流大小,  $t$  表示时间为积分变量, 其中  $V_{\text{DD}}$  是常数, 第 2 项积分项相当于反相器电流与时间轴所围成的面积. 通过差分求和, 可以计算出  $\text{WF}_I$  分别为 3.57, 3.37, 3.07 eV 时, 一个周期内反相器功耗分别为 15.1, 32.1, 98 pJ, 可见, 反相器功耗随  $\text{WF}_I$  的减小和器件中间态电流的增大而增加.

可见, TMOSFET 中间态电流对反相器的稳定性、速度和功耗有很大影响, 随中间态电流增大, VTC 曲线中间电平 M 所对应电压曲线变得平坦,

图 13 不同  $WF_1$  时三值反相器的 (a) 瞬态特性和 (b) 电流曲线Fig. 13. (a) Transient response and (b) current curves of ternary inverter at different  $WF_1$ .

反相器稳定性和抗干扰能力增强, 速度也变快, 但这是以牺牲功耗为代价的, 实际反相器在设计时需要根据电路的应用场景在稳定性、速度和功耗之间进行折中考量。

最后, 还需要强调的是, 半导体器件在实际制备过程中一般会经历多次高温工艺, 掺杂原子横向扩散, 难以形成突变隧穿结, 再加上缺陷辅助隧穿等因素的影响, 使得 TFET 器件突破 60 mV/dec 亚阈值摆幅 (SS) 十分困难, 对器件制备工艺要求很高. 但本文所提出的 TMOSFET 结构中, TFET 主要工作在电流变化较为平缓的区间, 也就是 SS 较大的区域, 因此并不要求其有很小的 SS, 这很大程度上降低了对器件性能的要求和制备工艺的难度. 再者, TMOSFET 器件结构简单, 制备工艺能够兼容于 CMOS 工艺, 因此, 本文提出的 TMOSFET 无论从器件性能还是制备工艺方面都比传统的 TFET 更容易实现。

## 5 结论

本文将载流子隧穿机制和漂移扩散机制结合提出混合机制的 TMOSFET, 并对其工作原理进行了深入分析, TMOSFET 的传输曲线具有关态、开态以及处于开关状态之间的中间态, 共 3 种状态, 这一特性使其十分适合于三值逻辑设计. 此外, 本文还研究了基于 TMOSFET 的三值逻辑反相器的工作原理, 分析了反相器三态输出的条件, 发现当工作电压  $V_{DD}$  与器件转折电压  $V_{turn}$  满足  $V_{DD}/V_{turn} \approx 1.4$  时, 三值逻辑反相器输出的 3 种状态所对应输入电压范围相当. 此外, 还分析了器件特性对反相器稳定性、速度以及功耗的影响, 研

究成果对于后续三值逻辑电路设计具有一定的参考价值。

## 参考文献

- [1] Lu B, Wang D W, Chen Y L, Cui Y, Miao Y H, Dong L P 2021 *Acta Phys. Sin.* **70** 218501 (in Chinese) [芦宾, 王大为, 陈宇雷, 崔艳, 苗渊浩, 董林鹏 2021 物理学报 **70** 218501]
- [2] Roy K, Mukhopadhyay S, Mahmoodi-Meimand H 2003 *Proc. IEEE* **91** 305
- [3] Frank D J 2002 *IBM J. Res. Dev.* **46** 235
- [4] Srivastava A, Venkatapathy K 1996 *VLSI Design* **4** 75
- [5] Hurst 1984 *IEEE Trans. Comput.* **C-33** 1160
- [6] Jo S B, Kang J, Cho J H 2021 *Adv. Sci.* **8** 2004216
- [7] Zhu Y, Lu H, Zhang Y, Sun J, Lyu Z, Lu B 2022 *IEEE 16th International Conference on Solid-State & Integrated Circuit Technology Nanjing, China, October 25–28, 2022* p1
- [8] Tavanaei A, Ghodrati M, Kheradpisheh S R, Masquelier T, Maida A 2019 *Neural Networks* **111** 47
- [9] Ghosh-Dastidar S, Adeli H 2009 *Int. J. Neural Syst.* **19** 295
- [10] Esser S K, Merolla P A, Arthur J V, Cassidy A S, Appuswamy R, Andreopoulos A, Berg D J, McKinstry J L, Melano T, Barch D R, di Nolfo C, Datta P, Amir A, Taba B, Flickner M D, Modha D S 2016 *PNAS* **113** 11441
- [11] Kim H W, Kim S, Lee K, Lee J, Park B-G, Kwon D 2020 *IEEE Trans. Electron Devices* **67** 4541
- [12] Mouftah H T, Smith K C 1982 *IEE Proc.* **129** 270
- [13] Heung A, Mouftah H T 1985 *IEEE J. Solid-State Circuits* **20** 609
- [14] Gan K J, Lu J J, Yeh W K, Chen Y H, Chen Y W 2016 *Eng. Sci. Technol. Int. J.* **19** 888
- [15] Gan K J, Tsai C S, Chen Y W, Yeh W K 2010 *Solid-State Electron.* **54** 1637
- [16] Nourbakhsh A, Zubair A, Dresselhaus M S, Palacios T 2016 *Nano Lett.* **16** 1359
- [17] Shim J, Jo S H, Kim M, Song Y J, Kim J, Park J H 2017 *ACS Nano* **11** 6319
- [18] Huang M, Wang X, Zhao G, Coquet P, Tay B 2019 *Appl. Sci.* **9** 4212
- [19] Fei W, Trommer J, Lemme M C, Mikolajick T, Heinzig A 2022 *InfoMat* **4** e12355
- [20] Vanlalawpuia K, Bhowmick B 2019 *IEEE Trans. Electron Devices* **66** 4439
- [21] Talukdar J, Rawat G, Mummaneni K 2020 *Silicon* **12** 2273

# A novel TMOSFET ternary inverter based on hybrid conduction mechanism\*

Ma Xin<sup>1)</sup> Lu Bin<sup>1)†</sup> Dong Lin-Peng<sup>2)</sup> Miao Yuan-Hao<sup>3)</sup>

1) (*School of Physics and Information Engineering, Shanxi Normal University, Taiyuan 030031, China*)

2) (*Shaanxi Province Key Laboratory of Thin Films Technology and Optical Test, Xi'an Technological University, Xi'an 710032, China*)

3) (*Key Laboratory of Microelectronic Devices and Integrated Technology, Institute of Microelectronics,*

*Chinese Academy of Sciences, Beijing 100029, China*)

( Received 21 May 2023; revised manuscript received 27 June 2023 )

## Abstract

With the development of complementary metal-oxide semiconductor (CMOS) technology, the feature size of metal-oxide-semiconductor field-effect-transistor (MOSFET) is continuously shrunk, the short channel effect becomes more and more serious, which makes the static power consumption increase, and now the static power consumption becomes a main source of the power consumption of the integrated circuits. Currently, the performance of CMOS binary logic processor is approaching a bottleneck; therefore the ternary logic becomes a research hotspot to promote the development of high-performance low-power integrated circuits. Compared with binary logic, ternary logic possesses a strong data expression capability, which can not only improve the data density, but also reduce the circuit power consumption and the system complexity. However, using binary devices to build ternary logic circuits requires a large number of components, and even the passive components, which makes it impossible to leverage the advantages of ternary logic. The other method of implementing ternary logic is to utilize innovative two-dimensional materials. This method requires a small number of components and obviates the need for passive components, but it faces the problem that the fabrication process is not mature and cannot be mass-produced. To solve these problems, in this paper by combining the tunneling and the drift diffusion mechanism, we propose a tunneling metal-oxide-semiconductor field-effect transistor (TMOSFET) with three-state characteristics that make it highly suitable for ternary logic design. Compared with other ternary logic schemes, the ternary inverter based on TMOSFET has the same circuit structure as binary inverter, which can simplify the circuit design. In this paper, the operational mechanism of this ternary inverter is studied, and the condition of three-state output of inverter is analyzed. It is found that when the operating voltage  $V_{DD}$  and the device turning voltage  $V_{turn}$  satisfy  $V_{DD}/V_{turn} \approx 1.4$ , the input voltage ranges of the three output states are equivalent. In addition, the influence of TMOSFET transfer characteristic on this ternary inverter is also analyzed. This has certain reference significance for designing and studying ternary logic circuits in future.

**Keywords:** tunneling field effect transistor, metal-oxide-semiconductor field-effect-transistor, ternary inverter

**PACS:** 85.30.-z, 85.30.Tv, 84.30.Sk

**DOI:** [10.7498/aps.72.20230819](https://doi.org/10.7498/aps.72.20230819)

\* Project supported by the National Natural Science Foundation of China (Grant No. 62004119) and the Applied Basic Research Plan of Shanxi Province, China (Grant No. 201901D211400).

† Corresponding author. E-mail: [lubinsxnu@sina.cn](mailto:lubinsxnu@sina.cn)



## 基于混合导电机制的新型TMOFET三值逻辑反相器

马鑫 芦宾 董林鹏 苗渊浩

### A novel TMOFET ternary inverter based on hybrid conduction mechanism

Ma Xin Lu Bin Dong Lin-Peng Miao Yuan-Hao

引用信息 Citation: *Acta Physica Sinica*, 72, 188501 (2023) DOI: 10.7498/aps.72.20230819

在线阅读 View online: <https://doi.org/10.7498/aps.72.20230819>

当期内容 View table of contents: <http://wulixb.iphy.ac.cn>

---

## 您可能感兴趣的其他文章

### Articles you may be interested in

#### 短沟道金属-氧化物半导体场效应晶体管的散粒噪声模型

Shot noise model of the short channel metal-oxide-semiconductor field-effect transistor

物理学报. 2020, 69(17): 177102 <https://doi.org/10.7498/aps.69.20200497>

#### 纳米线环栅隧穿场效应晶体管的电容模型

Capacitance model for nanowire gate-all-around tunneling field-effect-transistors

物理学报. 2021, 70(21): 218501 <https://doi.org/10.7498/aps.70.20211128>

#### 绝缘体上硅金属氧化物半导体场效应晶体管中辐射导致的寄生效应研究

Radiation induced parasitic effect in silicon-on-insulator metal-oxide-semiconductor field-effect transistor

物理学报. 2018, 67(21): 216102 <https://doi.org/10.7498/aps.67.20181372>

#### 65 nm互补金属氧化物半导体场效应和晶体管总剂量效应及损伤机制

Radiation effect and degradation mechanism in 65 nm CMOS transistor

物理学报. 2018, 67(14): 146103 <https://doi.org/10.7498/aps.67.20172542>

#### 纳米尺度金属-氧化物半导体场效应晶体管沟道热噪声模型

A channel thermal noise model of nanoscaled metal-oxide-semiconductor field-effect transistor

物理学报. 2020, 69(5): 057101 <https://doi.org/10.7498/aps.69.20191512>

#### 脉冲 $\gamma$ 射线诱发N型金属氧化物场效应晶体管纵向寄生效应开启机制分析

TCAD simulation analysis of vertical parasitic effect induced by pulsed  $\gamma$ -ray in NMOS from 180 nm to 40 nm technology nodes

物理学报. 2022, 71(4): 046104 <https://doi.org/10.7498/aps.71.20211691>