

3D NAND 闪存中氟攻击问题引起的 字线漏电的改进*

方语萱¹⁾²⁾ 夏志良^{3)†} 杨涛¹⁾²⁾ 周文犀³⁾ 霍宗亮^{3)4)‡}

1) (中国科学院微电子研究所, 北京 100029)

2) (中国科学院大学, 北京 101408)

3) (长江存储科技有限责任公司, 武汉 430071)

4) (长江先进存储产业创新中心有限责任公司, 武汉 430014)

(2023 年 9 月 24 日收到; 2023 年 12 月 11 日收到修改稿)

随着 3D NAND 闪存向更高层数堆叠, 后栅工艺下, 金属钨 (W) 栅字线 (WL) 层填充工艺面临的挑战进一步增大. 由于填充路径增长, 钨栅在沉积过程中易产生空洞, 造成含氟 (F) 副产物的聚集, 引起氟攻击问题. 具体表现为, 在后续高温制程的激发下, 含氟副产物向周围结构扩散, 侵蚀其周边氧化物层, 导致字线漏电, 影响器件的良率及可靠性. 本文首先分析了在 3D NAND 闪存中氟攻击的微观原理, 并提出了通过低压退火改善氟攻击问题的方法. 接下来对平面薄膜叠层与三维填充结构进行常压与低压下的退火实验, 并使用多种方法对残留氟元素的浓度与分布进行表征. 实验结果表明, 适当条件下的低压退火, 使得钨栅中的残余氟有效地被排出, 可以有效降低字线的漏电指数, 提高 3D NAND 闪存的质量.

关键词: 3D NAND 闪存, 氟攻击问题, 字线漏电, 低压退火

PACS: 85.40.-e

DOI: 10.7498/aps.73.20231557

1 引言

3D NAND 闪存因其极高的存储密度和低比特成本而在许多应用中成为主流^[1]. 然而, 与平面 2D NAND 闪存相比, 其几何结构的变化相对复杂. 因此, 3D NAND 闪存不仅面临着尺寸缩小带来的挑战, 还面临沟道孔刻蚀、金属栅置换及填充等复杂的工艺问题^[2]. 目前, 为了满足先进 3D NAND 闪存工艺中高深宽比金属栅填充的需求, 原子层沉积 (atomic layer deposition, ALD) 以其相对于化学气相沉积 (chemical vapor deposition, CVD) 更好的台阶覆盖能力^[3], 成为栅极金属钨 (W) 沉积

的关键工艺技术^[4]. 然而钨沉积工艺中的六氟化钨 (WF_6) 气体会产生氟 (F) 残留, 引起器件性能和可靠性下降的问题^[5]. 目前, 改善氟攻击问题的方向主要分为 3 种: 1) 从源头上降低氟含量, 即在钨栅沉积过程中降低氟含量, 如 Bakke 等^[6] 通过利用无氟前驱体 (WCl_6) 来降低钨中的残余氟含量, Lee 等^[7] 使用金属有机物前驱体来避免在钨沉积过程中引入氟元素, 而 Kim 等^[8] 则利用脉冲 CVD-W 成核方式改进这一问题; 2) 将氟阻挡在钨栅中, 使氟不能扩散到氧化层中, 如 Subramaniyan 等^[9] 研究了氟阻挡层 (TiN) 的厚度对于阻止氟扩散能力的影响; 3) 钨栅沉积过程中或过程后将残留氟排出, 例如此前 Song^[10] 通过沟道孔布局来减少钨

* 国家科技重大专项 (批准号: 21-02) 资助的课题.

† 通信作者. E-mail: ALBERT_XIA@YMTC.COM

‡ 通信作者. E-mail: huzongliang@ime.ac.cn

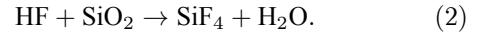
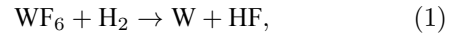
填充过程中产生的空隙,使得漏电问题被改善.目前关于钨栅氟残留问题的研究主要集中于前两个方向,尽管前述相关研究在减少氟残留方面取得了成效,但在当前 3D NAND 的应用中依然存在各种挑战:改变前驱体的方法会严重增加工艺成本,同时也会引入新的杂质,影响器件可靠性;而增大 TiN 的厚度将进一步提高 3D NAND 工艺中高深宽比刻蚀的复杂性,从而对后续工艺产生不利影响.因此,在钨栅沉积过程后通过退火的方法排出氟元素仍是目前最有效的改善氟残留的方法之一.然而这一部分的研究却较为有限,存在大量的优化空间.

本文首先说明了 3D NAND 中残余氟攻击金属栅周围氧化物的问题及其对字线 (word line, WL) 漏电的影响,并研究了钨栅沉积后的低压退火对 WL 漏电性能的改善作用.为全面研究该方法对于氟残留问题的影响,本文制备了平面 W/TiN/SiO₂ 薄膜叠层和 3D NAND 阵列结构,以分析平面薄膜叠层中氟的精确浓度和三维阵列结构中氟的分布以及其电学特性.此外,基于 3D NAND 阵列结构,本文还研究了三维结构中沟道孔位置分布对于氟攻击作用的影响.

2 氟攻击问题

钨栅极填充结构具有高深宽比,在沉积过程中会不可避免地导致钨栅极中形成图 1 中所示的空隙 (Seam)^[11].图 1 说明了钨栅极周围的二氧化硅 (SiO₂) 被空隙中残留的氟侵蚀的现象.在某些条件,如高温工艺下,残留在空隙中的氟会扩散进沟道孔 (channel hole, CH) 的氧化物阻挡层、相邻钨栅极之间的层间氧化物,以及钨栅极和阵列公共源 (array common source, ACS) 之间的间隔氧化物中,将其侵蚀,并在这些受损氧化物中产生空洞.因而,钨通过这些空洞扩散到被侵蚀的氧化物中,导致 WL 连接到 CH, WL 连接到 WL 以及 WL 连接到 ACS,造成这些位置上的漏电.钨的 CVD 或 ALD 过程可以使用含钨无机前驱体 WF₆ 与 H₂^[12], SiH₄^[13], Si₂H₆^[14], B₂H₆^[15] 等一系列还原剂进行.使用 WF₆ 和 H₂ 进行沉积的成核速度较慢,沉积时间较长,因此电阻率较低,是 3D NAND 工艺中主要采用的钨栅沉积方法.含氟副产物的产生及其侵蚀周围氧化物的过程中的具体化学反应机理可

以用以下两个化学反应方程式来解释:



钨栅极通过六氟化钨和氢的化学反应沉积^[12].(1) 式所述的六氟化钨与氢的反应可导致含氟的副产物产生 (主要含有 HF). 如反应 (2) 所示,它会攻击钨栅极周围的二氧化硅 (SiO₂), 导致 WL 漏电通道的形成.

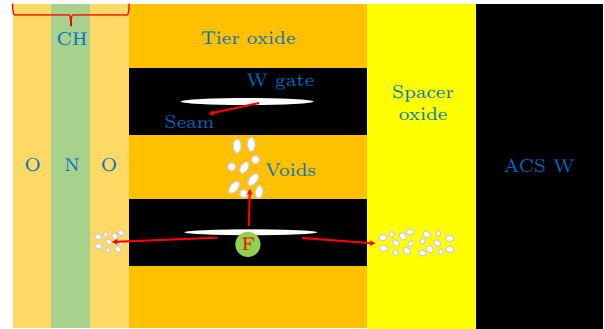


图 1 氟攻击问题示意图,说明 W 栅中剩余 F 对氧化层的腐蚀机理 (O-N-O 分别代表氧化物隧穿层、氮化物俘获层和氧化物阻挡层)

Fig. 1. Schematic diagram of fluorine attacks oxide, illustrating the corrosion mechanism of the oxide layer in the W gate (O-N-O represents the oxide tunneling layer, nitride capture layer and oxide barrier layer, respectively).

3 实验及结果

为了系统地研究氟攻击问题,本文制备了平面 W/TiN/SiO₂ 薄膜叠层和 3D NAND 阵列结构.平面 W/TiN/SiO₂ 薄膜叠层的制备流程如下:首先,在 12 in (1 in = 2.54 cm) 厚层 P 型硅晶片上通过热氧化生长 SiO₂;然后使用氯化钛前驱体和 N₂/H₂ 反应气体通过 ALD 沉积 TiN,用作后续钨栅极金属的黏附和阻挡层^[16,17];最后使用 WF₆ 前驱体和 N₂/H₂ 反应气体通过 ALD 沉积钨^[18].图 2(a) 所示的 3D NAND 结构则通过图 2(b) 所示的工艺流程制造.在制备平面 W/TiN/SiO₂ 薄膜叠层和 3D NAND 阵列结构之后,随即在 N₂ 环境中在温度 T ($T > 700$ °C) 下退火,退火时间为 M ($M > 10$ min).为了研究不同退火压力条件的影响,将它们分为两组样品,一组样品在大气压力 (atmospheric pressure, AP) 下以 P_1 ($P_1 > 700$ Torr, 1 Torr = 133.322 Pa) 退火,另一组在低压 (low pressure, LP) 下以 P_2 ($P_2 < 10$ Torr) 退火.利用

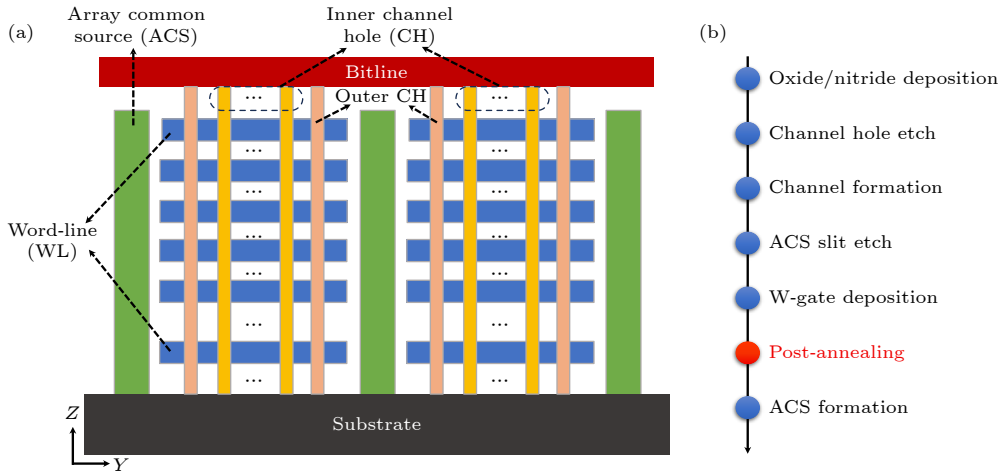


图 2 (a) Y-Z 方向的 3D NAND 阵列结构示意图; (b) 3D NAND 阵列的制造工艺流程 (外排孔靠近阵列公共源区, 内排孔远离阵列公共源区)

Fig. 2. (a) Schematic diagram of the 3D NAND array structure in the Y-Z direction; (b) the manufacturing process of 3D NAND array (the outer hole is close to the array common source area, and the inner hole is far away from the array common source area).

二次离子质谱分析 (secondary ion mass spectroscopy, SIMS) 对平面 W/TiN/SiO₂ 叠层中残留氟的精确浓度进行表征, 并且在 3D NAND 阵列结构上测试了氧化物阻挡层中氟元素的电子能量损失谱 (electron energy loss spectroscopy, EELS) 图和 WL 的平均漏电指数.

4 实验结果与讨论

为了分析与研究 W/TiN/SiO₂ 薄膜叠层样品中的残留氟含量受不同退火条件的影响, 在钨沉积后对平面膜叠层进行不同压力条件下的退火处理. 图 3(a) 展示了钨栅沉积后退火处理的示意图, 高温 (> 700 °C) 热处理会提高残余氟的活跃度, 使其沿着钨栅被排出. 图 3(b) 描述了在 AP 退火和 LP 退火后平面膜叠层的钨中残余的氟的浓度, 两者均在 N₂ 环境中在 T °C 下退火 M 分钟. 实验结果表明, 经过 AP 条件退火处理的薄膜叠层中的氟浓度要高于经过 LP 条件退火处理的. 这可以归因于, 较 AP 退火条件, 更低的退火压力可以使残余氟更容易扩散^[19].

为了进一步证明低压退火比常压退火能排出更多的残余氟, 并验证其在 3D NAND 工艺中应用的有效性, 在三维阵列结构上测试了氧化物阻挡层中氟元素的 EELS 图. 图 4 显示了在不同条件的退火处理后氟元素在氧化物阻挡层中的分布. 红色区域代表氟元素的分布, 它可以反映扩散到氧化物

阻挡层的残余氟的含量. 如图 4 所示, AP 退火条件下 (图 4(a)) 内排沟道孔氧化物阻挡层中氟含量最大, 而 LP 退火处理后的外排沟道孔阻挡氧化物中氟含量最小, 如图 4(d) 所示. 此外, LP 退火的内排 CH 的氧化物阻挡层和 AP 退火的外排 CH 的氧化物阻挡层含有的氟含量分别排在第 2 和第 3 的位置, 如图 4(b), (c) 所示. 因此, 通过比较

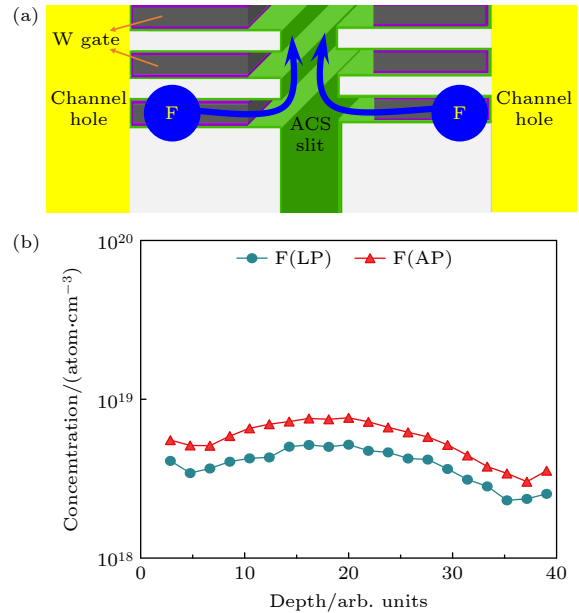


图 3 (a) W 沉积后退火示意图, 说明了高温热处理可以将剩余 F 排出; (b) 常压退火及低压退火后 W 层中的 F 元素二次离子质谱分析图

Fig. 3. (a) Schematic diagram of annealing after W deposition, illustrating the thermal processing can discharge the remaining F element; (b) SIMS of the F element in the W layer after AP and LP.

相同 CH 氧化物阻挡层在不同压力条件下进行退火处理后的氟含量的分布, 可以得出结论: LP 退火处理可以比 AP 退火处理更多地减少内排 CH 或外排 CH 氧化物阻挡层中氟元素的含量, 这也与图 3(b) 所示的结论相一致, 即残余氟在较低压力下更容易扩散^[20], 使得 LP 退火处理后, 3D NAND 阵列结构中的氧化物阻挡层中氟含量较少. 特别的是, 经过相同压力条件的退火处理, 与内排 CH 氧化物阻挡层中的氟分布相比, 外排 CH 氧化物阻挡层中的氟分布更少. 这可能是由于外排 CH 比内排 CH 更靠近残余氟的逸出通道, 使得外排 CH 的氧化物阻挡层中有更多的氟扩散出去.

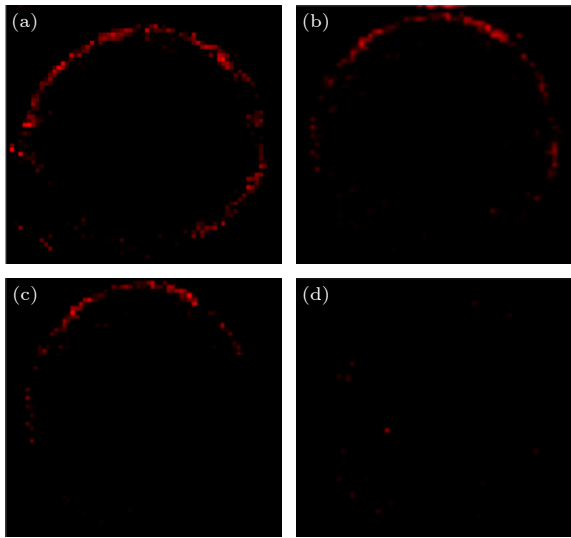


图 4 氧化物阻挡层中的 F 元素 EELS 映射图 (a) 常压退火, 内排孔; (b) 常压退火, 外排孔; (c) 低压退火, 内排孔; (d) 低压退火, 外排孔
Fig. 4. The EELS map of F element in the oxide barrier layer: (a) AP, inner hole; (b) LP, outer hole; (c) LP, inner hole; (d) AP, outer hole.

此外, 为了研究低压退火处理对 WL 漏电情况的改善作用, 在 3D NAND 阵列结构上测试了 WL 漏电特性. 图 5 显示了在相同位置的字线中, 经过不同压力条件退火处理的 WL 漏电指数. WL 漏电指数通过在两根 WL 间施加电压, 并测量和归一化所产生的漏电流来获得. WL 漏电指数可以相对反映 WL 漏电情况, 即 WL 漏电指数越高, WL 漏电现象越严重. LP 退火后的 WL 漏电指数约为 0.1, 而 AP 退火后的 WL 漏电指数高达 0.7. 通过比较常压退火和低压退火后测试的 WL 漏电指数, 可以发现 LP 退火后的 WL 漏电指数较低, 说明低压退火有效地改善了 WL 漏电情况. 如图 3 和图 4

所示, LP 退火使更多的残留氟逸出. 因此, WL 周围的氧化物受到的腐蚀作用更小. 这使得 WL 漏电减少, 极大程度地提高了可靠性.

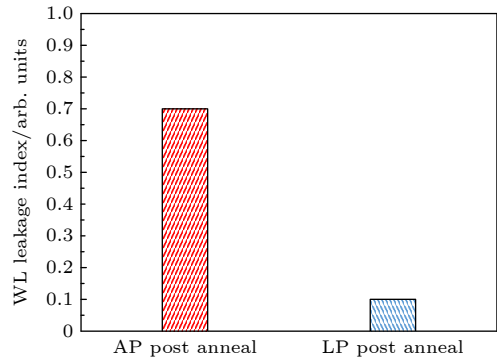


图 5 相同 WL 在常压和低压退火处理后的 WL 漏电指数
Fig. 5. The WL leakage index of the same WL at AP and LP annealing.

此外, 为避免对 3D NAND 阵列后续工艺步骤产生不利影响, 保证器件的良率及可靠性. 在平面 W/TiN/SiO₂ 薄膜叠层和 3D NAND 阵列结构

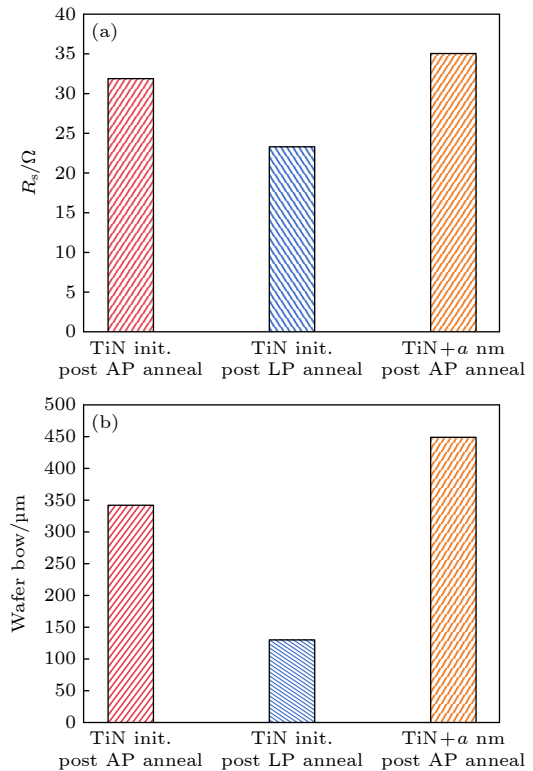


图 6 常规 TiN 厚度薄膜叠层样品在常压退火、低压退火处理后, 及 TiN 增厚薄膜叠层样品在常压退火处理后的 (a) 电阻值和 (b) 片弯曲度
Fig. 6. (a) The WL sheet resistance and (b) the wafer bow of the sample of initial TiN thickness after AP and LP annealing, and the sample of thickened TiN after AP annealing.

上分别测试了不同退火条件下钨字线的方块电阻值与片弯曲度 (wafer bow). 同时, 为了对比增厚 TiN 以阻挡氟攻击的传统改善方法, 制备一组 TiN 增厚 a ($a > 2$ nm) 的平面 W/TiN/SiO₂ 薄膜叠层和 3D NAND 阵列结构样品, 于大气压力 N₂ 环境在温度 T ($T > 700$ °C) 下退火, 退火时间为 M ($M > 10$ min), 并进行相同测试. 图 6(a) 分别显示了常压退火、低压退火处理后的常规 TiN 厚度薄膜叠层样品, 及常压退火处理后的 TiN 增厚薄膜叠层样品的方块电阻值. 图 6(b) 分别显示了常压退火、低压退火处理后的常规 TiN 厚度 3D NAND 阵列结构样品, 及常压退火处理后的 TiN 增厚 3D NAND 阵列结构样品的片弯曲度. 可以看出, 相较于传统改善方法, 低压退火处理可以降低钨栅电阻、减小片弯曲程度, 这可以有效提高器件的可靠性, 并降低后续工艺的实现难度.

5 结 论

综上所述, 本文研究了 3D NAND 闪存中钨栅工艺产生的氟攻击问题及其优化方法. 钨栅空隙中残留的氟扩散并侵蚀金属栅周围的氧化物, 导致字线漏电. 钨沉积后通过高温 (>700 °C) 退火处理可以降低金属栅中氟的含量. 本文通过实验证明低压退火处理比常压退火更易使钨栅中的氟沿排出通道排出. 此外, 由于外排孔更靠近氟排出通道, 低压退火对外排孔的效果要优于内排孔. 低压退火可以显著地降低钨栅中的氟含量, 改善氟攻击氧化物的问题, 减少 WL 漏电情况. 采用低压退火处理很好地提升了 3D NAND 闪存的质量.

参考文献

- [1] Compagnoni C M, Goda A, Spinelli A S, Feeley P, Lacaita A L, Visconti A 2017 *Proc. IEEE* **105** 1609
- [2] Kim H, Ahn S J, Shin Y G, Lee K, Jung E 2017 *IEEE*

- International Memory Workshop (IMW) Monterey, California, May 14–17, 2017 p1*
- [3] Vasilyev V, Chung S H, Song Y W 2007 *Solid State Technol.* **50** 53
- [4] Xu Q, Luo J, Wang G, Yang T, Li J, Ye T, Chen D, Zhao C 2015 *Microelectron. Eng.* **137** 43
- [5] Moon J, Lee T Y, Ahn H J, Lee T I, Hwang W S, Cho B J 2018 *IEEE Trans. Electron Dev.* **66** 378
- [6] Bakke J, Lei Y, Xu Y, Daito K, Fu X, Jian G, Wu K, Hung R, Jakkaraaju R, Breil N 2016 *IEEE International Interconnect Technology Conference/Advanced Metallization Conference (IITC/AMC) San Jose, California, USA, May 23–26, 2016 p108*
- [7] Lee J H, Hidayat R, Ramesh R, Roh H, Nandi D K, Lee W J, Kim S H 2022 *Appl. Surf. Sci.* **578** 152062
- [8] Kim C H, Rho I C, Kim S H, Han I K, Kang H S, Ryu S W, Kim H J 2009 *J. Electrochem. Soc.* **156** H685
- [9] Subramaniyan A, Luppi D F, Makela N, Bauer L, Madan A, Murphy R, Baumann F, Kohli K, Parks C 2016 *27th Annual SEMI Advanced Semiconductor Manufacturing Conference (ASMC) Saratoga Springs, New York, USA, May 16–19, 2016 p313*
- [10] Song Y J, Xia Z L, Hua W Y, Liu F, Huo Z L 2018 *IEEE International Conference on Integrated Circuits, Technologies and Applications (ICTA) Beijing, China, November 21–23, 2018 p120*
- [11] Mistry K, Allen C, Auth C, Beattie B, Bergstrom D, Bost M, Brazier M, Buehler M, Cappellani A, Chau R 2007 *IEEE International Electron Devices Meeting Washington, DC, December 10–12, 2007 p247*
- [12] Leusink G, Oosterlaken T, Janssen G, Redelaar S 1993 *Thin Solid Films* **228** 125
- [13] Kodas T T, Hampden S M J 2008 *The Chemistry of Metal CVD* (John Wiley & Sons) p112
- [14] Klaus J, Ferro S, George S 2000 *Thin Solid Films* **360** 145
- [15] Hidayat R, Chowdhury T, Kim Y, Kim S, Mayangsari T R, Kim S H, Lee W J 2021 *Appl. Surf. Sci.* **538** 148156
- [16] Park H, Lee S, Kim H J, Woo D, Lee J M, Yoon E, Lee G D 2018 *RSC Adv.* **8** 39039
- [17] Schulze S, Wolansky D, Katzer J, Schubert M, Costina I, Mai A 2018 *IEEE Trans. Semicond. Manuf.* **31** 528
- [18] Kalanyan B, Lemaire P C, Atanasov S E, Ritz M J, Parsons G N 2016 *Chem. Mater.* **28** 117
- [19] Lee J H, Kim H W, Park I H, Cho S, Lee G S, Kim D H, Yun J G, Kim Y, Lee J D, Park B G 2006 *IEEE Nanotechnology Materials and Devices Conference New York, USA, October 22–25, 2006 p638*
- [20] Yang Y, Zhu H, Meng X, Jin L, Wang C, Wang S, Feng S, Guo C, Zhang Y 2018 *14th IEEE International Conference on Solid-State and Integrated Circuit Technology (ICSICT) Qingdao, China, October 31–November 3, 2018 p1*

Improvement of fluorine attack induced word-line leakage in 3D NAND flash memory^{*}

Fang Yu-Xuan¹⁾²⁾ Xia Zhi-Liang^{3)†} Yang Tao¹⁾²⁾
 Zhou Wen-Xi³⁾ Huo Zong-Liang^{3)4)‡}

1) (*Institute of Microelectronics, Chinese Academy of Sciences, Beijing 100029, China*)

2) (*University of Chinese Academy of Sciences, Beijing 101408, China*)

3) (*Yangtze Memory Technologies Co., Ltd., Wuhan 430071, China*)

4) (*Yangtze Advanced Memory Industry Innovation Center Co., Ltd., Wuhan 430014, China*)

(Received 24 September 2023; revised manuscript received 11 December 2023)

Abstract

In this work, the influence of fluorine (F) erosion on tungsten (W) gate process is studied, and the measure to mitigate the word line (WL) leakage resulting from F erosion in 3D NAND flash memory is proposed. As the number of layers in 3D NAND increases, the tungsten (W) gate word line (WL) layer fill process becomes more challenging in the post-gate process. As the fill path length increases, the tungsten gates become more susceptible to voiding during deposition, resulting in the accumulation of fluorine (F) by-products, and causing fluorine attack issues. In particular, under the influence of subsequent high-temperature processes, the by-products containing fluorine can diffuse into the surrounding structure and corrode the surrounding oxide layer. This leads to WL leakage, thereby affecting device yield and reliability. This paper begins by analyzing the microscopic principles of fluorine erosion in 3D NAND. We also propose a low-pressure annealing method to address the issue of fluorine erosion. Then, we conduct the experiments on annealing planar thin film stacks and 3D filled structures under atmospheric condition and low-pressure condition. We use various methods to characterize the concentration and distribution of residual fluorine elements. The experimental results demonstrate that under appropriate conditions, the residual fluorine in the tungsten gate can be effectively released by low-pressure annealing, thus reducing the leakage index of the word line. Additionally, as the outer CH is closer to the fluorine discharge channel, the influence of low-pressure annealing on the outer CH is more pronounced than on the inner CH. The low-pressure annealing can significantly reduce the fluorine content in the tungsten gate. This method can also mitigate the issue of fluorine attack oxides and reduce the WL leakage. Using low-pressure annealing treatment can also enhance the quality of 3D NAND flash technology.

Keywords: 3D NAND flash memory, fluorine attacking, word-line leakage, low pressure annealing

PACS: 85.40.-e

DOI: 10.7498/aps.73.20231557

^{*} Project supported by the National Science and Technology Major Project of China (Grant No. 21-02).

[†] Corresponding author. E-mail: ALBERT_XIA@YMTC.COM

[‡] Corresponding author. E-mail: huozongliang@ime.ac.cn



3D NAND闪存中氟攻击问题引起的字线漏电的改进

方语萱 夏志良 杨涛 周文犀 霍宗亮

Improvement of fluorine attack induced word-line leakage in 3D NAND flash memory

Fang Yu-Xuan Xia Zhi-Liang Yang Tao Zhou Wen-Xi Huo Zong-Liang

引用信息 Citation: *Acta Physica Sinica*, 73, 068502 (2024) DOI: 10.7498/aps.73.20231557

在线阅读 View online: <https://doi.org/10.7498/aps.73.20231557>

当期内容 View table of contents: <http://wulixb.iphy.ac.cn>

您可能感兴趣的其他文章

Articles you may be interested in

基于3D-NAND的神经形态计算

3D-NAND flash memory based neuromorphic computing

物理学报. 2022, 71(21): 210702 <https://doi.org/10.7498/aps.71.20220974>

基于网络分析仪的3D Transmon相干测量方法

Three-dimensional transmon coherence measurement method based on network analyser

物理学报. 2020, 69(13): 130302 <https://doi.org/10.7498/aps.69.20200252>

一种基于3D打印技术的结构型宽频吸波超材料

Structural broadband absorbing metamaterial based on three-dimensional printing technology

物理学报. 2018, 67(8): 084202 <https://doi.org/10.7498/aps.67.20172262>

氧空位缺陷对PbTiO₃铁电薄膜漏电流的调控

Effect of oxygen vacancy defect on leakage current of PbTiO₃ ferroelectric thin film

物理学报. 2018, 67(18): 187701 <https://doi.org/10.7498/aps.67.20181130>

激光3D纳米打印温度敏感的微球激光器

Femtosecond laser 3D printing temperature sensitive microsphere lasers

物理学报. 2019, 68(19): 194204 <https://doi.org/10.7498/aps.68.20190298>

55 nm硅-氧化硅-氮化硅-氧化硅-硅闪存单元的 γ 射线和X射线电离总剂量效应研究

Total ionizing dose effects of γ and X-rays on 55 nm silicon-oxide-nitride-oxide-silicon single flash memory cell

物理学报. 2019, 68(3): 038501 <https://doi.org/10.7498/aps.68.20181661>