

基于 55 nm DICE 结构的单粒子翻转效应模拟研究*

张幸 刘玉林 李刚 燕少安 肖永光 唐明华†

(湘潭大学材料科学与工程学院, 湘潭 411105)

(2023 年 9 月 25 日收到; 2023 年 12 月 27 日收到修改稿)

单粒子翻转 (single event upset, SEU) 是器件在辐照空间中应用的关键难题, 本文以 55 nm 加固锁存单元为研究载体, 通过三维数值模拟方法, 获得了重离子不同入射条件下的线性能量转移 (linear energy transfer, LET) 阈值和电压脉冲变化曲线, 研究了双互锁存储单元 (dual interlockded storage cell, DICE) 的抗辐照性能和其在不同入射条件下的 SEU 效应. 研究表明, 低 LET 值的粒子以小倾斜角入射器件时, 降低了器件间的总电荷收集量, 使得主器件节点的电压峰值和电压脉宽最小, 器件 SEU 敏感性最低; 由于空穴与电子迁移率的差异, 导致 DICE 锁存器中 N_{hit} 的入射角敏感性远大于 $Phit$; 合理调节晶体管间距可以削弱电荷共享效应, 使得从器件总电荷收集量减小, 仿真计算得到此工艺下晶体管间距不能小于 1.2 μm . 相关仿真结果可为 DICE 锁存单元单粒子效应的物理机制研究和加固技术提供理论依据和数据支持, 有助于加快存储器件在宇航领域的应用步伐.

关键词: 双互锁存储单元, 数值模拟, 单粒子翻转效应, 电荷共享效应

PACS: 61.80.-x, 66.30.J-, 85.30.De, 87.64.Aa

DOI: 10.7498/aps.73.20231564

1 引言

空间辐射粒子 (等离子体、太阳粒子等)^[1] 会削弱导致航天航空领域的电子设备性能降低, 甚至完全失效. 研究表明, 在纳米级工艺下, 单粒子翻转效应是影响宇航级集成电路抗辐照性能的关键因素. 单粒子翻转 (single event upset, SEU) 是指由于带电粒子与靶材料发生碰撞电离出电子-空穴对^[2-4], 造成载流子浓度梯度和电场分布紊乱, 并导致数据节点状态发生翻转的现象^[5]. 目前芯片研制过程通常分为“市场调研-设计-验证-制造-试验-应用”6 个过程, 存在研制周期长且试验成本高昂的问题, 因此需要尽早暴露风险降低试错成本, 可通过三维数值模拟仿真获取电路性能参数, 推进电路加固设计工作的顺利进行.

在辐照空间系统极高的性能要求背景下, 电子零部件的特征尺寸、面积和辐照耐受性是一对矛盾体^[6]. 随着辐照空间系统中电子零部件的面积和功耗逐年减小, 作为数字电路关键部件之一的锁存器, 其辐照耐受性引起了广泛关注^[7]. 为实现低单粒子翻转率^[8,9], 标准双互锁存储单元已应用于纳米级金属氧化物半导体技术中, 双互锁存储单元 (dual interlockded storage cell, DICE) 以最低的面积、功耗开销实现优异的抗辐射性能. 但在先进纳米级技术下, 晶体管的尺寸缩放降低了节点电容和电源电压, 导致 DICE 的 SEU 临界电荷并不高^[10], 相邻敏感节点间的电荷共享效应增大了出错的概率, 一旦入射粒子同时破坏多个敏感节点将引发严重故障. 因此, 表征纳米级 DICE 电路在不同情况下的辐射耐受性, 同时评估其加固策略的有效性至关重要. Maru 等^[11] 证明了与三模冗余触发器相比, DICE 在面积和速率方面具有很大优势, 提出

* 国家自然科学基金 (批准号: 92164108, U23A20322, 11835008)、湖南省自然科学基金 (批准号: 2023JJ50009, 2023JJ30599) 和辐射应用创新中心基金 (批准号: KFZC2020020901) 资助的课题.

† 通信作者. E-mail: tangminghua@xtu.edu.cn

应用 90 nm 及以下的特征尺寸技术, 轨道上的通量水平依赖于线性能量转移值和粒子入射角; Xu 等^[12] 基于 65 nm DICE 触发器中敏感节点对的特点, 以及不同间距 DICE 触发器的翻转情况, 表征了 DICE 单元的电荷共享效应, 并确定 DICE 触发器中电荷共享效应对触发器的影响范围为 1.6 μm ; Luo 等^[13] 研究了入射角对 SEU 和单粒子多位翻转 (multiple-cell upsets, MCU) 的影响, 证明 SRAM 中大倾角沿阱入射是 SEU 和 MCU 的最差取向, 粒子大倾斜角入射增大 SEU 反应截面, 大大降低 SEU 阈值; Hsiao 等^[14] 证明在 3 种经典锁存器设计中, 由于 DICE 在连接节点处产生较高的寄生电容, 导致 DICE 单元易受到单粒子双节点扰乱 (single event double upset, SEDU) 的影响, 同时提出 SEDU 不仅取决于设计的物理布局和粒子撞击角度, 还取决于工艺节点的缩小.

综上所述, 由于空间辐射效应的影响, 空间电子元器件较少采用先进工艺节点, 多采用中端工艺制程水平. 当前已有相关人员展开了 DICE 加固后 SRAM 或触发器器件的重离子辐照研究, 包括 65, 90, 130 nm 等特征尺寸. 较小工艺节点下晶体管的延时更低、功耗更小、速度更快, 且集成度更高, 其中 55 nm 在辐射环境电子元器件中应用极其广泛, 具有庞大的消费市场. 但国内外学者针对 55 nm 的 DICE 加固锁存器相关研究还未公开报道, 当前该工艺节点下粒子入射条件和器件结构与抗辐照性能的关系无可靠性结论. 因此本文基于 TCAD 仿真工具, 针对 55 nm 晶体管单元开展了 DICE 结构的器件/电路混合仿真, 验证了 DICE 单元的抗 SEU 性能, 同时通过改变重离子源的线性能量转移 (linear energy transfer, LET) 值、入射角度和金属氧化物半导体 (metal oxide semiconductor, MOS) 管间距, 仿真得到不同入射条件下的 LET 阈值, 对比了 n 型 MOS (NMOS) 与 p 型 MOS (PMOS) 晶体管抗 SEU 性能, 分析了不同条件对 DICE 单元 SEU 效应的影响.

2 仿真建模

目前主要有飞行实验、重离子辐射装置实验和计算机仿真实验这 3 种辐照效应研究方法^[15], 空间飞行和重离子辐射装置实验所需经费高昂, 且无法捕捉半导体器件受辐照后的电荷收集过程, 以及

器件电压、电流等电学参数的变化. 因此, 随着计算机技术的迅猛发展, 半导体仿真工具 TCAD 实现的三维数值模拟仿真已成为模拟单粒子效应的有效手段. TCAD 不仅可以建立元器件的物理模型, 还支持引入 SPICE 模型与物理器件结合的混合仿真. 混合仿真是指将 Hspice 电路结构导入 TCAD, 其中关键器件使用三维器件模型代替, 非关键器件采用电路模型的仿真方法. 相较纯电路仿真而言, 混合仿真结果与重离子实验所得结果吻合度更高.

本文基于 55 nm 工艺的锁存单元电路, 建立宽度为 150 nm 的 NMOS 和 PMOS 晶体管模型, 晶体管名称分别为 nfet 和 pfet. 在混合仿真过程中, 模型校准是器件仿真中非常关键的一步, 可通过电学特性校准提高仿真结果的准确性和可参考性. 在模型校准过程中, 需将 NMOS 和 PMOS 晶体管分别进行电学特性 (I_d - V_d 转移曲线和 I_d - V_g 输出曲线) 仿真, 并与 SPICE 模型晶体管的电学特性曲线进行对比, 经过不断地调整沟道掺杂和栅掺杂浓度等参数, 得到与 SPICE 模型电学特性较吻合的曲线即完成建模. 这里, I_d 为漏极电流, V_d 为漏极电压, V_g 为栅极电压. 表 1 列出了以 55 nm SPICE 模型为准, 校准后的 NMOS 和 PMOS 晶体管工艺参数. 图 1 为 nfet 和 pfet 晶体管的电学特性仿真结果. 可以看出, 器件电学特性曲线的仿真结果和 SPICE 模拟数据有良好的拟合关系, 说明建立的晶体管模型可用于后续的单粒子效应仿真.

表 1 55 nm MOS 晶体管工艺参数
Table 1. 55 nm MOS transistor process parameters.

名称	NMOS (nfet)	PMOS (pfet)
栅长/nm	60	60
栅极氧化物厚度/m	2.6×10^{-9}	2.8×10^{-9}
源极/漏极结深/m	1.0×10^{-7}	1.0×10^{-8}
多晶硅栅极掺杂浓度/ cm^{-3}	1.0×10^{21}	2.6×10^{20}
沟道掺杂浓度/ cm^{-3}	3.2×10^{17}	2.0×10^{18}
源极/漏极掺杂浓度/ cm^{-3}	1.0×10^{20}	1.0×10^{20}

3 结果与讨论

3.1 非加固锁存单元与 DICE 加固锁存单元的 SEU 研究

DICE 结构与传统锁存单元相比, 增加两个冗余节点用于备份存储数据, 分别称为 DA, DB,

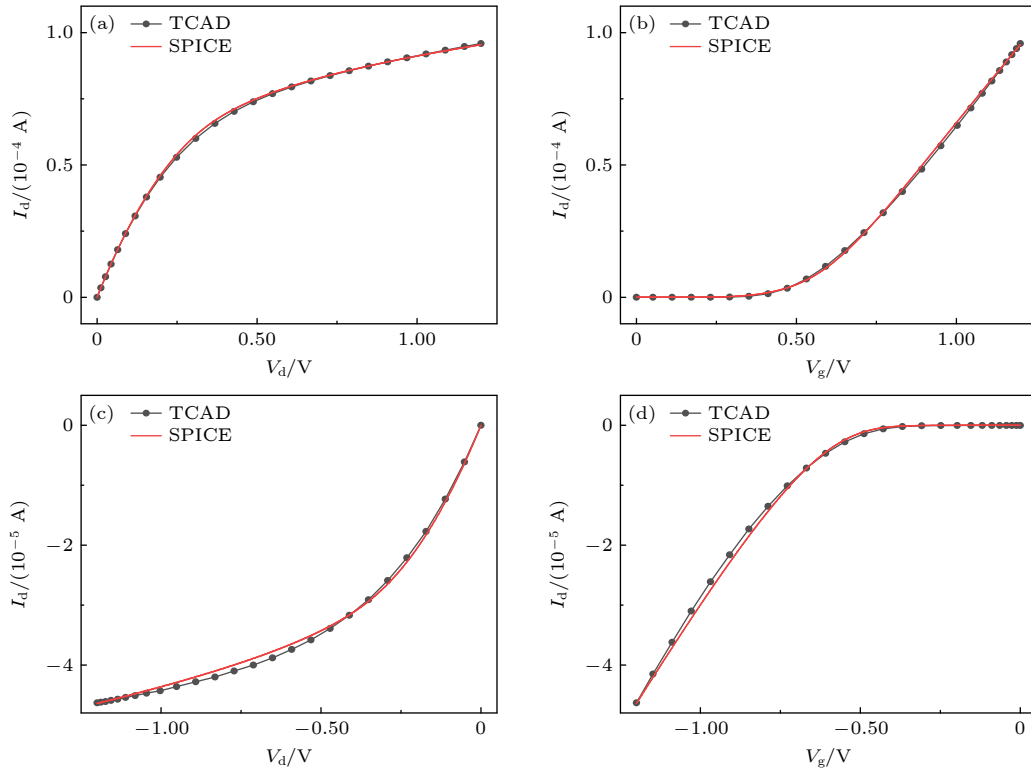


图1 MOS管电流-电压特性校准结果 (a) nfet 器件 I_d - V_d 校准曲线; (b) nfet 器件 I_d - V_g 校准曲线; (c) pfet 器件 I_d - V_d 校准曲线; (d) pfet 器件 I_d - V_g 校准曲线

Fig. 1. Current-voltage characteristics calibration results of MOS tube: (a) The I_d - V_d calibration curve of nfet device; (b) the I_d - V_g calibration curve of nfet device; (c) the I_d - V_d calibration curve of pfet device; (d) the I_d - V_g calibration curve of pfet device.

DC 与 DD, DA, DC 节点和 DB, DD 节点组成两对互补的数据状态, 使得存储数据被冗余保存. 其原理是当粒子入射造成一个节点 (DA) 产生单粒子瞬态脉冲时, 与该节点存储相同数据的节点 (DC), 可通过其他节点 (DB, DD) 恢复 (DA) 逻辑状态, 使得锁存单元的数据状态实现翻转再恢复 [16].

为开展 DICE 抗 SEU 性能的研究, 以单管模型 nfet 和 pfet 晶体管为基础, 建立符合电路基本结构的反相器模型 INV, 搭建电路如图 2 和图 3 所示. 其中标准锁存单元电路中 MP2 和 MN1 晶体管和 DICE 加固仿真中 DP4 和 DN3 晶体管均由 INV 模型代替, 其他 MOS 管为电路模型. 仿真设定重离子辐照温度为 25 °C、工作电压为 1.2 V, LET 值为 $37 \text{ MeV}\cdot\text{cm}^2/\text{mg}$ 的入射粒子于 2 ns 时刻, 沿 z 轴正方向垂直入射在截止态 MOS 管漏极中心, 入射深度为 $10 \mu\text{m}$, 径迹半径为 $0.05 \mu\text{m}$.

标准锁存单元电路由 3 个 NMOS (MN1, MN2, MN3) 和 3 个 PMOS (MP1, MP2, MP3) 互连而成, 当 D1 节点为高电平时, MN1 为截止状态, MP2 为导通状态, 重离子轰击敏感节点 MN1 漏极, 有大量的电子向漏极漂移扩散, D1 节点收集足够多

的电子后输出一个从“1”到“0”的脉冲, 仿真结果如图 4 所示; 反之, 当 D1 节点为低电平时, MP2 晶体管为截止状态, MN1 晶体管为导通状态, 此时用重离子轰击敏感节点 MP2 漏极, 有大量的空穴向漏极漂移扩散, 累积到一定程度 D1 节点输出一个从“0”到“1”的脉冲. 仿真结果表明在 LET 值为 $37 \text{ MeV}\cdot\text{cm}^2/\text{mg}$ 的条件下, 无论粒子轰击的是 NMOS (Nhit, NMOS hit) 还是 PMOS (Phit, PMOS hit), 电路均发生 SEU 且 LET 阈值都极低, 其中, MN1 的 LET 阈值仅为 $0.6 \text{ MeV}\cdot\text{cm}^2/\text{mg}$, MP2 的 LET 阈值仅为 $0.5 \text{ MeV}\cdot\text{cm}^2/\text{mg}$.

在 DICE 电路仿真中, 引入相同的辐照条件, 入射粒子轰击关态晶体管 DN3, 得到 DA, DB, DC, DD 节点电压的变化, 仿真结果如图 5 所示. 结果表明, 在 LET 值为 $37 \text{ MeV}\cdot\text{cm}^2/\text{mg}$ 的条件下, 轰击截止状态晶体管, 各节点数据状态均在短时间内得到恢复, 且各晶体管 LET 阈值均大于 $50 \text{ MeV}\cdot\text{cm}^2/\text{mg}$, 相比于标准锁存单元, DICE 结构使锁存单元抗 SEU 性能大大提升, 且体现出较强应用优势和性能优势.

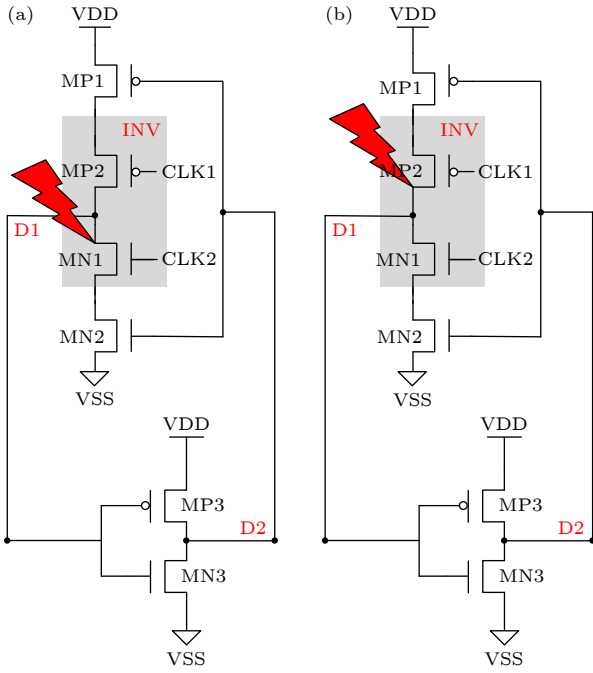


图 2 标准锁存单元电路原理图 (VDD, 电源电压; VSS, 接地端电压; CLK1/CLK2, 时钟信号) (a) 标准锁存单元电路中粒子轰击 MN1 漏极; (b) 标准锁存单元电路中粒子轰击 MP2 漏极

Fig. 2. Circuit diagram of standard latch cell: (a) Particle bombards the drain of MN1 in the standard latch cell circuit; (b) particle bombards the drain of MP2 in the standard latch cell circuit. VDD, power voltage; VSS, ground terminal voltage; CLK1/CLK2, clock signal.

3.2 DICE 加固锁存单元的 SEU 效应研究

为进一步探究 DICE 在纳米级工艺下的抗 SEU 性能, 以临近排布的两个 MOS 器件为仿真对象, 判断敏感节点的电压脉冲和 LET 阈值, 对比 PMOS 和 NMOS 的抗 SEU 性能, 同时研究双阱工艺下 DICE 抗 SEU 性能与入射因素之间的关系. 其中主器件为入射粒子直接轰击的器件, 从器件为被动收集电荷的器件, 相互临近的两个电极为漏极. 图 6 为 DICE 电路原理图, 在 SEU 仿真中, DP4, DP6, DN3, DN5 晶体管均由 TCAD 模型 INV 替代, 其中 DN3 和 DN5 共 P 阱、DP4、DP6 共 N 阱, 电路中其他 MOS 管均采用电路模型.

采用三维数值模拟方法使粒子入射反偏 NMOS 或 PMOS 漏极, 获取不同条件下 MOS 管的 LET 阈值, 分析不同 LET 值、入射角度和 MOS 管间距对 SEU 敏感性的影响, 仿真结果如表 2 和表 3 所列. 其一, 随着晶体管间距的降低或入射角度的增大, LET 阈值呈现明显下降趋势, 可见引发 SEU 不仅与入射粒子 LET 值有关, 也与入射角度以及 MOS 管间距有关, 在小入射角度、大 MOS 管间距的条件下, 器件的抗 SEU 性能达到最佳. 原因在于 MOS 管间距的减小, 造成收集

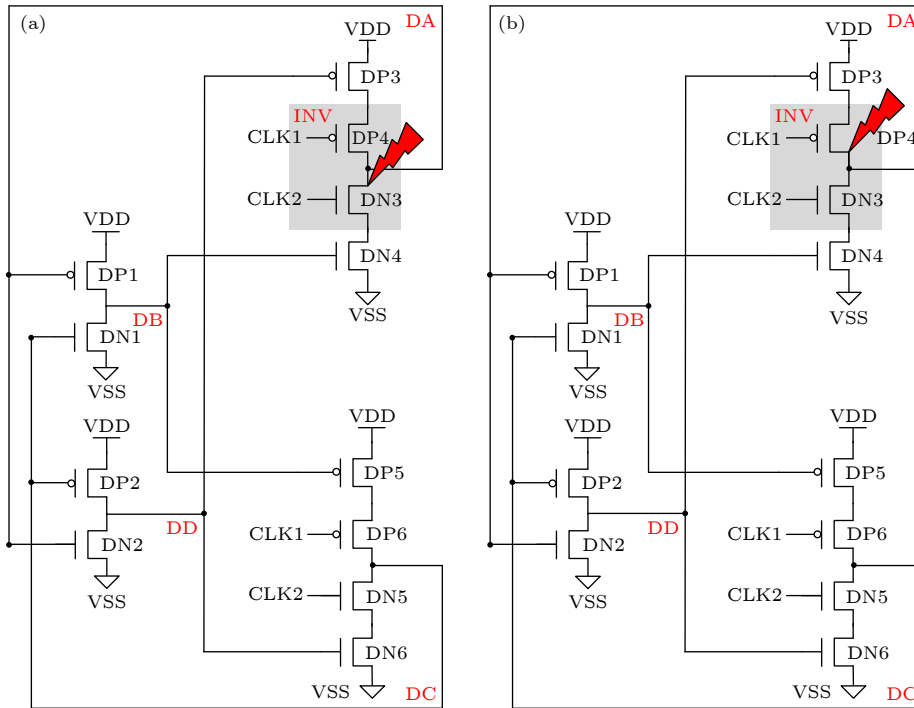


图 3 DICE 结构电路原理图 (a) 粒子轰击 DICE 电路中 DN3 漏极; (b) 粒子轰击 DICE 电路中 DP4 漏极

Fig. 3. Circuit diagrams of DICE structure: (a) Particle bombards the drain of DN3 in DICE circuit; (b) particle bombards the drain of DP4 in DICE circuit.

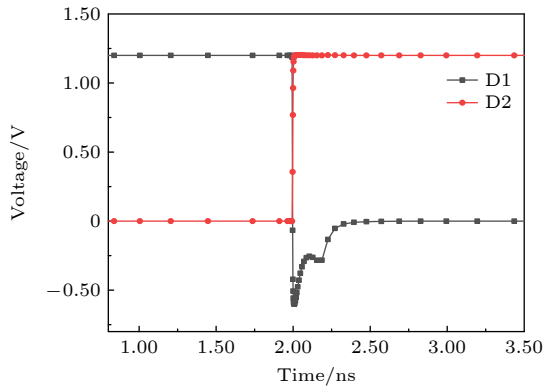


图 4 粒子轰击标准锁存单元中 MN1 漏极 D1, D2 节点电压变化

Fig. 4. Transient voltage change of D1 and D2 nodes when particle bombards the drain of MN1 in the standard latch cell circuit.

电荷的位移变小, 使得敏感节点对同时收集电荷的概率增大, MOS 管间电荷共享效应增强; 粒子入射角度的增加, 使得粒子在电子元器件内部的电离路径延长, 以及穿过器件的体积增大, MOS 管间电荷共享效应加剧, 最终导致在敏感区域中电离出的电子-空穴对增多. 其二, 在小角度 ($\leq 30^\circ$) 入射条件下, Nhit 具有高于 Phit 的 LET 阈值, 表现出更低 SEU 敏感性. 但随着倾角增大, Nhit 的 LET

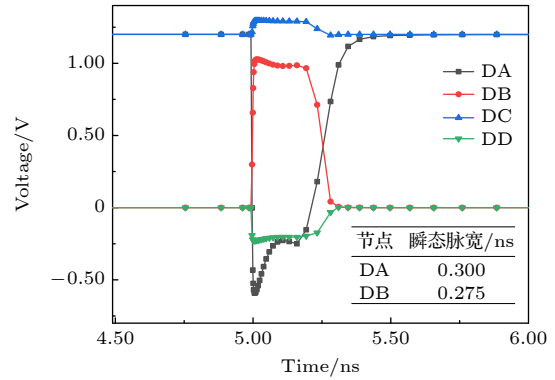


图 5 DICE 电路中粒子轰击 DN3 漏极各节点电压变化

Fig. 5. Voltage variation of each node when particle bombards the drain of DN3 in the DICE circuit.

阈值发生骤降, 甚至比 Phit 的 LET 阈值更低, 可见 Nhit 对入射角的敏感性远大于 Phit. 原因在于当倾角增大时, 重离子引起过剩载流子横向扩散, 使得主从器件同时发生 SEU. 且在室温下, 低掺杂硅材料中, 电子的迁移率是空穴迁移率的两倍有余, 使得 Nhit 从器件电子收集效率比 Phit 从器件空穴收集效率高, 因此 Nhit 的 LET 阈值下降更快. 最后, 晶体管间距的改变造成了收集电荷的位移差异, 大大影响收集电荷的难易程度, 对 DICE 锁存单元抗 SEU 性能带来重大影响.

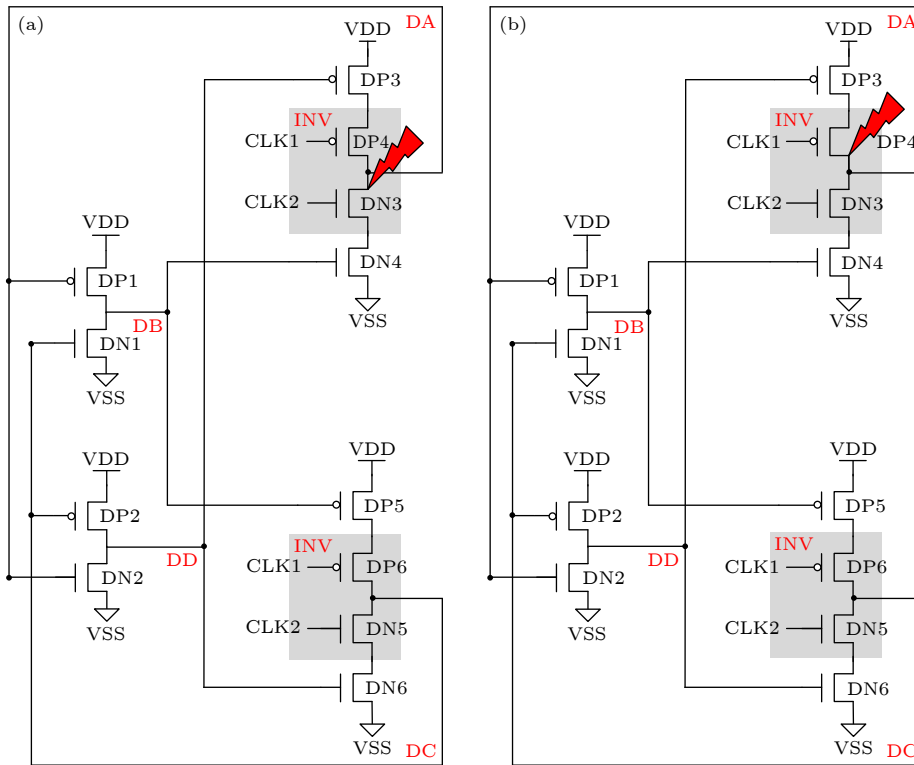


图 6 DICE 电路原理图 (a) 粒子轰击 DICE 电路中 DN3 漏极; (b) 粒子轰击 DICE 电路中 DP4 漏极

Fig. 6. Circuit diagrams of DICE: (a) Particle bombards the drain of DN3 in DICE circuit; (b) particle bombards the drain of DP4 in DICE circuit.

表 2 DICE 电路中 NMOS 的翻转阈值
Table 2. Toggle threshold of NMOS in DICE circuit.

	入射角度/(°)	NMOS管间距/ μm		
		0.4	0.8	1.2
	0	14	50+	50++
LET阈值/ ($\text{MeV}\cdot\text{cm}^2\cdot\text{mg}^{-1}$)	30	10	22	50+
	45	5	13	30
	60	4	6	10

表 3 DICE 电路中 PMOS 的翻转阈值
Table 3. Toggle threshold of PMOS in DICE circuit.

	入射角度/(°)	PMOS管间距/ μm		
		0.4	0.8	1.2
	0	10	23	50+
LET阈值/ ($\text{MeV}\cdot\text{cm}^2\cdot\text{mg}^{-1}$)	30	9	16	32
	45	8	12	19
	60	7	9	16

入射粒子 LET 值的高低是影响电子-空穴对产生率的重要因素^[17], 本文共选取 7 种 LET 值, 分别为 10.0, 15.0, 20.0, 30.0, 37.0, 40.0, 50.0 $\text{MeV}\cdot\text{cm}^2/\text{mg}$, 设置 MOS 管间距为 $0.8\ \mu\text{m}$, 粒子垂直轰击关态 DN3 或 DP4 漏极中心, 仿真得到 DA 节点的电压脉冲变化如图 7 所示. 从图 7(a) 可以看出, 在 5 ns 时刻粒子入射晶体管, 粒子轨迹上产生大量电子-空穴对, 经过漂移和扩散等运动, 电荷被漏极和衬底构成的反偏 PN 结快速收集^[18], 电荷量沉积到一定程度时 MOS 管漏极将产生一

个电压脉冲. 当粒子以 $30\ \text{MeV}\cdot\text{cm}^2/\text{mg}$ 的 LET 值轰击 DP4 漏极时, DA 节点电压从低电平变为高电平且无法恢复, 数据状态发生翻转; 而当粒子以 $50\ \text{MeV}\cdot\text{cm}^2/\text{mg}$ 的 LET 值轰击 DN3 漏极时, DA 节点产生小的电压脉冲后恢复为高电平, 可见 MOS 管间距为 $0.8\ \mu\text{m}$ 且粒子垂直入射时, P 管 LET 阈值小于 N 管, N 管具有更优抗 SEU 性能.

入射粒子 LET 越大, 晶体管的 SEU 敏感性越高. 原因是高 LET 入射, 导致粒子在器件中关态晶体管漏极区域沉积能量增多, 产生更多的过剩载流子, 使得电荷收集量也显著增加, 最终会增大 N 管和 P 管电压峰值, 同时延长单粒子瞬态 (single event transient, SET) 脉冲宽度. 若 MOS 电荷收集量大于 DICE 电路的临界电荷, 将引发锁存单元发生 SEU. 其次, 仿真中发现 PMOS 所需的翻转恢复时间比 NMOS 恢复时间长, DICE 单元在 Phit 情况下更易发生 SEU. 原因在于 Nhit 下的电荷共享机制主要依赖扩散效应收集电荷, 而 Phit 下的电荷共享机制主要依赖寄生双极放大效应收集电荷^[19]. 随着重离子 LET 的增大, 阱/衬底中的过剩载流子更多, 使得 MOS 管的寄生效应更为明显, 即双极放大效应更为严重, 使得 PMOS 漏极的空穴收集量更多, 造成 PMOS 所需的翻转恢复时间比 NMOS 恢复时间长. 以上结论与多个相邻工艺节点^[20]的研究成果保持一致.

图 8 给出了粒子倾角入射时模型示意图, 以主器件漏极中心为入射点, 选取 $0^\circ, 30^\circ, 45^\circ, 60^\circ$

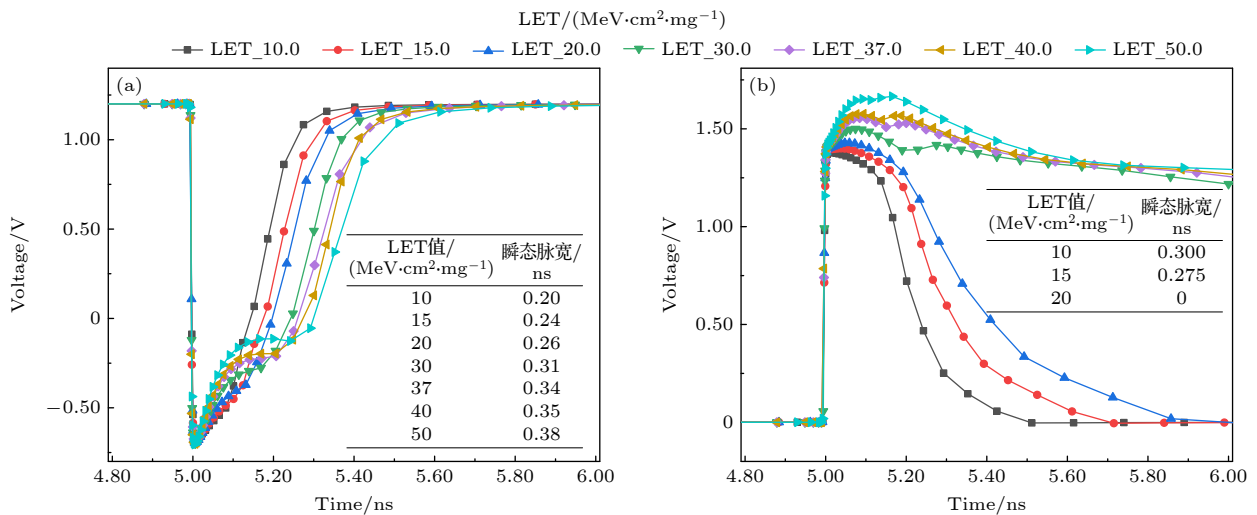


图 7 不同 LET 值入射时 DA 节点电位变化图 (a) 轰击 DN3 晶体管时 DA 节点的电位变化图; (b) 轰击 DP4 晶体管时 DA 节点的电位变化图

Fig. 7. Voltage variation diagram of DA node when particle incidents by different LET value: (a) Voltage variation diagram of DA node when bombarding DN3 transistor; (b) voltage variation diagram of DA node when bombarding DP4 transistor.

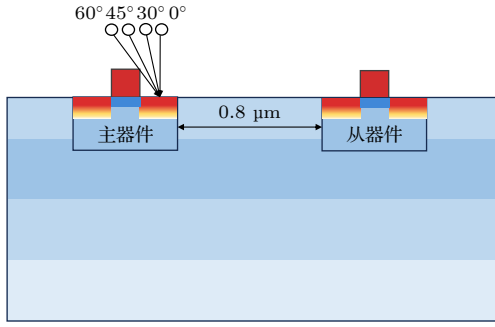


图 8 粒子不同方位角入射示意图

Fig. 8. Diagram of particle incidents from different angles.

四种方位角朝从器件方向入射 DICE 电路. 仿真中设置主、从晶体管间距为 0.8 μm, 粒子 LET 值取 15.0 MeV·cm²/mg. 图 9 给出了粒子不同角度入射时主、从器件电位变化图. 当 LET 值为 15.0 MeV·cm²/mg 的粒子入射反向偏置 NMOS 或 PMOS 漏极中心时, DICE 均在方位角为 45° 时引发了 SEU, 表明相对于垂直入射, 倾角入射导致 LET 阈值降低, 大大提高 SEU 发生概率. 一方面,

当入射方位角为 0° 时, 入射路径上产生的大量电荷仅位于主器件晶体管漏极之下, 仅引起主器件下方阱电势扰动, 对从器件的影响可忽略不计, 且从器件可通过反馈电路恢复主器件的逻辑状态; 另一方面, 随着入射方位角增大, 晶体管间电荷共享效应逐渐显化, 其中主器件电荷收集量不断减少, 电压脉宽和电压峰值也随之下落, 从器件则相反. 与此同时, 粒子入射径迹逐渐靠近从器件的漏极区域, 使从器件下方阱电势发生扰动, 尽管粒子在路径行迹过程中损失部分能量, 但用于电荷沉积的粒子轨道体积较大, 导致从器件漏极持续收集电荷, 最终 DICE 电路数据状态由可恢复向不可恢复发生转变. 从分析可知, 当粒子倾角入射时, 会引起阱电势的扰乱和电荷共享效应, 导致电路发生 SEU, 甚至 MCU, 可见倾角入射对 DICE 加固类器件的威胁极高, 在实际应用前须开展单粒子倾角入射试验, 从而保障其空间应用的高可靠.

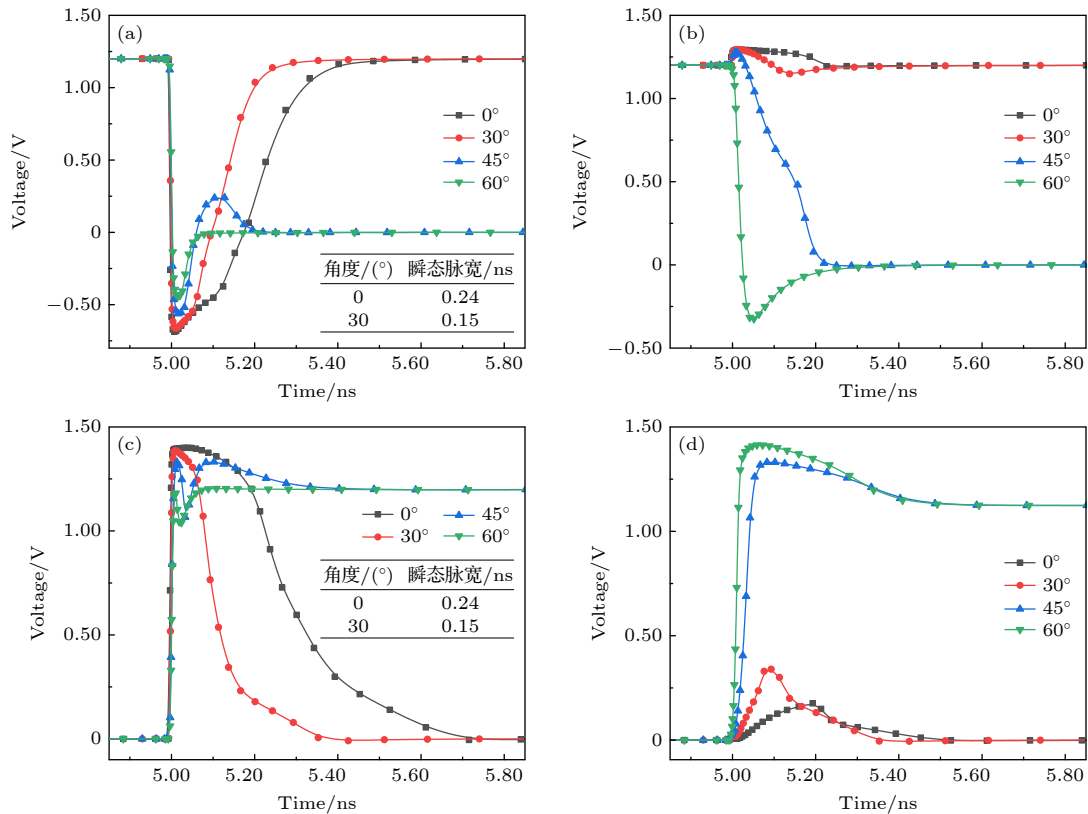


图 9 不同角度入射时主、从器件电位变化图 (a) 轰击 DN3 管漏极时主器件电位变化图; (b) 轰击 DN3 管漏极时从器件电位变化图; (c) 轰击 DP4 管漏极时主器件电位变化图; (d) 轰击 DP4 管漏极时从器件电位变化图

Fig. 9. Voltage variation diagrams of master and slave devices when particle incidents from different angles: (a) Voltage variation diagram of the master device when particle bombards the drain of DN3; (b) voltage variation diagram of the slave device when particle bombards the drain of the DN3; (c) voltage variation diagram of the master device when particle bombards the drain of the DP4; (d) voltage variation diagram of the slave device when particle bombards the drain of DP4.

最后, 研究粒子入射在锁存单元中产生的电压脉宽与 MOS 管间距之间的关系, 主从 NMOS 管间距为 $L_{DN3, DN5}$, PMOS 管间距为 $L_{DP4, DP6}$, 依次设为 0.1, 0.2, 0.3, 0.4, 0.5, 0.6 μm , NMOS 和 PMOS 间距固定为 0.15 μm , 模型示意图如图 10 所示. 在该次仿真中, 粒子以 $15 \text{ MeV}\cdot\text{cm}^2/\text{mg}$ 的 LET 值沿 z 轴正方向垂直入射 MOS 管漏极中心, 可得到主、从器件输出电位变化, 如图 11 所示.

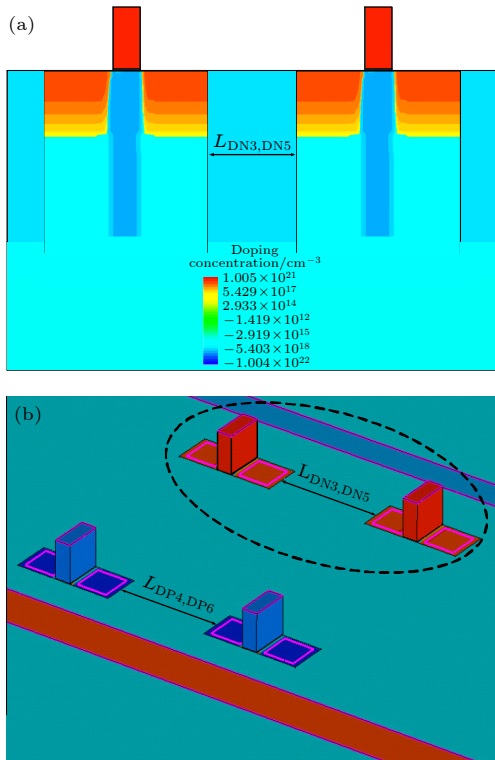


图 10 器件模型示意图 (a) 二维横截面图; (b) 二维俯视图
Fig. 10. Device model schematic: (a) 2D cross-sectional view; (b) 2D top view.

当入射粒子 LET 值、入射角度和位置固定时, 主器件漏极电荷收集量足以使其电位发生变化, 但单个节点电位短时间的改变并不会导致 DICE 单元发生翻转. 因此, DICE 单元是否发生 SEU 极大程度上取决于从器件的漏极电荷收集量. 当入射角度和位置固定时, 晶体管间距越小, 从器件离阱/衬底中的过剩载流子区域越近, 从器件 MOS 管漏极的电荷收集量将随管间距的减小而大幅度增加, 最终导致从器件瞬态电压的下降幅度急剧增加, 电压脉宽线性降低, 其中敏感节点电压峰值和电压脉宽取决于 MOS 管所收集的电荷量. 由入射粒子在体硅中的电荷分布特性可知, 从器件 MOS

收集的电荷量将随管间距的减小而大幅度增加, 从而 NMOS 的输出电压脉冲宽度随着 MOS 管间距减小而增大, PMOS 则相反, PMOS 的输出电压脉冲宽度随着 MOS 管关键距离减小而减小. 为降低电荷共享效应对主从器件的影响, 实现面积最小化、性能最大化, 应尽量拉大 MOS 管间距; 其中, NMOS 管间距应不小于 0.6 μm , PMOS 管间距应不小于 1.2 μm . 综上所述, 拉大晶体管间距是提高 DICE 电路加固效果的手段之一, 通过器件仿真研究 55 nm 工艺下 MOS 管距离与电荷共享效应之间的关系, 得到此工艺下晶体管间距不能小于 1.2 μm , 在该条件下粒子垂直入射不会同时影响到多个节点, 该仿真结果对于宇航级别器件的版图加固设计具有一定的参考价值.

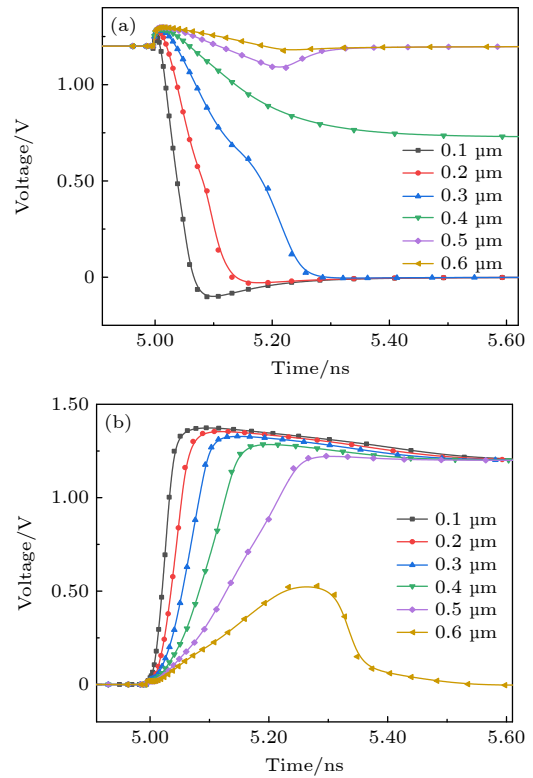


图 11 MOS 管漏极间距对电压脉冲的影响 (a) 轰击 DN3 管漏极时从器件电位变化图; (b) 轰击 DP4 管漏极时从器件电位变化图

Fig. 11. Influence of the distance between the drain of MOS tubes on the transient pulse: (a) Slave device voltage change diagram when bombarding the drain of the DN3 tube; (b) slave device voltage change diagram when bombarding the drain of the DP4 tube.

4 总结

为准确评估纳米尺寸下 DICE 加固器件抗

SEU 性能以及粒子入射对 DICE 电路的影响, 本文采用器件仿真工具 TCAD, 建立 55 nm 体硅工艺三维器件模型. 通过对比仿真实验和定性、定量分析, 验证了 DICE 电路的加固性能, 明确了 DICE 加固方法在提高 LET 阈值方面做出的贡献; 同时探讨了粒子入射条件与锁存单元抗 SEU 性能之间的关系; 获取了 55 nm 工艺下 MOS 管间相对安全距离. 研究表明, 入射粒子的 LET 值是影响电子-空穴对产生率的重要因素, 粒子以高 LET 值入射使得器件翻转恢复时间变长、电压峰值增大, 最终导致电路发生 SEU; 由于晶体管电荷共享机制的差异, 导致 PMOS 的恢复时间要高于 NMOS, 表明在电荷共享机制占主导的情况下, NMOS 具有更好的抗 SEU 性能; DICE 加固类器件对入射角较敏感, 由于电荷迁移率的差异, 导致在 NMOS 晶体管间表现尤为突出. 相邻器件间电荷共享效应随倾角入射角度的增加而增强, 器件发生 SEU 或 MCU 可能性增大, 因此针对 DICE 加固类器件须开展严格的倾角入射试验评估; 最后, 相邻 MOS 管间间距增大会削弱 MOS 管间电荷共享效应, 减少相邻 MOS 管的电荷收集. 因此, 可以通过合理调节敏感节点对的间距来削弱电荷共享效应, 提高电路的抗辐照性能, 通过器件仿真得到 55 nm 工艺下晶体管间距不能小于 1.2 μm . 本文的仿真实验结论和数据, 对 55 nm 器件的单粒子效应软错误率评估具有一定的借鉴意义, 能够为纳米器件外围电路抗辐照设计和性能加固提供理论依据和数据支持, 同时有助于加快小尺寸存储器件在宇航领域的应用步伐.

参考文献

- [1] Lu Y F, Zhai X J, Saha S, Ehsan S, McDonald-Maier K 2022 *IEEE Syst. J.* **16** 1436
- [2] Rathore P, Nakhate S 2016 *IEEE 1st International Conference on Power Electronics, Intelligent Control and Energy Systems* Delhi, India, July 4–6, 2016 p38
- [3] Trivedi R, Devashrayee N M, Mehta U S, Desai N M, Patel H 2015 *19th International Symposium on VLSI Design and Test* Ahmedabad, India, June 26–29, 2015 p46
- [4] Li H S, Wu L S, Yang B, Jiang Y H 2017 *J. Semicond.* **38** 085009
- [5] Li H S, Yang B, Jiang Y H, Gao L J, Yang L 2022 *J. UEST China* **51** 458 (in Chinese) [李海松, 杨博, 蒋轶虎, 高利军, 杨靛 2022 电子科技大学学报 **51** 458]
- [6] Jiang X S, Luo Y H, Zhao W, Zhang F Q, Wang T 2023 *Acta Phys. Sin.* **72** 036101 (in Chinese) [江新帅, 罗尹虹, 赵雯, 张凤祁, 王坦 2023 物理学报 **72** 036101]
- [7] Chi Y Q, Cai C, He Z, Wu Z Y, Fang Y H, Chen J J, Liang B 2022 *Electronics* **11** 972
- [8] Lin T, Chong K, Shu W, Lwin N K Z, Jiang J Z, Chang J S 2016 *IEEE International Symposium on Circuits and Systems* Montreal, QC, Canada, May 22–25, 2016 p966
- [9] Diggins Z J, Gaspard N J, Mahatme N N, Jagannathan S, Loveless T D, Reece T R, Bhuvra B L, Witulski A F, Massengill L W, Wen S J, Wong R 2013 *IEEE Trans. Nucl. Sci.* **60** 4394
- [10] Moradi F, Panagopoulos G, Karakonstantis G, Farkhani H, Wisland D T, Madsen J K, Mahmoodi H, Roy K 2014 *Microelectron. J.* **45** 23
- [11] Maru A, Shindou H, Ebihara T, Makihara A, Hirao T, Kuboyama S 2010 *IEEE Trans. Nucl. Sci.* **57** 3602
- [12] Xu H, Zeng Y, Liang B 2015 *IEICE Electron. Expr.* **12** 20150629
- [13] Luo Y Y, Zhang F Q, Wei C, Ding L L, Pan X Y 2019 *Microelectron. Reliab.* **94** 24
- [14] Hsiao S M H, Wang L P T, Liang A C W, Wen C H P 2022 *IEEE International Test Conference* Anaheim, CA, USA, August 24–26, 2022 p128
- [15] Luo Y H, Zhang F Q, Guo H X, Wojtek H 2020 *Acta Phys. Sin.* **69** 018501 (in Chinese) [罗尹虹, 张凤祁, 郭红霞, Wojtek Hajdas 2020 物理学报 **69** 018501]
- [16] He Z, Zhao S W, Cai C, Yan X Y, Liu Y Z, Gao J L S 2021 *Nucl. Sci. Tech.* **32** 139
- [17] Ju A A, Guo H X, Zhang F Q, Liu Y, Zhong X L, Ouyang X P, Ding L L, Lu C, Zhang H, Feng Y H 2023 *Acta Phys. Sin.* **72** 026102 (in Chinese) [据安安, 郭红霞, 张凤祁, 刘晔, 钟向丽, 欧阳晓平, 丁李利, 卢超, 张鸿, 冯亚辉 2023 物理学报 **72** 026102]
- [18] Dodd P E 2006 *IEEE T. Device. Mat. Re.* **5** 343
- [19] Maru A, Matsuda A, Kuboyama S, Yoshimoto M 2022 *IEICE T. Electron.* **E105-C** 47
- [20] Wang J, Li L 2014 *15th International Conference on Electronic Packaging Technology* Chengdu, China, August 12–15, 2014 p1116

Three-dimensional numerical simulation of single event upset effect based on 55 nm DICE latch unit*

Zhang Xing Liu Yu-Lin Li Gang Yan Shao-An
Xiao Yong-Guang Tang Ming-Hua[†]

(School of Materials Science and Engineering, Xiangtan University, Xiangtan 411105, China)

(Received 25 September 2023; revised manuscript received 27 December 2023)

Abstract

With the development of nanoscale circuit technology, the on-track error rate of digital circuit and the effect of single event upset have become more pronounced. The radiation resistance research on DICE SRAM or DICE flip-flop device has been carried out extensively, including 65 nm, 90 nm, and 130 nm. However, the research on 55 nm DICE latch has not been reported. Using a three-dimensional device model of the 55 nm bulk silicon process established by the simulation tool TCAD, we verify the reinforcement performance of the DICE circuit, and clarify the effects of different incident conditions on DICE circuits. At the same time, we carry out a comparison of anti-SEU performance between NMOS transistor and PMOS transistor in the 55 nm process through comparative simulation experiments and quantitative analysis. The result shows that one of the important factors is the LET value which affects the generation rate of electron-hole pairs. A higher LET value will extend the upset recovery time of device and increase the peak of voltage. In addition, the difference in charge-sharing mechanism between transistors leads to the recovery time of PMOS higher than that of NMOS. As the angle of incidence increases, the charge-sharing mechanism between adjacent devices is enhanced, and electron-hole pairs ionized in sensitive regions increase. Due to the difference in charge mobility, the sensitivity of the angle of incidence of N_{hit} in DICE is much greater than that of $Phit$. Therefore, strict tilt angle incident test evaluation is required for DICE device before practical application. Finally, the large distance between adjacent MOS tubes will weaken the charge-sharing mechanism and reduce the charge collection of adjacent MOS tubes. Simulation result shows that the distance between the MOS transistors in the 55 nm process cannot be less than 1.2 μm . The relevant simulation results can provide a theoretical basis and data for supporting the study of the physical mechanism of SEU and reinforcement technology, thereby promoting the application of memory devices to the aerospace field.

Keywords: double interlocked inverter structure, numerical simulation, single event upset effect, charge sharing effect

PACS: 61.80.-x, 66.30.J-, 85.30.De, 87.64.Aa

DOI: [10.7498/aps.73.20231564](https://doi.org/10.7498/aps.73.20231564)

* Project supported by the National Natural Science Foundation of China (Grant Nos. 92164108, U23A20322, 11835008), the Natural Science Foundation of Hunan Province, China (Grant Nos. 2023JJ50009, 2023JJ30599), and the Radiation Application Innovation Center Fund, China (Grant No. KFZC2020020901).

[†] Corresponding author. E-mail: tangminghua@xtu.edu.cn

基于55 nm DICE结构的单粒子翻转效应模拟研究

张幸 刘玉林 李刚 燕少安 肖永光 唐明华

Three-dimensional numerical simulation of single event upset effect based on 55 nm DICE latch unit

Zhang Xing Liu Yu-Lin Li Gang Yan Shao-An Xiao Yong-Guang Tang Ming-Hua

引用信息 Citation: *Acta Physica Sinica*, 73, 066103 (2024) DOI: 10.7498/aps.73.20231564

在线阅读 View online: <https://doi.org/10.7498/aps.73.20231564>

当期内容 View table of contents: <http://wulixb.iphy.ac.cn>

您可能感兴趣的其他文章

Articles you may be interested in

HfO₂基铁电场效应晶体管读写电路的单粒子翻转效应模拟

Single-event-upset effect simulation of HfO₂-based ferroelectric field effect transistor read and write circuits

物理学报. 2020, 69(9): 098502 <https://doi.org/10.7498/aps.69.20200123>

全耗尽绝缘体上硅氧化铪基铁电场效应晶体管存储单元单粒子效应计算机模拟研究

Numerical simulation of single-event effects in fully-depleted silicon-on-insulator HfO₂-based ferroelectric field-effect transistor memory cell

物理学报. 2022, 71(6): 068501 <https://doi.org/10.7498/aps.71.20211655>

三维电磁扩散场数值模拟及磁化效应的影响

Three-dimensional numerical simulation of electromagnetic diffusion problem and magnetization effects

物理学报. 2019, 68(3): 030201 <https://doi.org/10.7498/aps.68.20181567>

基于重离子试验数据预测纳米加固静态随机存储器质子单粒子效应敏感性

Prediction of proton single event upset sensitivity based on heavy ion test data in nanometer hardened static random access memory

物理学报. 2020, 69(1): 018501 <https://doi.org/10.7498/aps.69.20190878>

化学复合率对激发赤道等离子体泡影响的数值模拟

Numerical simulation of recombination rate effect on development of equatorial plasma bubbles

物理学报. 2019, 68(19): 199401 <https://doi.org/10.7498/aps.68.20190173>

疏水表面振动液滴模态演化与流场结构的数值模拟

Numerical simulation of modal evolution and flow field structure of vibrating droplets on hydrophobic surface

物理学报. 2021, 70(14): 144701 <https://doi.org/10.7498/aps.70.20210161>