

功率金属-氧化物半导体场效应晶体管静电放电栅源电容解析模型的建立*

苏乐²⁾ 王彩琳^{1)†} 谭在超²⁾ 罗寅²⁾ 杨武华¹⁾ 张超¹⁾

1) (西安理工大学电子工程系, 西安 710048)

2) (苏州镭威特半导体股份有限公司, 张家港 215600)

(2024 年 1 月 20 日收到; 2024 年 3 月 7 日收到修改稿)

在实际静电放电测试时, 发现各种功率金属-氧化物半导体场效应晶体管 (MOSFET) 的静电放电测试结果均呈现出正反向耐压不对称现象, 而人体与器件接触时的静电放电过程是不区分正反向的. 正反向耐压差异较大对于功率 MOSFET 或作为静电放电保护器件来说都是无法接受的, 其造成器件失效的问题格外凸显. 本文通过建立 SGT-MOSFET, VUMOSFET 和 VDMOS 在静电放电正反向电压下的栅源电容解析模型, 对比分析了三种功率 MOSFET 器件静电放电正反向耐压不对称及其比值不同的原因, 为器件的静电放电测试及可靠性分析提供了理论依据.

关键词: 功率金属-氧化物半导体场效应晶体管, 静电放电, 栅源电容, 解析模型

PACS: 85.30.Mn, 85.30.Pq, 85.30.Tv

DOI: 10.7498/aps.73.20240144

1 引言

静电放电 (ESD) 是指两种不同静电势的物体发生接触或通过感生电场, 使得电荷在两种物体之间进行传导, 形成电流并产生静电电压, 且其产生的静电电压远远超出器件的栅源击穿电压, 导致器件失效^[1-3]. ESD 本质上是由于电荷不平衡导致的电荷驱动物理机制, 将积累的静电荷在极短时间内泄放至接触的器件中, 是一种瞬态事件^[4-8]. 功率半导体器件总失效中有 70% 是因 ESD 引起的, 更为严重的是, 有些芯片在出厂时已被 ESD 部分损坏, 造成产品寿命缩短和良品率降低. 这些器件可能在重大领域 (如航空航天) 使用中造成不可挽回的损失^[9-13], 为此, ESD 是功率半导体器件应用领域中所面临的比较严重的问题.

由于功率金属-氧化物半导体场效应晶体管 (MOSFET) 栅氧很薄, 遭受静电极易击穿, 故功率 MOSFET 的 ESD 失效相对双极晶体管更为严重^[14,15]. 随着新能源汽车、充电桩、光伏逆变、节能家电、通信、医疗等行业的快速发展, 功率 MOSFET 的应用需求越来越大, 同时对器件性能的要求也越来越高, 各种低导通损耗、高开关速度、小型化的新型器件涌现出来^[16-20]. 由于器件尺寸的进一步缩小, ESD 引起的可靠性问题越来越严重.

在实际 ESD 测试中, 发现各种功率 MOSFET 器件均存在正、反向耐压不对称现象, 而人体与器件接触时的静电放电过程是不区分正反向的. 正反向耐压差异较大对于功率 MOSFET 或作为静电放电保护器件来说都是无法接受的, 其造成器件失效的问题格外凸显. 因此, 研究 ESD 测试中正、反向耐压差异较大的原因具有重要的工程应用价值.

* 陕西省“两链融合”重点研发项目 (批准号: 2021LLRH-02) 和陕西省科学技术厅自然科学基金基础研究计划 (批准号: 2023-JC-QN-0764) 资助的课题.

† 通信作者. E-mail: wangcailin8511@xaut.edu.cn

2 ESD 正反向耐压不对称现象

2.1 ESD 正反向耐压测试

SGT-MOSFET, VUMOSFET, VDMOS 的不同型号产品通过 ESD HBM 测试的正、反向耐压数据如表 1 所列, 可以看出三种不同功率 MOSFET

表 1 SGT-MOSFET, VUMOSFET, VDMOS 不同型号产品 HBM 测试的正反向耐压数据

Table 1. Positive and reverse withstand voltage data for HBM tests of VDMOS, VUMOSFET, SGT-MOSFET.

器件类型	样品型号	ESD正向耐压/V	ESD反向耐压/V
SGT-MOSFET	SW036R10E8S	600	1010
	SW050R10E8S	750	1450
	SW050R85E8S	670	1390
	SW050R95E8S	810	1590
	SW083R06VLS	480	830
VUMOSFET	SW065R68E7T	520	1640
	SW067R68E7T	650	2350
	SW068R68E7T	680	1970
	SW065R03VLT	450	1360
	SW018R03VLT	830	2800
VDMOS	SW7N60D	1350	3140
	SW10N60D	1470	3520
	SW12N65D	1530	3690
	SW20N65D	1560	3510
	SW7N80D	1670	3940

表 2 SGT-MOSFET, VUMOSFET, VDMOS 不同型号产品的相关参数

Table 2. Related parameters of different products of VDMOS, VUMOSFET, SGT-MOSFET.

器件类型	样品型号	封装形式	击穿电压/V	阈值电压/V	导通电阻/ $m\Omega$
SGT-MOSFET	SW036R10E8S	TO-220	100	3	3.8
	SW050R10E8S	TO-220	100	3	5.7
	SW050R85E8S	TO-263	85	3	5.2
	SW050R95E8S	TO-263	95	3	5.9
	SW083R06VLS	TO-251	60	2	9.6
VUMOSFET	SW065R68E7T	TO-220	68	3	6.3
	SW067R68E7T	TO-220	68	3	6.9
	SW068R68E7T	TO-252	68	3	7.0
	SW065R03VLT	TO-252	30	3	6.6
	SW018R03VLT	DFN5*6	30	1.8	1.6
VDMOS	SW7N60D	TO-220	600	3.5	1.1
	SW10N60D	TO-220F	600	3.5	0.9
	SW12N65D	TO-220F	650	3.5	0.6
	SW20N65D	TO-220F	650	3.7	0.3
	SW7N80D	TO-220F	800	3.5	1.5

器件 ESD 的正向耐压与反向耐压测试值相差较大, 且反向耐压均大于正向耐压. 器件 ESD 正反向耐压值与芯片面积、击穿电压、导通电阻等参数相关, 为此表 2 给出了不同型号产品的相关参数.

为了更直观地看出不同器件 ESD 正、反向耐压比值, 对表 1 中的测试数据进行了归纳统计, 如图 1 所示. 从图 1 可看出, 三种器件 ESD 反向耐压与正向耐压比值不同, 沟槽栅 MOSFET 的 ESD 反向耐压与正向耐压比值最大, 其均值为 3.21; 传统 VDMOS 次之, 其均值为 2.35; SGT-MOSFET 的 ESD 反向耐压与正向耐压比值最小, 其均值为 1.87.

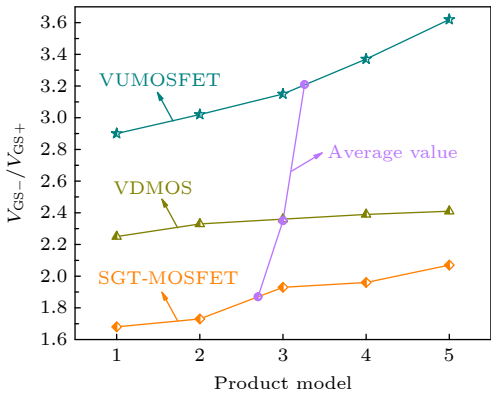


图 1 SGT-MOSFET, VUMOSFET, VDMOS 产品 HBM 测试的反向耐压与正向耐压比值

Fig. 1. The positive and negative pass voltage difference multiple of SGT-MOSFET, VUMOSFET, and VDMOS under HBM testing.

2.2 ESD 仿真分析

下面以 SGT-MOSFET 为例, 初步分析器件 ESD 正反向耐压不对称现象. ESD HBM 耐压测试电路如图 2 所示, 其测试方法为将器件漏极悬空, 栅极和源极之间分别施加正反向电压, 从 100 V 开始测试, 50 V 为步长增加栅源电压. 测试时高压电源通过 R_{HBM1} 对 C_{HBM} 进行充电, 充电完成后 C_{HBM} 对 DUT 的栅源电容进行充电, 栅源电压上升, 当栅源电压过大, 栅氧发生击穿时器件失效, 记录器件失效前 HBM 模型电流测试波形的峰值电流 I_P , 其与电阻 R_{HBM2} 的乘积为器件通过的最大电压, 即为正反向耐压 [21].

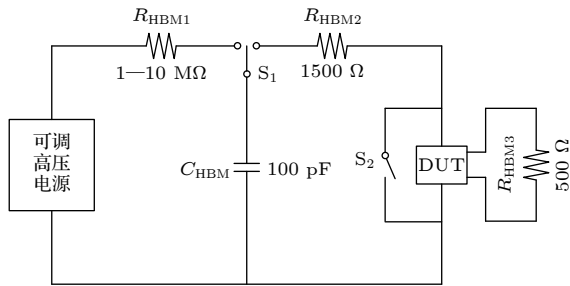


图 2 人体放电模型测试电路
Fig. 2. The HBM testing circuit.

SGT-MOSFET 在 HBM 模型下仿真的正反向放电波形如图 3 所示, 相应的测试条件为: $R_{HBM1} = 1 \text{ M}\Omega$, $R_{HBM2} = 1500 \text{ }\Omega$, $R_{HBM3} = 500 \text{ }\Omega$, $C_{HBM} = 100 \text{ pF}$. 上升时间 t_r 定义为电流从 10% I_P 增加到 90% I_P 所需时间, 下降时间 t_f 定义为电流从 I_P 下降到 36.8% I_P 所需时间. 从图 3 可以看

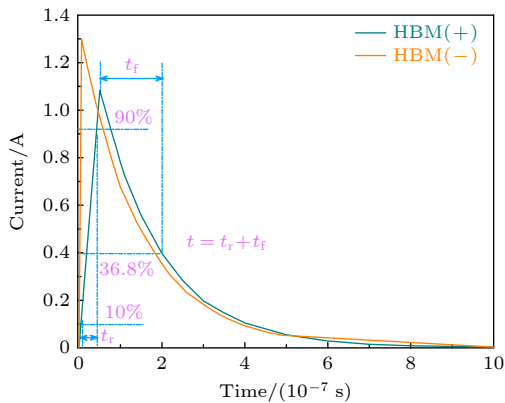


图 3 SGT-MOSFET 在 HBM 模型下的放电波形 ($R_{HBM1} = 1 \text{ M}\Omega$, $R_{HBM2} = 1500 \text{ }\Omega$, $R_{HBM3} = 500 \text{ }\Omega$, $C_{HBM} = 100 \text{ pF}$)
Fig. 3. The discharge waveform of SGT-MOSFET under the HBM model ($R_{HBM1} = 1 \text{ M}\Omega$, $R_{HBM2} = 1500 \text{ }\Omega$, $R_{HBM3} = 500 \text{ }\Omega$, $C_{HBM} = 100 \text{ pF}$).

出, 当栅源间施加正向电压时, 放电波形的上升时间 t_r 为 25 ns, 下降时间 t_f 为 140 ns, 总放电时间 t 为 165 ns, 峰值电流 I_P 为 1.08 A, 则其正向耐压为 1620 V; 当栅源间施加反向电压时, 放电波形的上升时间 t_r 为 6 ns, 下降时间 t_f 为 120 ns, 总放电时间 t 为 126 ns, 峰值电流 I_P 为 1.31 A, 则其反向耐压为 1965 V, 反向耐压比正向耐压高 345 V, 反向耐压与正向耐压比值为 1.22.

为了初步分析 SGT-MOSFET 正反向耐压不对称现象, 截取了 ESD 正反向栅源电压下放电波形峰值处器件内部的电子密度、空穴密度、空间电荷及电场强度分布图, 如图 4 所示. 在正向栅源电压下, SGT-MOSFET 控制栅两侧的 p 体区反型形成 N 沟道, 将 n+源区和 n-漂移区连通; 控制栅底部两侧的 n-漂移区形成电子积累层, 因此控制栅

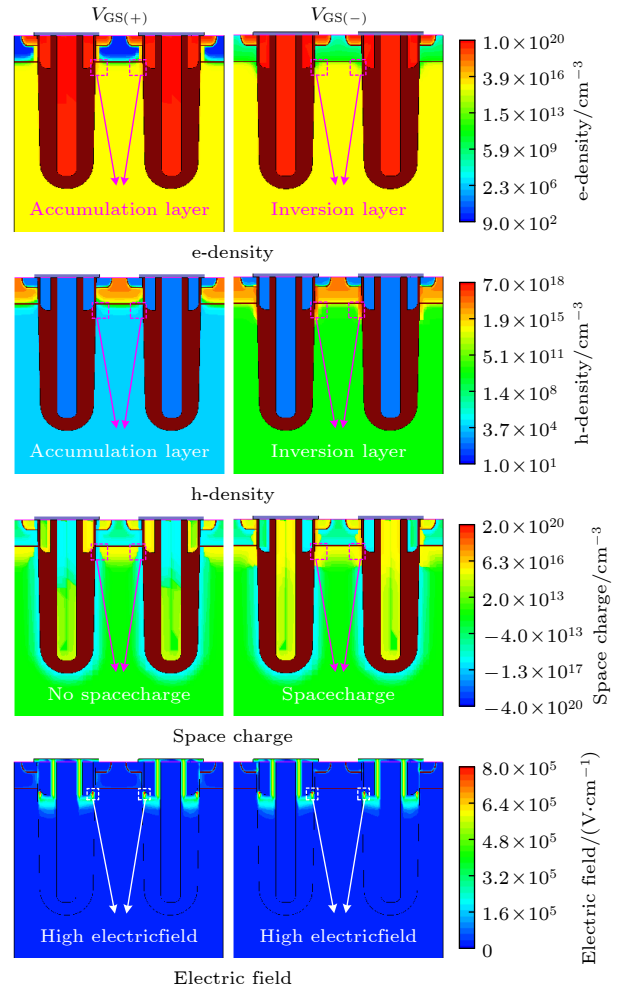


图 4 SGT-MOSFET ESD 正反向电压下的电子密度、空穴密度、空间电荷及电场强度分布图

Fig. 4. The e-density, h-density, space charge, and electric field distribution diagram of SGT-MOSFET under forward and reverse voltage of ESD.

两侧以及底部的氧化层电容 (C'_{GD1} 和 C'_{GD2}). 由于屏蔽栅的存在, 控制栅底部的虚拟栅漏电容 C'_{GD2} 减小.

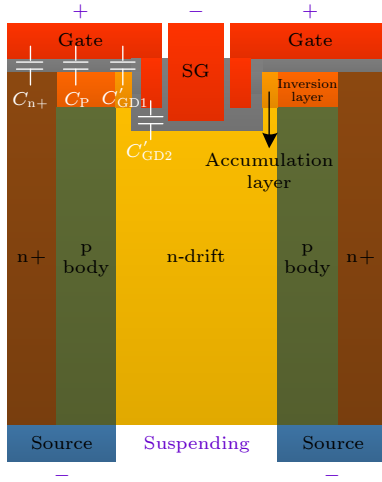


图 6 SGT-MOSFET 正向耐压测试下简化后的栅极与元胞结构间的栅源电容 $C_{GS(+)}$ 组成示意图

Fig. 6. The simplified schematic diagram of SGT-MOSFET gate to source capacitor $C_{GS(+)}$ between the gate and the cell structure under forward pass voltage testing.

由上述分析可知, SGT-MOSFET 正向耐压测试下的栅源电容 $C_{GS(+)}$ 由 C_{GS1} , C_{GS2} , C_{n+} , C_p , C'_{GD1} 和 C'_{GD2} 并联组成. 根据平行板电容器表达式

$$C = (\varepsilon \cdot S)/d, \quad (1)$$

式中, ε 为极板间介质的介电常数, S 为极板间

正对面积, d 为极板间的距离, 以及多电容并联表达式

$$C = C_1 + C_2 + C_3 + \cdots + C_n, \quad (2)$$

可得 SGT-MOSFET 单位面积上的栅源电容 $C_{GS(+)}$ 表达式为

$$\begin{aligned} C_{GS(+)} &= C_{GS1} + C_{GS2} + C_{n+} + C_p + C'_{GD1} + C'_{GD2} \\ &= \frac{2(t_{sox} - t_{gsiox2} - t_{gox})}{W_{Cell}} \left(\frac{\varepsilon_{ox}}{t_{gsiox1}} \right) \\ &\quad + \frac{2L_G}{W_{Cell}} \left(\frac{\varepsilon_{ox}}{t_{gsiox2}} \right) + \frac{2L_G}{W_{Cell}} \left(\frac{\varepsilon_{ox}}{t_{gox}} \right) \\ &\quad + \frac{2(t_{sox} - t_{gsiox2} - t_{gox})}{W_{Cell}} \left(\frac{\varepsilon_{ox}}{t_{gdox}} \right). \end{aligned} \quad (3)$$

从 (3) 式可知, SGT-MOSFET 正向耐压测试下的栅源电容 $C_{GS(+)}$ 主要与器件元胞宽度 W_{Cell} 、控制栅厚度 L_G 以及各侧氧化层厚度 t_{sox} , t_{gsiox1} , t_{gsiox2} , t_{gox} 和 t_{gdox} 有关. 此时栅源电容 $C_{GS(+)}$ 是一个不随正向端电压 V_{GS} 变化而变化的线性寄生电容.

3.1.2 反向电压下 SGT-MOSFET 的栅源电容

SGT-MOSFET 在漏极悬空, 栅源间加反向电压时的栅源寄生电容 $C_{GS(-)}$ 示意图及等效电路如图 7 所示. 此时栅源电容 $C_{GS(-)}$ 由控制栅与源极金属、控制栅与屏蔽栅间的氧化层电容 C_{GS1} , C_{GS2} , 以及控制栅与元胞结构间的寄生电容 C_{n+} , C_p , C'_{GD1} , C'_{GD2} , C'_{GD3} 串并联组成.

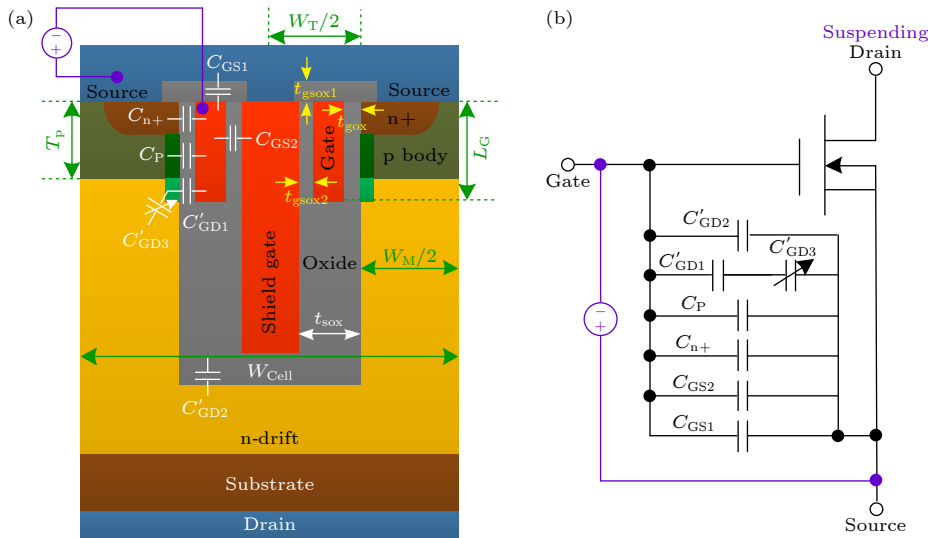


图 7 SGT-MOSFET 反向耐压测试下的栅源电容 $C_{GS(-)}$ (a) 及等效电路 (b) 示意图

Fig. 7. Schematic diagram of SGT-MOSFET gate to source capacitor $C_{GS(-)}$ (a) and equivalent circuit (b) under reverse pass voltage testing.

为了便于理解, 将 SGT-MOSFET 反向耐压测试下的横向栅源结构拉直转变为纵向结构, 简化后的栅极与元胞结构间的栅源电容 $C_{GS(-)}$ 组成示意图如图 8 所示, 上侧为加负压的控制栅电极及加

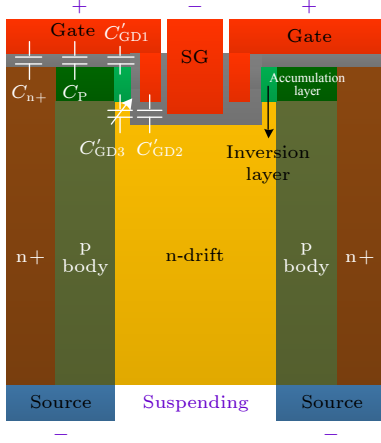


图 8 SGT-MOSFET 反向耐压测试下简化后的栅极与元胞结构间的栅源电容 $C_{GS(-)}$ 组成示意图

Fig. 8. The simplified schematic diagram of SGT-MOSFET gate to source capacitor $C_{GS(-)}$ between the gate and the cell structure under reverse pass voltage testing.

正压的屏蔽栅电极, 下侧为加正压的源电极及悬空的 n-漂移区. 在栅源反向电压偏置下, 控制栅两侧的 n-漂移区形成 P 型反型层, 控制栅两侧的 p 体区形成 P 型积累层. 由于 n-漂移区悬空, 其与控制栅两侧 n-漂移区的 P 型反型层形成势垒电容 C'_{GD3} . 此时原栅漏电容 C_{GD} 被转变为栅源电容, 即虚拟的栅漏电容 C'_{GD} , 由氧化层电容 C'_{GD1} , C'_{GD2} 和势垒电容 C'_{GD3} 串并联组成, 是一个随反向偏压变化的非线性电容.

由上述分析可知, SGT-MOSFET 反向耐压测试下的栅源电容 $C_{GS(-)}$ 由 C_{GS1} , C_{GS2} , C_{n+} , C_p , C'_{GD1} , C'_{GD2} , C'_{GD3} 串并联组成. 根据平行板电容器表达式 (1) 式以及多电容串并联表达式 (2) 式、(4) 式:

$$\frac{1}{C} = \frac{1}{C_1} + \frac{1}{C_2} + \frac{1}{C_3} + \cdots + \frac{1}{C_n}, \quad (4)$$

可得 SGT-MOSFET 单位面积上的栅源电容 $C_{GS(-)}$ 表达式为

$$\begin{aligned} C_{GS(-)} &= C_{GS1} + C_{GS2} + C_{n+} + C_p + \frac{C'_{GD1}C'_{GD3}}{C'_{GD1} + C'_{GD3}} + C'_{GD2} \\ &= \frac{2(t_{sox} - t_{gsox2} - t_{gox})}{W_{Cell}} \left(\frac{\varepsilon_{ox}}{t_{gsox1}} \right) + \frac{2L_G}{W_{Cell}} \left(\frac{\varepsilon_{ox}}{t_{gsox2}} \right) + \frac{2T_p}{W_{Cell}} \left(\frac{\varepsilon_{ox}}{t_{gox}} \right) \\ &\quad + \frac{2(L_G - T_p)}{W_{Cell}} \left(\frac{C'_{gd1}C'_{gd3}}{C'_{gd1} + C'_{gd3}} \right) + \frac{2(t_{sox} - t_{gsox2} - t_{gox})}{W_{Cell}} \left(\frac{\varepsilon_{ox}}{t_{gdox}} \right), \end{aligned} \quad (5)$$

式中

$$C'_{gd1} = \frac{\varepsilon_{ox}}{t_{gox}}, \quad C'_{gd3} = \frac{\varepsilon_{si}}{X'_{gd}}, \quad (6)$$

式中, X'_{gd} 为控制栅两侧 P 型反型层与 n-漂移区形成 PN 结的势垒宽度. X'_{gd} 定义为

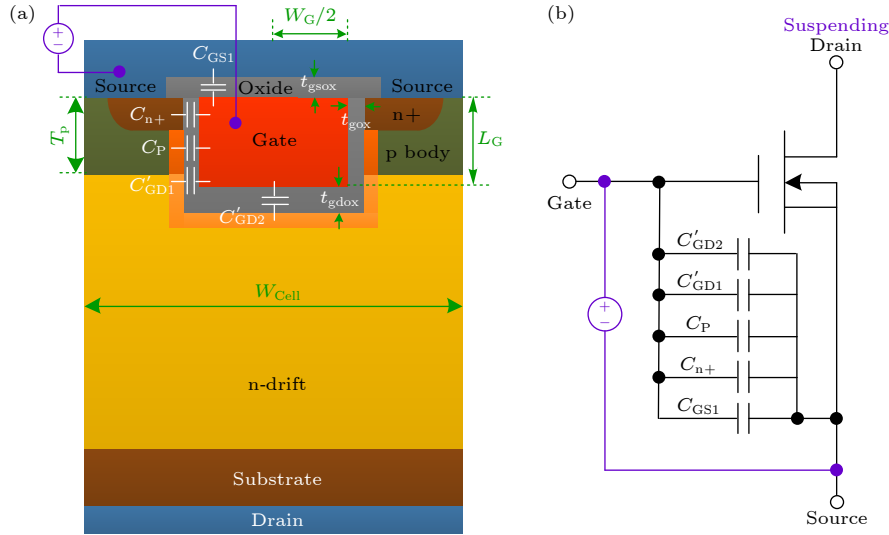
$$X'_{gd} = \sqrt{\frac{2\varepsilon_{si}(n_{ps} + N_D)(V_D - (V_{GS} - V_{gox}))}{qfn_{ps}N_D}}, \quad (7)$$

式中, V_D 为 P 型反型层与 n-漂移区形成 PN 结的接触电势差; V_{gox} 为栅氧化层电压; n_{ps} 为反向栅源电压下控制栅两侧 P 型反型层的浓度; f 为氧化层电荷对控制栅两侧 P 型反型层浓度的影响系数. 在强反型状态下 n_{ps} 可表示为

$$n_{ps} = \frac{\sqrt{2\varepsilon_{si}kT}}{q^2L_D} \sqrt{\frac{p_{n0}}{n_{n0}}} \exp\left(\frac{qV_{GS} - V_{gox}}{2kT}\right). \quad (8)$$

由 (8) 式可以看出, 反型层浓度 n_{ps} 随表面电势 ($V_{GS} - V_{gox}$) 增大而呈指数关系增加. 从 (5) 式—(8) 式可知, SGT-MOSFET 反向耐压测试下的栅源电容 $C_{GS(-)}$ 主要与器件元胞宽度 W_{Cell} 、p 体区厚度 T_p 、控制栅厚度 L_G 、各侧氧化层厚度 t_{sox} , t_{gsox1} , t_{gsox2} , t_{gox} 和 t_{gdox} 、n-漂移区掺杂浓度 N_D 以及外加端电压 V_{GS} 有关. 此时栅源电容 $C_{GS(-)}$ 是随反向端电压 V_{GS} 变化而变化的非线性寄生电容.

根据上述建立的 SGT-MOSFET ESD 正反向栅源电容解析模型可知, 当栅源极间加正向电压时, 控制栅两侧的 p 体区形成 N 型反型层, 将 n+ 源区与 n-漂移区连通, 将原栅漏电容 C_{GD} 被转变为栅源电容 C'_{GD} , 则 SGT-MOSFET ESD 正向栅源电容 $C_{GS(+)}$ 由栅极周围的氧化层电容组成; 当栅源间加反向电压时, 控制栅两侧的 n-漂移区形

图9 VUMOSFET 正向耐压测试下的栅源电容 $C_{GS(+)}$ (a) 及等效电路 (b) 示意图Fig. 9. Schematic diagram of VUMOSFET $C_{GS(+)}$ (a) and equivalent circuit (b) under forward pass voltage testing.

成 P 型反型层, 则 SGT-MOSFET ESD 反向栅源电容 $C_{GS(-)}$ 由虚拟栅漏电容 C'_{GD} 与反型层电容串联后再与栅极周围的其他氧化层电容并联而成。

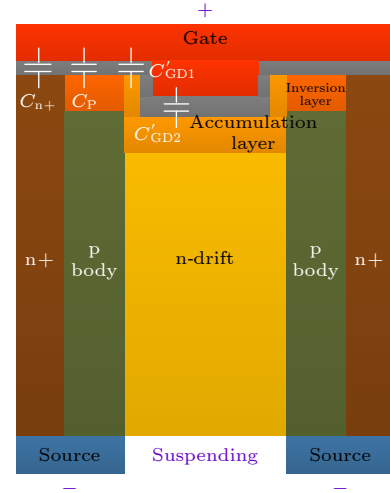
3.2 VUMOSFET 正反向栅源电容解析模型

VUMOSFET ESD 反向耐压与正向耐压比值与 SGT-MOSFET 不同, 为了对比分析, 以下建立了 VUMOSFET 正反向电压下的栅源电容解析模型。

3.2.1 正向电压下 VUMOSFET 的栅源电容

VUMOSFET 漏极悬空, 栅源间加正向电压时的栅源寄生电容 $C_{GS(+)}$ 示意图及等效电路如图 9 所示。此时栅源电容 $C_{GS(+)}$ 由栅极与源极金属间的氧化层电容 C_{GS1} , 以及栅极与元胞结构间的寄生电容 C_{n+} , C_p , C'_{GD1} , C'_{GD2} 并联组成。与传统 VDMOS 相比, VUMOSFET 由于沟槽栅的存在使得栅极与源极金属间的氧化层电容 C_{GS2} 消除, 而栅漏电容 C_{GD} 增大。

为了便于理解, 将 VUMOSFET 横向栅源结构拉直转变为纵向结构, 简化后的栅极与元胞结构间的栅源电容 $C_{GS(+)}$ 组成示意图如图 10 所示, 上侧为加正压的沟槽栅电极, 下侧为加负压的源电极以及悬空的 n-漂移区。在栅源正向电压偏置下, 沟槽栅两侧的 p 体区形成 N 型反型层, 沟槽栅两侧以及下方的 n-漂移区形成 N 型积累层, N 型反型层将 n+源区与 n-漂移区连通, 使得 n-漂移区与源极电位一致。此时原栅漏电容 C_{GD} 被转变为栅源电容, 也即虚拟的栅漏电容 C'_{GD} 。

图10 VUMOSFET 正向耐压测试下简化后的栅极与元胞结构间的栅源电容 $C_{GS(+)}$ 组成示意图Fig. 10. The simplified schematic diagram of VUMOSFET gate to source capacitor $C_{GS(+)}$ between the gate and the cell structure under forward pass voltage testing.

可见, VUMOSFET 栅极与元胞结构间的栅源寄生电容 $C_{GS(+)}$ 也完全由栅氧化层电容组成。与传统 VDMOS 相比, 正向耐压测试过程中 VUMOSFET 的虚拟栅漏电容 C'_{GD} 包括沟槽栅两侧以及底部的氧化层电容 (C'_{GD1} 和 C'_{GD2})。

由上述分析可知, VUMOSFET 正向耐压测试下栅源电容 $C_{GS(+)}$ 由 C_{GS1} , C_{n+} , C_p , C'_{GD1} 和 C'_{GD2} 并联组成。根据平行板电容器表达式 (1) 式以及多电容并联表达式 (4) 式可得 VUMOSFET 单位面积上的栅源电容 C_{GS} 表达式为

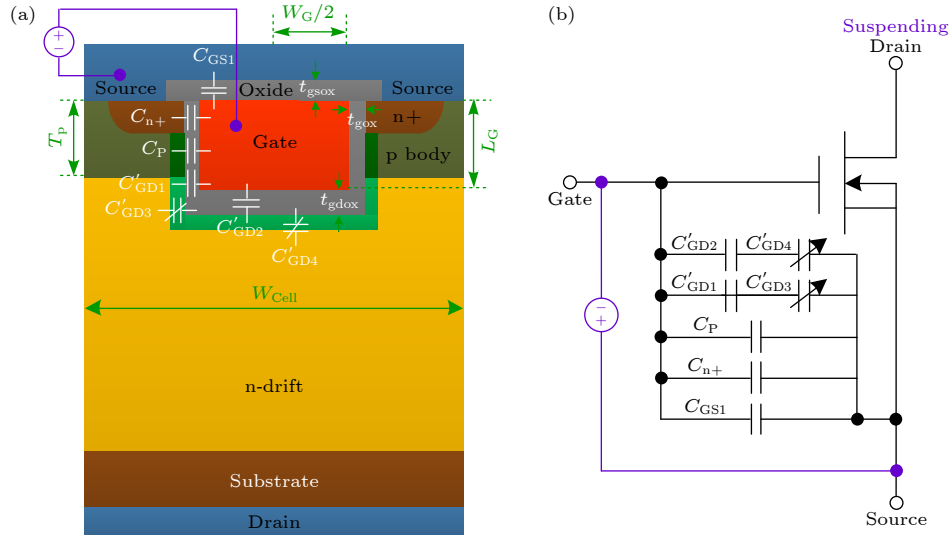

 图 11 VUMOSFET 反向耐压测试下的栅源电容 $C_{GS(-)}$ (a) 及等效电路 (b) 示意图

Fig. 11. Schematic diagram of VUMOSFET gate to source capacitor $C_{GS(-)}$ (a) and equivalent circuit (b) under reverse pass voltage testing.

$$\begin{aligned}
 C_{GS(+)} &= C_{GS1} + C_{n+} + C_p + C'_{GD1} + C'_{GD2} \\
 &= \frac{W_G}{W_{Cell}} \left(\frac{\varepsilon_{ox}}{t_{gsox}} \right) + \frac{2(L_G + t_{gdox})}{W_{Cell}} \left(\frac{\varepsilon_{ox}}{t_{gox}} \right) \\
 &\quad + \frac{W_G + 2t_{gox}}{W_{Cell}} \left(\frac{\varepsilon_{ox}}{t_{gdox}} \right). \quad (9)
 \end{aligned}$$

从 (9) 式可知, VUMOSFET 正向耐压测试下的栅源电容 $C_{GS(+)}$ 主要与器件元胞宽度 W_{Cell} 、栅极宽度 W_G 、栅极厚度 L_G 以及栅极各侧氧化层厚度 t_{gsox} , t_{gox} 和 t_{gdox} 有关. 此时栅源电容 $C_{GS(+)}$ 是一个不随正向端电压 V_{GS} 变化而变化的线性寄生电容.

3.2.2 反向电压下 VUMOSFET 的栅源电容

VUMOSFET 在漏极悬空, 栅源间加反向电压时的栅源寄生电容 $C_{GS(-)}$ 示意图及等效电路如图 11 所示. 此时栅源电容 $C_{GS(-)}$ 由栅极与源极金属间的寄生电容 C_{GS1} , 以及栅极与元胞结构间的寄生电容 C_{n+} , C_p , C'_{GD1} , C'_{GD2} , C'_{GD3} , C'_{GD4} 串并联组成.

为了便于理解, 将 VUMOSFET 横向栅源结构拉直转变为纵向结构, 简化后的栅极与元胞结构间的栅源电容 $C_{GS(-)}$ 组成示意图如图 12 所示, 上侧为加负压的沟槽栅电极, 下侧为加正压的源电极以及悬空的 n-漂移区. 在栅源反向电压偏置下, 沟槽栅两侧的 n-漂移区以及沟槽栅下方的 n-漂移区形成 P 型反型层, 沟槽栅两侧的 p 体区形成 P 型积累层. 由于 n-漂移区悬空, 其与沟槽栅两侧以及下方 n-漂移区的 P 型反型层形成势垒电容 C'_{GD3} ,

C'_{GD4} . 此时原栅漏电容 C_{GD} 被转变为栅源电容, 也即虚拟的栅漏电容 C'_{GD} , 其由氧化层电容 C'_{GD1} , C'_{GD2} 和势垒电容 C'_{GD3} , C'_{GD4} 串并联组成, 是一个随反向偏压变化的非线性电容.

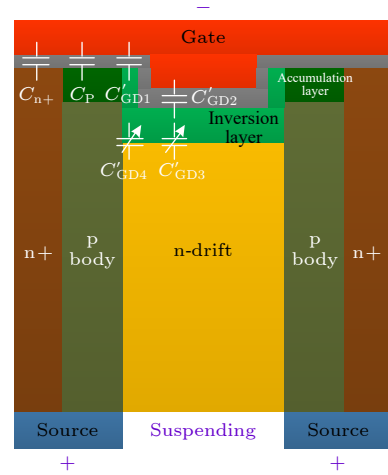


图 12 VUMOSFET 反向耐压测试下简化后的栅极与元胞结构间的栅源电容 $C_{GS(-)}$ 组成示意图

Fig. 12. The simplified schematic diagram of VUMOSFET gate to source capacitor $C_{GS(-)}$ between the gate and the cell structure under reverse pass voltage testing.

由上述分析可知, VUMOSFET 反向耐压测试下的栅源电容 $C_{GS(-)}$ 由 C_{GS1} , C_{n+} , C_p , C'_{GD1} , C'_{GD2} , C'_{GD3} , C'_{GD4} 串并联组成. 根据平行板电容器表达式 (1) 式以及多电容串并联表达式 (2) 式、(4) 式, 可得 VUMOSFET 单位面积上的栅源电容 $C_{GS(-)}$ 表达式为

$$\begin{aligned}
 C_{GS(-)} &= C_{GS1} + C_{n+} + C_p + \frac{C'_{GD1}C'_{GD3}}{C'_{GD1} + C'_{GD3}} \\
 &+ \frac{C'_{GD2}C'_{GD4}}{C'_{GD2} + C'_{GD4}} \\
 &= \frac{W_G}{W_{Cell}} \left(\frac{\varepsilon_{ox}}{t_{gs ox}} \right) + \frac{2T_p}{W_{Cell}} \left(\frac{\varepsilon_{ox}}{t_{gs ox}} \right) \\
 &+ \frac{2(L_G + t_{gd ox} - T_p)}{W_{Cell}} \left(\frac{C'_{gd1}C'_{gd3}}{C'_{gd1} + C'_{gd3}} \right) \\
 &+ \frac{W_G + 2t_{gd ox}}{W_{Cell}} \left(\frac{C'_{gd2}C'_{gd4}}{C'_{gd2} + C'_{gd4}} \right), \quad (10)
 \end{aligned}$$

式中,

$$\begin{aligned}
 C'_{gd1} &= \frac{\varepsilon_{ox}}{t_{gox}}, \quad C'_{gd2} = \frac{\varepsilon_{ox}}{t_{gd ox}}, \\
 C'_{gd3} &= \frac{\varepsilon_{si}}{X'_{gd1}}, \quad C'_{gd4} = \frac{\varepsilon_{si}}{X'_{gd2}}, \quad (11)
 \end{aligned}$$

式中, X'_{gd1} 为栅极两侧 P 型反型层与 n-漂移区形成 PN 结的势垒宽度. X'_{gd1} 定义为

$$X'_{gd1} = \sqrt{\frac{2\varepsilon_{si}(N_{A1} + N_D)(V_{D1} - (V_{GS} - V_{gox}))}{qf_1n_{ps1}N_D}}, \quad (12)$$

式中, V_{D1} 为 P 型反型层与 n-漂移区形成 PN 结的接触电势差; V_{gox} 为栅氧化层电压; n_{ps1} 为反向栅源电压下栅极两侧 P 型反型层的浓度; f_1 为氧化层电荷对栅极两侧 P 型反型层浓度的影响系数. 在强反型状态下 n_{ps1} 可表示为

$$n_{ps1} = \frac{\sqrt{2\varepsilon_{si}kT}}{q^2L_D} \sqrt{\frac{p_{n0}}{n_{n0}}} \exp\left(\frac{qV_{GS} - V_{gox}}{2kT}\right), \quad (13)$$

式中, X'_{gd2} 为栅极下方 P 型反型层与 n-漂移区形

成 PN 结的势垒宽度. X'_{gd2} 定义为

$$X'_{gd2} = \sqrt{\frac{2\varepsilon_{si}(n_{ps2} + N_D)(V_{D2} - (V_{GS} - V_{gd ox}))}{qf_2n_{ps2}N_D}}, \quad (14)$$

式中, V_{D2} 为栅极下方 P 型反型层与 n-漂移区形成 PN 结的接触电势差; $V_{gd ox}$ 为栅氧化层电压; n_{ps2} 为栅极下方 P 型反型层的浓度; f_2 为氧化层电荷对栅极下方 P 型反型层浓度的影响系数. 在强反型状态下 n_{ps2} 表示为

$$n_{ps2} = \frac{\sqrt{2\varepsilon_{si}kT}}{q^2L_D} \sqrt{\frac{p_{n0}}{n_{n0}}} \exp\left(\frac{qV_{GS} - V_{gd ox}}{2kT}\right). \quad (15)$$

由 (13) 式和 (15) 式可以看出, 反型层浓度 n_{ps1} 和 n_{ps2} 分别随表面电势 $(V_{GS} - V_{gox})$, $(V_{GS} - V_{gd ox})$ 增大而呈指数关系增加. 从 (10) 式—(15) 式可知, VUMOSFET 反向耐压测试下的栅源电容 $C_{GS(-)}$ 主要与器件元胞宽度 W_{Cell} 、栅极宽度 W_G 、栅极厚度 L_G 、p 体区厚度 T_p 、栅极各侧氧化层厚度 $t_{gs ox}$, t_{gox} 和 $t_{gd ox}$ 、n-漂移区掺杂浓度 N_D 以及外加端电压 V_{GS} 有关. 此时栅源电容 $C_{GS(-)}$ 是随反向端电压 V_{GS} 变化而变化的非线性寄生电容.

3.3 VDMOS 正反向栅源电容解析模型

VDMOS 反向耐压与正向耐压比值与 VUMOSFET 不同, 为了对比分析, 以下建立了 VDMOS 正反向电压下的栅源电容解析模型.

3.3.1 正向电压下 VDMOS 的栅源电容

VDMOS 在漏极悬空, 栅源间加正向电压时的栅源寄生电容 $C_{GS(+)}$ 示意图及等效电路如图 13 所示. 此时栅源电容 $C_{GS(+)}$ 由栅极与源极金属间

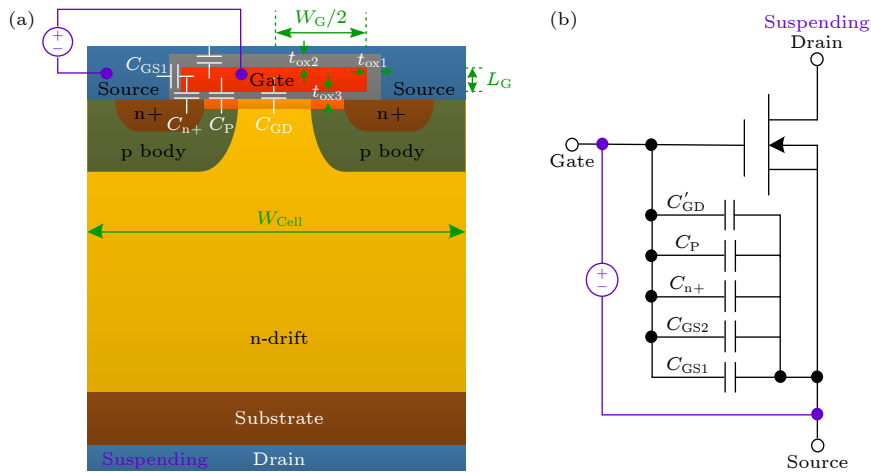


图 13 VDMOS 正向耐压测试下的栅源电容 $C_{GS(+)}$ (a) 及等效电路 (b) 示意图

Fig. 13. Schematic diagram of VDMOS gate to source capacitor $C_{GS(+)}$ (a) and equivalent circuit (b).

的氧化层电容 C_{GS1} , C_{GS2} , 以及栅极与元胞结构间的寄生电容 C_{n+} , C_p , C'_{GD} 并联组成.

为了便于理解, 将横向的栅源结构拉直转变为纵向结构, 简化后的栅极与元胞结构间的栅源电容 $C_{GS(+)}$ 组成示意图如图 14 所示, 上侧为加正压的栅电极, 下侧为加负压的源电极以及悬空的 n-漂移区. 在栅源正向电压偏置下, 栅极下方的 p 体区形成 N 型反型层; n-漂移区形成 N 型积累层. p 体区上方形成的 N 型反型层将 n+源区与 n-漂移区连通, 则 n-漂移区电位与源极电位一致, 此时原栅漏电容 C_{GD} 被转变为栅源电容, 称之为虚拟的栅漏电容 C'_{GD} . 可见, 栅极与元胞结构间的栅源寄生电容 $C_{GS(+)}$ 完全由栅氧化层电容组成.

由上述分析可知, VDMOS 正向耐压测试下的栅源电容 $C_{GS(+)}$ 由 C_{GS1} , C_{GS2} , C_{n+} , C_p 和 C'_{GD} 并联组成. 根据平行板电容器表达式 (1) 式以及多电容并联表达式 (4) 式可得 VDMOS 单位面积上的栅源电容 $C_{GS(+)}$ 表达式为

$$\begin{aligned} C_{GS(+)} &= C_{GS1} + C_{GS2} + C_{n+} + C_p + C'_{GD} \\ &= \frac{2L_G}{W_{Cell}} \cdot \left(\frac{\varepsilon_{ox}}{t_{ox1}} \right) + \frac{W_G}{W_{Cell}} \cdot \left(\frac{\varepsilon_{ox}}{t_{ox2}} \right) \\ &\quad + \frac{W_G}{W_{Cell}} \cdot \left(\frac{\varepsilon_{ox}}{t_{ox3}} \right). \end{aligned} \quad (16)$$

从 (16) 式可知, VDMOS 正向耐压测试下的栅源电容 $C_{GS(+)}$ 主要与器件元胞宽度 W_{Cell} 、栅极宽度 W_G 、栅极厚度 L_G 以及栅极各侧氧化层

厚度 t_{ox1} , t_{ox2} 和 t_{ox3} 有关. 此时栅源电容 $C_{GS(+)}$ 是一个不随正向端电压 V_{GS} 变化而变化的线性寄生电容.

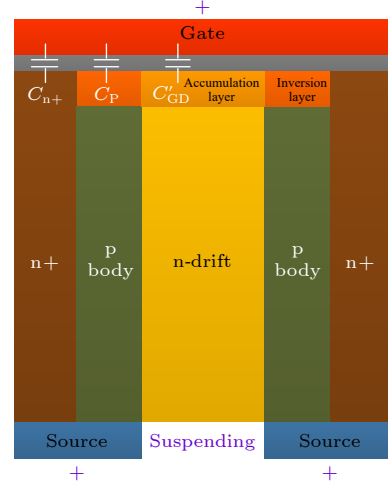


图 14 VDMOS 正向耐压测试下简化后的栅极与元胞结构间的栅源电容 $C_{GS(+)}$ 组成示意图

Fig. 14. The simplified schematic diagram of VDMOS gate to source capacitor $C_{GS(+)}$ between the gate and the cell structure under forward pass voltage testing.

3.3.2 反向电压下 VDMOS 的栅源电容

VDMOS 在漏极悬空, 栅源间加反向电压时的栅源寄生电容 $C_{GS(-)}$ 示意图及等效电路如图 15 所示. 此时栅源电容 $C_{GS(-)}$ 由栅极与源极金属间的寄生电容 C_{GS1} , C_{GS2} , 以及栅极与元胞结构间的寄生电容 C_{n+} , C_p , C'_{GD1} , C'_{GD2} 串并联组成.

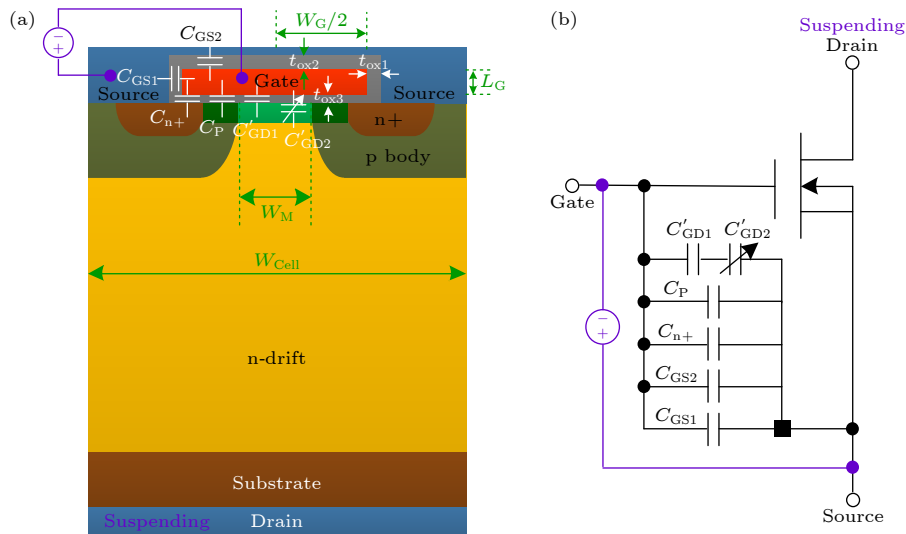


图 15 VDMOS 反向耐压测试下的栅源电容 $C_{GS(-)}$ (a) 及等效电路 (b) 示意图

Fig. 15. Schematic diagram of VDMOS gate to source capacitor $C_{GS(-)}$ (a) and equivalent circuit (b) under reverse pass voltage testing.

为了便于理解, 将横向栅源结构拉直转变为纵向结构, 简化后的栅极与元胞结构间的栅源电容 $C_{GS(-)}$ 组成示意图如图 16 所示, 上侧为加负压的栅电极, 下侧为加正压的源电极以及悬空的 n-漂移区. 在栅源反向电压偏置条件下, 栅极下方的 p 体区形成 P 型积累层; n-漂移区形成 P 型反型层.

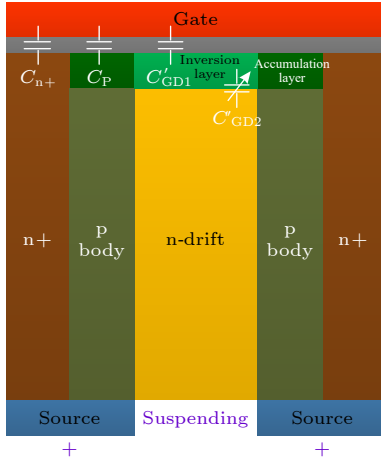


图 16 VDMOS 反向耐压测试下简化后的栅极与元胞结构间的栅源电容 $C_{GS(-)}$ 组成示意图

Fig. 16. The simplified schematic diagram of VDMOS gate to source capacitor $C_{GS(-)}$ between the gate and the cell structure under reverse pass voltage testing.

由于 n-漂移区悬空, 其与栅极下方 n-漂移区的 P 型反型层形成势垒电容. 此时原本的栅漏电容 C_{GD} 被转变为栅源电容, 称之为虚拟的栅漏电容 C'_{GD} , 其由氧化层电容 C'_{GD1} 和势垒电容 C'_{GD2} 串联组成, 是一个随反向偏压变化的非线性电容.

由上述分析可知, VDMOS 反向耐压测试下栅源电容 $C_{GS(-)}$ 由 C_{GS1} , C_{GS2} , C_{n+} , C_p , C'_{GD1} , C'_{GD2} 串并联组成. 根据平行板电容器表达式 (1) 式以及多电容串并联表达式 (2) 式、(4) 式, 可得 VDMOS 单位面积上的栅源电容 $C_{GS(-)}$ 表达式为

$$\begin{aligned} C_{GS(-)} &= C_{GS1} + C_{GS2} + C_{n+} + C_p + \frac{C'_{GD1} C'_{GD2}}{C'_{GD1} + C'_{GD2}} \\ &= \frac{2L_G}{W_{Cell}} \left(\frac{\varepsilon_{ox}}{t_{ox1}} \right) + \frac{W_G}{W_{Cell}} \left(\frac{\varepsilon_{ox}}{t_{ox2}} \right) \\ &\quad + \frac{W_G - W_M}{W_{Cell}} \left(\frac{\varepsilon_{ox}}{t_{ox3}} \right) \\ &\quad + \frac{W_M}{W_{Cell}} \left(\frac{C'_{gd1} C'_{gd2}}{C'_{gd1} + C'_{gd2}} \right). \end{aligned} \quad (17)$$

式中,

$$C'_{gd1} = \frac{\varepsilon_{ox}}{t_{ox3}}, \quad C'_{gd2} = \frac{\varepsilon_{si}}{X'_{gd}}, \quad (18)$$

式中, X'_{gd} 为 P 型反型层与 n-漂移区形成 PN 结的势垒宽度. X'_{gd} 的定义为

$$X'_{gd} = \sqrt{\frac{2\varepsilon_{si}(n_{ps} + N_D)(V_D - (V_{GS} - V_{ox3}))}{qfn_{ps}N_D}}, \quad (19)$$

式中, V_D 为 P 型反型层与 n-漂移区形成 PN 结的接触电势差; V_{GS} 为栅源电压; V_{ox3} 为栅氧化层电压; N_D 为 n-漂移区掺杂浓度; n_{ps} 为反向栅源电压下 n-漂移区表面 P 型反型层浓度; f 为氧化层电荷对 n-漂移区表面 P 型反型层浓度的影响系数.

在强反型状态下 n_{ps} 表示为

$$n_{ps} = \frac{\sqrt{2\varepsilon_{si}kT}}{q^2L_D} \sqrt{\frac{p_{n0}}{n_{n0}}} \exp\left(\frac{qV_{GS} - V_{ox3}}{2kT}\right), \quad (20)$$

式中, L_D 为电子的德拜长度. L_D 表示为

$$L_D = \sqrt{\frac{\varepsilon_{si} \cdot k \cdot T}{q^2 \cdot n_{n0}}}. \quad (21)$$

由 (20) 式可以看出, 反型层浓度 n_{ps} 随表面电势 ($V_{GS} - V_{ox3}$) 增大而呈指数关系增加. 从 (17) 式—(21) 式可知, VDMOS 反向耐压测试下的栅源电容 $C_{GS(-)}$ 主要与器件元胞宽度 W_{Cell} 、栅极宽度 W_G 、栅极厚度 L_G 、台面宽度 W_M 、栅极各侧氧化层厚度 t_{ox1} , t_{ox2} 和 t_{ox3} , n-漂移区掺杂浓度 N_D 以及外加端电压 V_{GS} 有关. 此时栅源电容 $C_{GS(-)}$ 是随反向端电压 V_{GS} 变化而变化的非线性寄生电容.

3.4 ESD 正反向耐压不对称的原因分析

SGT-MOSFET, VUMOSFET 和 VDMOS 由于在 ESD 正反向电压下, 器件表面有反型层和积累层的形成, 引起器件栅源电容 C_{GS} 发生变化, 导致正反向耐压不对称. 当栅源极之间加正向电压时, 器件的栅源电容 $C_{GS(+)}$ 仅由栅极周围的氧化层电容组成; 当栅源间加反向电压时, 器件的栅源电容 $C_{GS(-)}$ 由虚拟栅漏电容与反型层电容串联后再与栅极周围的其他氧化层电容并联而成.

ESD 正反向耐压不仅与栅源电容大小有关, 还与电荷量有关. 根据栅源电压 V_{GS} 、栅源电荷 Q_{GS} 和栅源电容 C_{GS} 的关系式 $V_{GS} = Q_{GS}/C_{GS}$ 可知, 当栅源间加反向电压时, P 型反型层的形成以及反型层与漂移区形成的 PN 结电容均会承担一定的电荷量. 与正向栅源电压相比, 反向栅源电压下, 栅源电荷 $Q_{GS(-)}$ 增加, 栅源电容 $C_{GS(-)}$ 减小,

从而导致器件 ESD 反向耐压 $V_{GS(-)}$ 大于正向耐压 $V_{GS(+)}$.

为了提升器件抗静电能力, 应使 ESD 正向耐

压接近反向耐压, 也即尽量缩小正反向电压下栅源电容的差异. 以 SGT-MOSFET 为例, 给出了 ESD 正反向电压下栅源电容的比值:

$$\frac{C_{GS(-)}}{C_{GS(+)}} = \frac{t_{gs0x2}t_{gox}(t_{sox} - t_{gs0x2} - t_{gox})(t_{gs0x1} + t_{gd0x}) + t_{gs0x1}t_{gd0x}[L_G t_{gox} + T_p t_{gs0x2} + t_{gs0x2}t_{gox}(L_G - T_p)(\epsilon_{ox}X'_{gd} + \epsilon_{si}t_{gox})]}{t_{gs0x2}t_{gox}(t_{sox} - t_{gs0x2} - t_{gox})(t_{gs0x1} + t_{gd0x}) + t_{gs0x1}t_{gd0x}L_G(t_{gs0x2} + t_{gox})}. \quad (22)$$

可以看出, 正反向电压下栅源电容的比值与栅极周围的氧化层参数有关, 而调整氧化层参数会同时改变正反向电压下的栅源电容. 为了缩小正反向电压下栅源电容的差异, 可以采用 NPN 交替掺杂的屏蔽栅多晶硅 (NPN-SG) 结构来实现, 如图 17 所示. 器件在正向栅源电压下, 不同掺杂类型的屏蔽栅多晶硅形成的 PN 结反偏, 则在栅氧化层电容上串联了一个 PN 结电容, 使 $C_{GS(+)}$ 减小; 在反向栅源电压下, 不同掺杂类型的屏蔽栅多晶硅形成的 PN 结正偏, 则 $C_{GS(-)}$ 保持不变. 并且可以通过调整多晶硅掺杂浓度, 来缩小 ESD 正反向耐压的差异, 从而提升 SGT-MOSFET 的 ESD 防护能力.

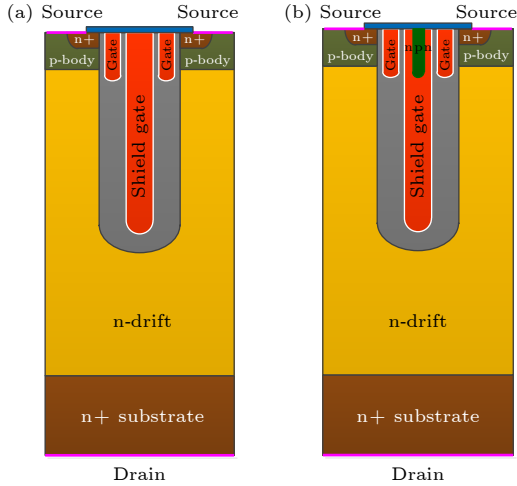


图 17 SGT-MOSFET 改进结构 (a) 传统结构; (b) NPN-SG 结构

Fig. 17. The improved structure of SGT-MOSFET: (a) Traditional structures; (b) NPN-SG structures.

图 18 为 NPN-SG 改进结构在 HBM 下的放电波形. 当栅源间施加正向电压时, 峰值电流 I_p 为 1.29 A, 则其正向耐压为 1935 V; 当栅源间施加反向电压时, 峰值电流 I_p 为 1.31 A, 则其反向耐压为 1965 V, 正反向耐压比值为 1.01. 因此, 采用 NPN-SG 改进结构可以有效提升 SGT-MOSFET 的抗静电能力.

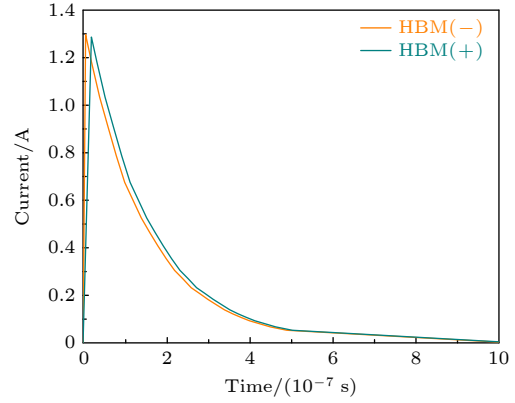


图 18 NPN-SG 结构在 HBM 下的放电波形

Fig. 18. The discharge waveform of NPN-SG structures under HBM.

4 ESD 正反向耐压比值不同的原因分析

VDMOS, VUMOSFET, SGT-MOSFET ESD 反向耐压与正向耐压比值不同, 这与器件结构差异引起的反向电压下栅源电容 $C_{GS(-)}$ 中反型层电容的变化有关. 相比较而言, 由于 VUMOSFET 沟槽栅下方的反型层面积最大, VDMOS 次之, 而 SGT-MOSFET 只存在控制栅两侧极小面积的反型层, 因此, VUMOSFET 反向耐压与正向耐压比值最大, VDMOS 次之, SGT-MOSFET 最小, 这也与图 2 中的实验结果相一致.

VDMOS ESD 仿真波形如图 19 所示, 相应的测试条件为: $R_{HBM1} = 1 \text{ M}\Omega$, $R_{HBM2} = 1500 \text{ }\Omega$, $R_{HBM3} = 500 \text{ }\Omega$, $C_{HBM} = 100 \text{ pF}$. 由图 19 可以看出, 当栅源间施加正向电压时, 放电波形的上升时间 t_r 为 40 ns, 下降时间 t_f 为 130 ns, 总放电时间 t 为 170 ns, 峰值电流 I_p 为 0.61 A, 则其正向耐压为 915 V; 当栅源间施加反向电压时, 放电波形的上升时间 t_r 为 8 ns, 下降时间 t_f 为 120 ns, 总放电时间 t 为 128 ns, 峰值电流 I_p 为 1.2 A, 则其反向耐压为 1800 V. 可见, 仿真的 VDMOS ESD 正反

向耐压相差 885 V, 反向耐压与正向耐压比值为 1.97, 小于实验测试的均值 2.35.

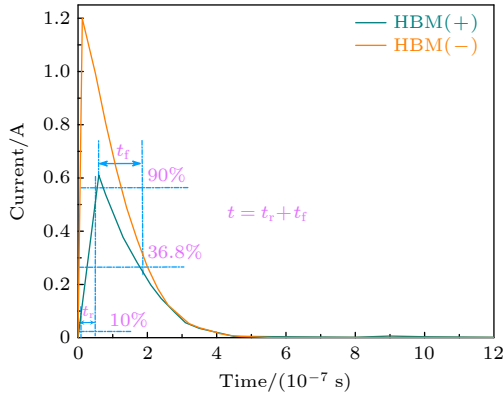


图 19 VDMOS 在 HBM 模型下的放电波形 ($R_{\text{HBM1}} = 1 \text{ M}\Omega$, $R_{\text{HBM2}} = 1500 \Omega$, $R_{\text{HBM3}} = 500 \Omega$, $C_{\text{HBM}} = 100 \text{ pF}$)

Fig. 19. The discharge waveform of VDMOS under the HBM model ($R_{\text{HBM1}} = 1 \text{ M}\Omega$, $R_{\text{HBM2}} = 1500 \Omega$, $R_{\text{HBM3}} = 500 \Omega$, $C_{\text{HBM}} = 100 \text{ pF}$).

同样地, 图 3 中仿真的 SGT-MOSFET ESD 反向耐压与正向耐压比值为 1.22, 小于实验测试的均值 1.87. 这是因为仿真时只添加了固定值的 Si-SiO₂ 界面陷阱电荷 (约为 $2 \times 10^{11} \text{ cm}^{-2}$), 而实际氧化层中还存在固定电荷 (约为 10^{11} cm^{-2})、可动电荷 (为 $10^{12} \sim 10^{15} \text{ cm}^{-2}$)、陷阱电荷 (约为 10^{18} cm^{-2}) 等. 这些氧化层电荷在正反向栅源电压下, 均影响着反型层和积累层的形成, 从而影响 ESD 测试中正反向耐压的比值.

5 结 论

不同功率 MOSFET 结构 ESD 正反向耐压不对称现象与反型层引起的栅源电容变化有关. 当栅源之间加正向电压时, 器件栅源电容 C_{GS} 由栅极周围的氧化层电容并联组成; 当加反向电压时, 栅源电容 C_{GS} 由虚拟栅漏电容 C'_{GD} 与反型层电容串联后再与栅极周围的其他氧化层电容并联而成. 由此导致反向电压下的栅源电容 C_{GS} 减小, 使得器

件反向耐压大于正向耐压. 而不同器件 ESD 反向耐压与正向耐压比值的不同, 与器件结构差异引起的反向电压下栅源电容 C_{GS} 中反型层电容的变化有关.

参考文献

- [1] Jung D Y, Park K S, Kim S I, Kwon S, Cho D H, Jang H G, Lim J W 2023 *ETRI J.* **45** 543
- [2] Mai X C, Chen S L, Chen H W, Lee Y M 2023 *Electronics* **12** 2803
- [3] Yan Y, Lan W, Chen Y, Yang D, Zhou Y, Zhu Z, Liou J J 2022 *Adv. Electron. Mater.* **8** 2100886
- [4] Anderson N T, Lockledge S P 2022 *ASM International* Pasadena, USA, October 30–November 3, 2022 pp329–332
- [5] Smallwood J M 2023 *J. Electrostat.* **125** 103817
- [6] Ker M D, Pommerenke D 2022 *IEEE Trans. on Electromagn. Compat.* **64** 1783
- [7] Yang L, Yang C, Tu Y, Wang X, Wang Q 2021 *IEEE Access* **9** 33512
- [8] Ji Q, Luo A, Liu Q, Wan B 2023 *International Conference on Optoelectronic Information and Functional Materials* **2023** 12781
- [9] Gimenez S P, Galembeck E H S 2023 *ECS Trans.* **111** 161
- [10] Ajay 2021 *Silicon* **13** 1325
- [11] Hong S Z, Chen S L, Chen H W, Lee Y M 2021 *IEEE Electron Device Lett.* **42** 1512
- [12] Lai J Y, Chen S L, Liu Z W, Chen H W, Chen H H, Lee Y M 2022 *Sens. Mater.* **34** 1835
- [13] Zhu Z, Yang Z, Fan X, W Fan 2021 *Crystals* **11** 128
- [14] Luo X, Xu J, Xu X, Luo H, Dai Z 2022 *2022 International EOS/ESD Symposium on Design and System* Chengdu China, November 9–11, 2022 p2023-03-22
- [15] Arosio M, Boffino C, Morini S, Dirk Priefert, Oezguer Albayrak, Viktor Boguszewicz, Andrea Baschirotto 2021 *IEEE Trans Electron. Devices* **68** 2848
- [16] Su L, Wang C L, Yang W H, Liang X G, Zhang C 2023 *Acta Phys. Sin.* **72** 148501 (in Chinese) [苏乐, 王彩琳, 杨武华, 梁晓刚, 张超 2023 *物理学报* **72** 148501]
- [17] Xi J, Wang J, Lu J, Chen J, Xin Y, Li Z, Tu C, Shen Z J 2018 *Microelectron. Reliab.* **88-90** 593
- [18] Su L, Wang C L, Yang W H, Zhang C 2023 *Microelectron. Reliab.* **143** 114950
- [19] Tian Y, Yang Z, Xu Z, Liu S, Sun W F, Shi L, Zhu Y, Ye P, Zhou J 2018 *Superlattices Microstruct.* **116** 151
- [20] Su L, Wang C L, Yang W H, An J 2022 *Microelectron. Reliab.* **139** 114822
- [21] Sun J, Zheng Z, Zhang L, Chen K J 2022 *2022 IEEE 34th International Symposium on Power Semiconductor Devices and ICS* Vancouver, Canada, May 22–25, 2022 pp73–76

Establishment of analytical model for electrostatic discharge gate-to-source capacitance of power metal-oxide-semiconductor field-effect transistor^{*}

Su Le²⁾ Wang Cai-Lin^{1)†} Tan Zai-Chao²⁾ Luo Yin²⁾
 Yang Wu-Hua¹⁾ Zhang Chao¹⁾

1) (*Department of Electronic and Engineering, Xi'an University of Technology, Xi'an 710048, China*)

2) (*Suzhou Convert Semiconductor Co., Zhangjiagang 215600, China*)

(Received 20 January 2024; revised manuscript received 7 March 2024)

Abstract

In the actual human body model (HBM) test, it is found that the electrostatic discharge (ESD) test results of various power metal-oxide-semiconductor field-effect transistor (MOSFET) devices show asymmetry between forward withstand voltage and reverse withstand voltage, while the ESD process does not distinguish between positive direction and negative direction. Large differences between forward and reverse withstand voltages are unacceptable for power MOSFETs or as ESD protection devices. The problem of its causing device failure is particularly pronounced. In this work, by establishing the analytical model of gate-to-source capacitance of SGT-MOSFET, VUMOSFET and VDMOS under the forward and reverse voltages, we comparatively analyze the reasons for the asymmetry of the forward and reverse withstand voltages and their different ratios of the three kinds of power MOSFETs, which provides a theoretical basis for testing the device's ESD and the analyzing their reliability. It is found that the ESD forward and reverse withstand voltage asymmetry phenomena of different power MOSFET structures are related to the variation of gate-to-source capacitance, caused by the reverse-type layer. When a forward voltage is applied across the gate and source, the device gate-to-source capacitance consists of the oxide layer capacitance around the gate in parallel; when a reverse voltage is applied, the gate-to-source capacitance consists of the virtual gate-to-drain capacitance in series with the inverse layer capacitance and then in parallel with the other oxide layer capacitance around the gate. This results in a decrease of the gate-to-source capacitance at the reverse voltage, making the device reverse withstand voltage greater than the forward withstand voltage. The difference in the ratio of ESD reverse withstand voltage to forward withstand voltage among different devices is related to the change of the capacitance of the inverse layer in the gate-to-source capacitor under reverse voltage caused by the difference in device structure.

Keywords: power MOSFET, electrostatic discharge, gate to source capacitance, analytical modeling

PACS: 85.30.Mn, 85.30.Pq, 85.30.Tv

DOI: [10.7498/aps.73.20240144](https://doi.org/10.7498/aps.73.20240144)

^{*} Project supported by Shaanxi Province "Two Chain" Integration Key Project of China (Grant No. 2021LLRH-02) and the Natural Science Basic Research Program of Science and Technology Department of Shaanxi Province, China (Grant No. 2023-JC-QN-0764).

[†] Corresponding author. E-mail: wangcailin8511@xaut.edu.cn

功率金属-氧化物半导体场效应晶体管静电放电栅源电容解析模型的建立

苏乐 王彩琳 谭在超 罗寅 杨武华 张超

Establishment of analytical model for electrostatic discharge gate-to-source capacitance of power metal-oxide-semiconductor field-effect transistor

Su Le Wang Cai-Lin Tan Zai-Chao Luo Yin Yang Wu-Hua Zhang Chao

引用信息 Citation: *Acta Physica Sinica*, 73, 118501 (2024) DOI: 10.7498/aps.73.20240144

在线阅读 View online: <https://doi.org/10.7498/aps.73.20240144>

当期内容 View table of contents: <http://wulixb.iphy.ac.cn>

您可能感兴趣的其他文章

Articles you may be interested in

短沟道金属-氧化物半导体场效应晶体管的散粒噪声模型

Shot noise model of the short channel metal-oxide-semiconductor field-effect transistor

物理学报. 2020, 69(17): 177102 <https://doi.org/10.7498/aps.69.20200497>

纳米尺度金属-氧化物半导体场效应晶体管沟道热噪声模型

A channel thermal noise model of nanoscaled metal-oxide-semiconductor field-effect transistor

物理学报. 2020, 69(5): 057101 <https://doi.org/10.7498/aps.69.20191512>

10 nm金属氧化物半导体场效应晶体管中的热噪声特性分析

Analysis of thermal noise characteristics in 10 nm metal oxide semiconductor field effect transistor

物理学报. 2023, 72(22): 227303 <https://doi.org/10.7498/aps.72.20230661>

U型槽刻蚀工艺对GaN垂直沟槽型金属-氧化物-半导体场效应晶体管电学特性的影响

Effect of U-shape trench etching process on electrical properties of GaN vertical trench metal-oxide-semiconductor field-effect transistor

物理学报. 2020, 69(9): 098501 <https://doi.org/10.7498/aps.69.20191850>

纳米线环栅隧穿场效应晶体管的电容模型

Capacitance model for nanowire gate-all-around tunneling field-effect-transistors

物理学报. 2021, 70(21): 218501 <https://doi.org/10.7498/aps.70.20211128>

一个圆柱形双栅场效应晶体管的物理模型

A physical model of cylindrical surrounding double-gate metal-oxide-semiconductor field-effect transistor

物理学报. 2021, 70(15): 157302 <https://doi.org/10.7498/aps.70.20202156>