

石墨烯场效应晶体管在不同偏置电压条件下的电应力可靠性*

王颂文¹⁾ 郭红霞^{3)†} 马腾²⁾ 雷志锋²⁾ 马武英³⁾ 钟向丽¹⁾
张鸿²⁾ 卢小杰¹⁾ 李济芳¹⁾ 方俊霖²⁾ 曾天祥¹⁾

1) (湘潭大学材料科学与工程学院, 湘潭 411105)

2) (工业和信息化部电子第五研究所, 电子元器件可靠性物理及其应用技术重点实验室, 广州 511300)

3) (西北核技术研究所, 西安 710024)

(2024年9月27日收到; 2024年10月26日收到修改稿)

本文以顶栅结构的石墨烯场效应晶体管 (graphene field effect transistors, GFET) 为研究对象, 开展了不同偏置电压条件下的电应力可靠性研究. 实验结果表明, 在不同偏置电压条件的电应力作用下, GFET 的载流子迁移率随着电应力时间的延长均不断退化, 而不同偏置电压条件的电应力对狄拉克电压 (V_{Dirac}) 的漂移方向和退化程度的影响不同; 栅极电应力与漏极电应力造成器件的 V_{Dirac} 漂移方向相反, 且栅极电应力要比栅极和漏极电压同时施加的电应力导致 GFET 的 V_{Dirac} 退化程度更加明显. 分析原因表明, 不同偏置电压条件下的电应力实验在器件中产生的电场方向不同, 从而会影响载流子浓度和移动方向. 诱导沟道中的电子和空穴隧穿进入氧化层, 被氧化层中缺陷和石墨烯/氧化层界面处的陷阱俘获, 形成氧化物陷阱电荷和界面陷阱电荷, 从而导致 GFET 的载流子迁移率降低. 而电应力产生陷阱电荷的带电类型差异是造成 V_{Dirac} 漂移方向不同的主要原因. 论文结合 TCAD 仿真, 进一步揭示了电应力感生陷阱电荷对 GFET 的 V_{Dirac} 产生影响的仿真模型. 相关研究为石墨烯器件的实际应用提供了数据和理论支撑.

关键词: 石墨烯场效应晶体管, 电应力, 狄拉克电压, 载流子迁移率

PACS: 85.30.Tv, 81.05.U-, 94.20.Ss, 72.20.Jv

DOI: 10.7498/aps.73.20241365

CSTR: 32037.14.aps.73.20241365

1 引言

石墨烯自发明以来, 以其高迁移率、高导热性和高机械强度等优异的性能而受到高度关注^[1-3]. 并且石墨烯场效应晶体管 (graphene field effect transistors, GFET) 因其优异的性能, 在器件和电路中都具有巨大的应用潜力. 所以一些关于 GFET 的理论问题和实际问题一直被研究^[4,5], 其中 GFET 的可靠性问题是一个研究重点. 石墨烯材料是单层

原子层, 具有非常高的比表面积, 并且电荷都在其表面, 非常容易受到外界环境的影响^[6,7]. 最显著的表现就是狄拉克电压 (V_{Dirac}) 的移动, V_{Dirac} 代表了石墨烯的导带和价带相交的狄拉克点的电压值, 当 $V_{\text{G}} > V_{\text{Dirac}}$ 时, 石墨烯中的载流子为电子, 当 $V_{\text{G}} < V_{\text{Dirac}}$ 时, 石墨烯中的载流子为空穴. 因此 V_{Dirac} 的位置是 GFET 非常重要的信息之一, 所以哪些因素会影响 GFET 的 V_{Dirac} 的移动一直是人们非常关注的问题^[8].

近年来, 研究人员对 GFET 的可靠性进行实

* 国家自然科学基金 (批准号: 12275230, 12027813) 资助的课题.

† 通信作者. E-mail: guohongxia@nint.ac.cn

验研究. 2014年, Feng等^[9]研究了温度和栅极扫描范围对背栅结构 GFET 的电学特性的影响, 发现, 石墨烯的狄拉克电压 V_{Dirac} 随着温度的上升逐渐由正向 0 V 移动. 并且随着温度和栅极电压扫描范围的增大, GFET 的回滞曲线和 V_{Dirac} 的位置都出现了滞后的现象. 他们把原因归结于温度和栅极电压的共同影响, 背栅结构的 GFET 中界面陷阱电荷的产生, 以及石墨烯/氧化层表面的氧化还原反应和氧化层中离子位移产生的结果. 2017年, Zhang等^[10]研究了埋栅结构的 GFET 转移特性对栅压的依赖, 实验结果表明, 在测试 GFET 的转移特性曲线时, 栅压连续的正向或负向扫描会增大狄拉克点电压值. 并且转移特性曲线测试前, 栅极电压保持的时间增长会使得转移特性曲线测试中的狄拉克电压逐渐向正方向漂移. 指出狄拉克电压的大小与栅极电压的大小和保持的时间有关, 并把原因归结于电子注入衬底的陷阱中所造成的.

综上所述, GFET 可靠性研究对于顶栅结构的 GFET 器件在不同偏置电压条件下的电应力实验研究不足. 因此本文针对顶栅结构的 GFET 器件在不同偏置电压条件下进行电应力实验, 研究 GFET 的电学性能的退化规律. 在此基础上结合 TCAD 数值模拟研究其损伤机制.

2 实验描述

研究对象是顶栅结构的石墨烯场效应晶体管. 器件结构如图 1 所示, GFET 的石墨烯尺寸为 $100\ \mu\text{m} \times 100\ \mu\text{m}$, 栅极氧化层是 20 nm 厚的 Al_2O_3 , 衬底是由 P 型 Si 和 90 nm 厚的 SiO_2 构成. 单层石墨烯采用化学气相沉积 (chemical vapor deposition, CVD) 和聚合物辅助转印进行生长、转移.

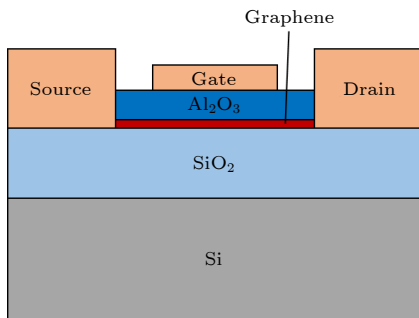


图 1 器件结构示意图

Fig. 1. Device structure diagram.

电应力实验及电参数测试采用 B1500 半导体分析仪进行. 对 GFET 进行多次转移特性曲线测试. 转移特性曲线测试的条件为: 栅极电压 V_G 扫描范围为 -5 — $+5$ V, 源极电压 V_S 接地, 漏极电压 V_D 则从 20 mV 逐渐增大. 如图 2 所示, 随着漏极电压的逐渐增大, GFET 的 V_{Dirac} 逐渐向正方向漂移, 这表明空穴掺杂逐渐增强, P 型掺杂逐渐增强, N 型掺杂逐渐减弱^[11,12]. GFET 的电流逐渐增大, 因为逐渐增大的电压产生越来越强的电场, 增强的电场给电子足够大的能量, 使得电子能挣脱石墨烯的束缚, 逃逸出石墨烯, 导致器件中的空穴掺杂增强, 载流子浓度增大, 电流增大^[13,14]. 而增大的电流会导致石墨烯温度上升, 晶格的振动越来越剧烈, 也会导致逃逸的电子数量增多^[15,16], 使得石墨烯的空穴掺杂增强, 载流子浓度增加, 电流增大.

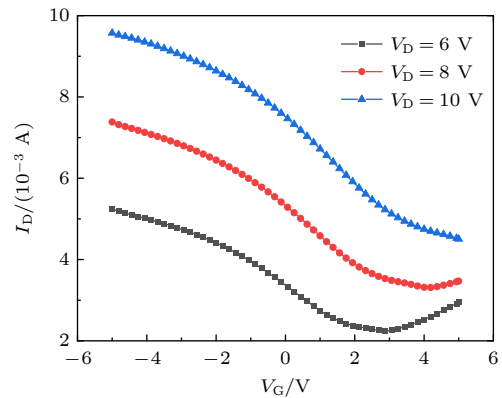


图 2 GFET 的转移特性曲线在不同漏极电压下的变化趋势

Fig. 2. The variations of the transfer characteristic curve of GFET under different drain voltages.

电应力实验的偏置电压条件共分为 3 组, 分别为栅极电应力 ($V_G = -10$ V, $V_D = 0$ V, $V_S = 0$ V)、漏极电应力 ($V_G = 0$ V, $V_D = -10$ V, $V_S = 0$ V)、栅极与漏极电压同时施加的电应力 ($V_G = -10$ V, $V_D = -10$ V, $V_S = 0$ V). 电应力实验总共持续时长为 1000 s, 电应力期间包含 5 个测试点. 当电应力累积时间达到测试点时, 半导体分析仪就会自动在设置好的转移特性曲线测试条件下测试一次 GFET 的转移特性曲线, 并保存数据. 电应力实验测试条件如表 1 所示.

3 实验的结果与分析

图 3—图 5 分别为 GFET 在 3 种不同偏置电压条件下, 器件的转移特性曲线随电应力累积时间

表 1 电应力实验测试条件
Table 1. Electrical stress test conditions.

偏置电压条件	电应力测试时间点	转移特性曲线测试条件
栅极电应力 ($V_G = -10\text{ V}$, $V_D = 0\text{ V}$, $V_S = 0\text{ V}$)		
漏极电应力 ($V_G = 0\text{ V}$, $V_D = -10\text{ V}$, $V_S = 0\text{ V}$)	0 s, 100 s, 300 s, 500 s, 1000 s	V_G 从-5 V扫到5 V, V_D 为20 mV, V_S 接地
栅极电压与漏极电压同时施加的电应力 ($V_D = -10\text{ V}$, $V_D = -10\text{ V}$, $V_S = 0\text{ V}$)		

到 1000 s 的变化趋势. 如图 3 所示, GFET 在栅极电应力 ($V_G = -10\text{ V}$, $V_D = 0\text{ V}$, $V_S = 0\text{ V}$) 作用下, 随着电应力时间的逐渐累积, 器件的转移特性曲线逐渐向负方向移动. V_{Dirac} 向负方向漂移, 电应力测试前为-2 V, 电应力测试后为-4.46 V, 变化量为 2.46 V.

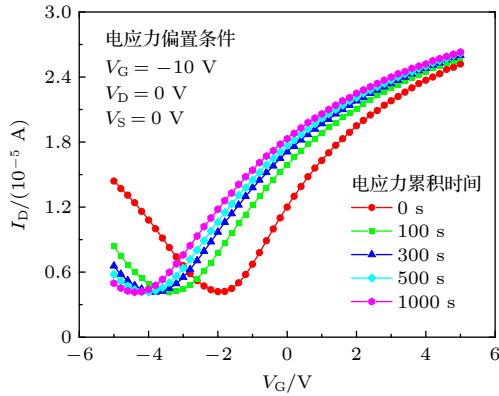


图 3 栅极电应力下, GFET 的转移特性曲线随电应力累积时间的变化趋势

Fig. 3. Variations of GFET transfer characteristic curve with the accumulation time of electrical stress under gate voltage bias condition.

如图 4 所示, GFET 在漏极电应力 ($V_G = 0\text{ V}$, $V_D = -10\text{ V}$, $V_S = 0\text{ V}$) 作用下, 转移特性曲线逐渐向正方向移动. V_{Dirac} 向正方向漂移, 电应力测试前为-2.48 V, 电应力测试后为-1.94 V, 变化量为 0.54 V. GFET 器件 V_{Dirac} 的漂移方向与栅极电应力条件的漂移方向相反. 分析原因可能是不同电压偏置条件下的电应力产生陷阱电荷的带电类型差异所造成的结果.

如图 5 所示, GFET 在栅极和漏极电压同时施加的电应力 ($V_G = -10\text{ V}$, $V_D = -10\text{ V}$, $V_S = 0\text{ V}$) 作用下, 转移特性曲线逐渐向负方向移动. V_{Dirac} 向负方向漂移, 电应力测试前为-2.5 V, 电应力测试后为-3.68 V, 变化量为 1.18 V, 对比发现变化量明显要小于栅极电应力条件下的变化量.

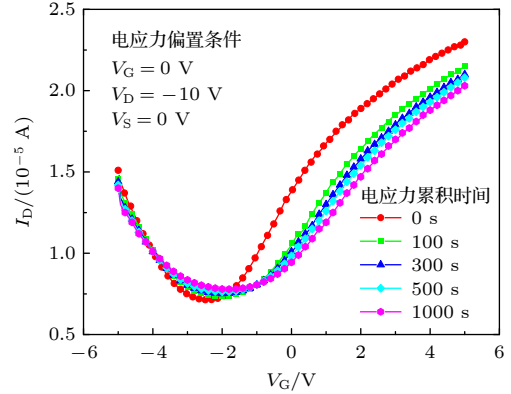


图 4 漏极电应力下, GFET 的转移特性曲线随电应力累积时间的变化趋势

Fig. 4. Variations of GFET transfer characteristic curves with the accumulation time of electrical stress under drain voltage bias conditions.

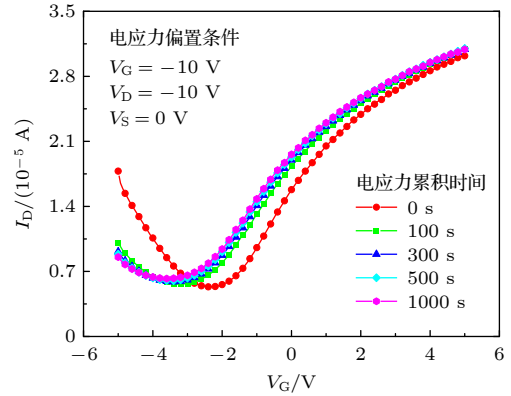


图 5 栅极和漏极电压同时施加的电应力下, GFET 转移特性曲线随电应力累积时间的变化趋势

Fig. 5. Variations of GFET transfer characteristic curve with the accumulation time of electrical stress under the condition of electrical stress applied by both the gate and drain voltages.

图 6 给出了 GFET 的 V_{Dirac} 在两种不同的偏置电压条件下 (栅极电应力、栅极和漏极电压同时施加的电应力) 随电应力累积时间的变化趋势. 对比 GFET 在两种不同的偏置电压条件下 V_{Dirac} 的变化量, 发现栅极电应力诱导器件 V_{Dirac} 的退化趋势更加明显. 这可能是因为栅极和漏极电压同时

施加的电应力实验中产生的两种带电类型的陷阱电荷, 引起 V_{Dirac} 的漂移, 产生相互抵消的作用, 导致 V_{Dirac} 退化程度减小.

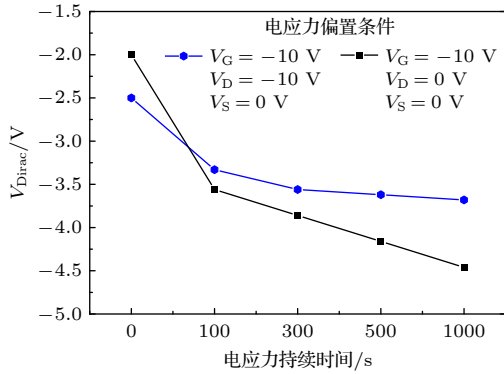


图 6 V_{Dirac} 随着电应力累积时间的变化趋势

Fig. 6. The variations of V_{Dirac} with the accumulation time of electrical stress.

计算 GFET 在不同偏置电压条件下的电应力实验中, 每个时间测试点对应的载流子迁移率. GFET 的跨导 G_m 与载流子迁移率的关系如 (1) 式所示 [17,18]:

$$\mu = \frac{L}{W} \cdot \frac{G_m}{C_G \cdot V_D}, \quad (1)$$

其中, μ 为载流子迁移率, L/W 为长宽比, C_G 为栅介质的电容, V_D 为漏极电压, 跨导 G_m 为转移特性曲线的斜率. 详细计算参数 L/W 长宽比为 1, C_G 栅介质电容为 $3.54 \times 10^{-7} \text{ F/cm}^2$, V_D 漏极电压为 20 mV. 如图 7 所示, 不同偏置电压条件下的电应力实验中, GFET 的空穴迁移率和电子迁移率均随着电应力累积时间的延长而逐渐降低. 载流子迁移率与氧化物陷阱电荷之间的关系为 [19]:

$$\frac{1}{\mu} = \frac{1}{\mu_c (N_{\text{ot}}, Q_{\text{gc}})} + \frac{1}{\mu_{\text{SR}}} (E_{\text{eff}}), \quad (2)$$

$$\mu_c^{-1} = \alpha (N_{\text{ot}}/N_0) \left(\frac{1}{1 + Q_{\text{gc}}/Q_0} \right)^\beta, \quad (3)$$

其中, μ_c 为受库仑散射作用的载流子迁移率, N_{ot} 为氧化物陷阱电荷, μ_{SR} 为受短程散射影响的载流子迁移率, Q_{gc} 为电荷密度, E_{eff} 为有效电场强度, α , β , N_0 , Q_0 为拟合参数. 由 (2) 式和 (3) 式可以得出, 载流子迁移率的退化是由于在电应力实验中产生了氧化物陷阱电荷, 增加了散射位点, 导致库仑散射作用增强, 载流子迁移率降低 [17-20].

载流子迁移率与界面陷阱电荷间的关系为 [21,22]:

$$\mu = \frac{\mu_0}{1 + \alpha \Delta N_{\text{it}}}, \quad (4)$$

其中 μ 为实验后的载流子迁移率, ΔN_{it} 为新产生的界面陷阱电荷, μ_0 为实验前的载流子迁移率. 由 (4) 式得出, 新产生的界面陷阱电荷导致载流子迁移率的降低.

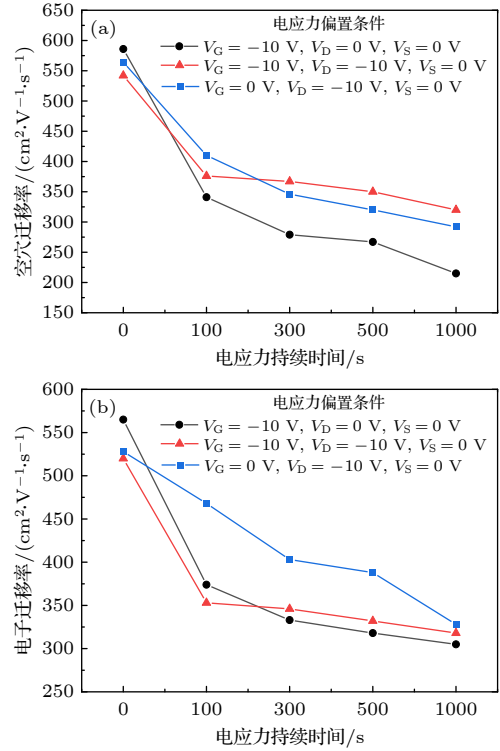


图 7 载流子迁移率随电应力累积时间的变化趋势 (a) 空穴迁移率随电应力累积时间的变化趋势; (b) 电子迁移率随电应力累积时间的变化趋势

Fig. 7. The variations of carrier mobility with the accumulation time of electrical stress: (a) The variations of hole mobility with the accumulation time of electrical stress; (b) the variations of electron mobility with the accumulation time of electrical stress.

GFET 在不同偏置电压条件下的电应力实验中, 产生了氧化物陷阱电荷和界面陷阱电荷, 增加了散射位点, 其库仑散射增强, 导致 GFET 的电子迁移率和空穴迁移率均随着电应力累积时间的延长而逐渐降低.

4 损伤机理与模拟仿真

对于栅极电应力, 栅极电压为负, 电场方向垂直于沟道并指向栅极, 使得石墨烯沟道中的空穴浓度增大, 同时在负栅压的作用下, 空穴会隧穿经过石墨烯/栅极氧化层的界面并进入栅极氧化层中,

被材料里的缺陷俘获, 形成带正电荷的氧化物陷阱电荷. 并且沟道中的空穴受电场的影响会累积在石墨烯/栅极氧化层的界面处, 导致界面陷阱更容易俘获空穴, 形成带正电荷的界面陷阱电荷. 产生的陷阱电荷的带电类型一致, 对器件产生叠加效果, 导致 GFET 的 V_{Dirac} 向负方向漂移量更大, 退化程度更加明显 [23-25].

对于漏极电应力, 漏极一端电压为负, 存在由沟道指向漏极的电场方向, 使得石墨烯沟道中的电子浓度增大, 导致石墨烯/氧化层界面处的陷阱更容易俘获电子 [10,24], 形成带负电荷的界面陷阱电荷, 导致 GFET 的 V_{Dirac} 向正方向移动. 栅极电应力与漏极电应力产生的陷阱电荷带电类型不同, 因此造成 GFET 的 V_{Dirac} 漂移方向相反.

对于栅极和漏极电压同时施加的电应力, 在器件中既有垂直于沟道并指向栅极的电场, 也存在由沟道指向漏极的电场. 使得器件沟道中的空穴浓度和电子浓度均有所增大, 同时在电场的作用下, 空穴会隧穿进入栅极氧化层中形成带正电荷的氧化物陷阱电荷, 在石墨烯/栅极氧化层的界面形成带正电荷的界面陷阱电荷. 电子更容易被石墨烯/氧化层界面处的陷阱俘获, 形成带负电荷的界面陷阱电荷. 因此产生的陷阱电荷所带电类型不同, 对 GFET 的 V_{Dirac} 的漂移具有相互抵消的效果. 所以在栅极和漏极电压同时施加的电应力作用下, GFET 的 V_{Dirac} 的漂移量小于栅极电应力条件下的漂移量, 退化程度减小.

为了更好地解释陷阱电荷带电类型的差异会对顶栅 GFET 器件 V_{Dirac} 的漂移方向和退化程度产生不同的影响. 结合 TCAD 仿真工具研究陷阱电荷对 GFET 的影响, 在 TCAD 仿真工具中建立顶栅 GFET 器件的二维结构模型, 石墨烯沟道长度为 $100\ \mu\text{m}$, 石墨烯材料则是通过修改多晶硅的材料参数完成代替 [26,27]. 仿真过程中, 在 GFET 的石墨烯/氧化层界面处加入带正电荷的固定陷阱电荷和带负电荷的固定陷阱电荷, 用来模拟在不同偏置电压条件下, 电应力产生陷阱电荷带电类型的差异对 GFET 的 V_{Dirac} 退化影响.

图 8 为 TCAD 仿真结果, 给出了带不同电性的固定陷阱电荷对 GFET 的转移特性曲线的影响. 如图 8(a) 所示, 随着带正电荷的固定陷阱电荷浓度的升高, 器件的转移特性曲线逐渐向负向移动, V_{Dirac} 也逐渐向负方向漂移. 如图 8(b) 所示, 随着

带负电荷的固定陷阱电荷浓度的升高, 器件的转移特性曲线逐渐向正方向移动, V_{Dirac} 也逐渐向正方向漂移. 对比 TCAD 仿真结果, 证明陷阱电荷带电类型的差异是导致 GFET 的 V_{Dirac} 向不同的方向漂移的原因. 为了验证带不同电性的陷阱电荷会

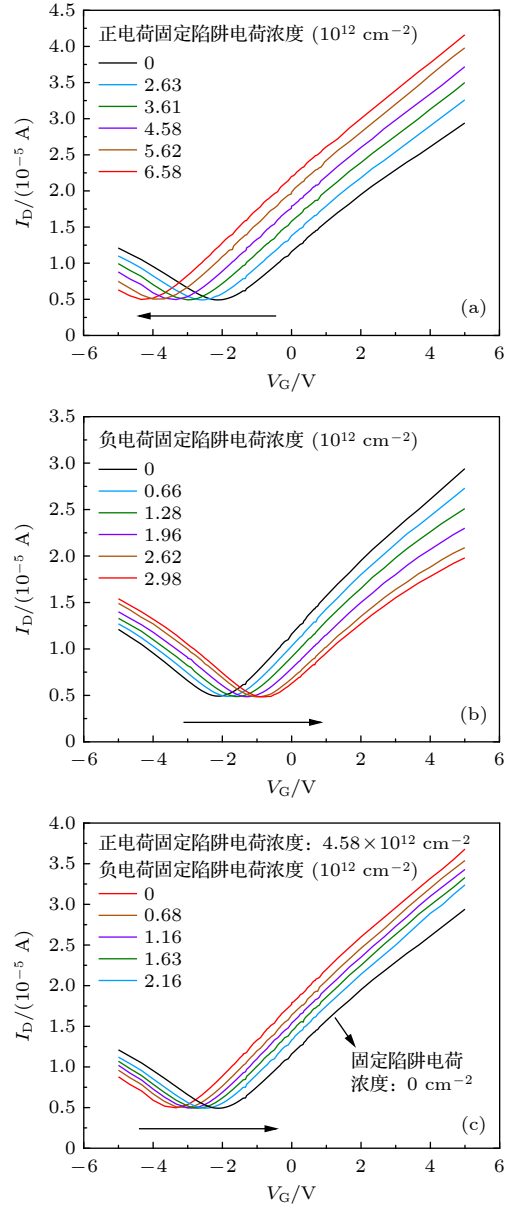


图 8 TCAD 仿真结果 (a) 带正电荷的固定陷阱电荷对 GFET 转移特性曲线的影响; (b) 带负电荷的固定陷阱电荷对 GFET 转移特性曲线的影响; (c) 带正电荷和带负电荷的固定陷阱电荷同时对 GFET 转移特性曲线的影响

Fig. 8. TCAD simulation results: (a) Effect of a positively charged fixed trap charge on the transfer characteristic curve of GFET device; (b) effect of negatively charged fixed trap charge on the transfer characteristic curve of GFET device; (c) the effect of both positively charged and negatively charged fixed trap charges on the transfer characteristic curve of GFET devices.

对 GFET 的 V_{Dirac} 漂移量有抵消的效果, 图 8(c) 中最右边的黑色转移特性曲线未添加固定陷阱电荷, 其余的转移特性曲线添加了相同浓度的带正电荷的固定陷阱电荷. 随着带负电荷的固定陷阱电荷浓度从 0 cm^{-2} 逐渐增大, 图中的转移特性曲线逐渐向正方向移动, 逐渐靠近未添加固定陷阱电荷的转移特性曲线. 通过 TCAD 仿真结果发现, 在带正电荷的固定陷阱电荷和带负电荷的固定陷阱电荷共同作用下, GFET 的 V_{Dirac} 漂移量逐渐减小. 证明带不同电性的陷阱电荷对 GFET 的 V_{Dirac} 漂移量会产生抵消作用.

5 结 论

本文研究了顶栅结构的 GFET 器件在不同的电应力条件作用下, 器件电学性能的退化规律. 发现 GFET 的载流子迁移率随着电应力累积时间的延长不断退化, 但不同偏置电压条件的电应力作用下, GFET 的 V_{Dirac} 的漂移方向和退化程度不同. 分析认为, 不同偏置电压条件的电应力作用会在 GFET 中产生不同方向的电场, 影响沟道中载流子浓度和分布. 在电场方向的作用下, 空穴和电子隧穿进入氧化层, 被材料中的缺陷俘获, 形成氧化物陷阱电荷, 并且还会促使石墨烯/氧化层界面处的陷阱俘获空穴和电子, 形成界面陷阱电荷, 这是造成 GFET 的载流子迁移率和 V_{Dirac} 退化的主要原因. 同时产生的陷阱电荷所带电类型的差异, 是导致 GFET 的 V_{Dirac} 的漂移方向和退化程度不同的主要原因. 结合 TCAD 仿真模拟表明, 带正电荷的陷阱电荷导致 GFET 的 V_{Dirac} 向负方向漂移, 而带负电荷的陷阱电荷会导致 GFET 的 V_{Dirac} 向正方向漂移, 并且当两种陷阱电荷同时存在时, 会对 GFET 的 V_{Dirac} 漂移量产生抵消作用, 证明陷阱电荷的带电类型差异对 GFET 的 V_{Dirac} 产生不同的退化影响, 为 GFET 在实际应用中提供参考和帮助.

参考文献

[1] Novoselov K S, Geim A K, Morozov S V, Jiang D, Zhang Y, Dubonos S V, Grigorieva I V, Firsov A A 2004 *Science* **306** 666

[2] Chen Z, Wang Z O, Li Y Q, Li Y Z, Mao L F 2012 *Microelectron. Comput.* **29** 154 (in Chinese) [陈智, 王子欧, 李亦清, 李有忠, 毛凌峰 2012 微电子学与计算机 **29** 154]

[3] Radsar T, Khalesi H, Ghods V 2021 *Superlattices Microstruct.* **153** 106869

[4] Zhang Q W 2018 *Ph. D. Dissertation*(Chengdu: University of Electronic Science and Technology of China) (in Chinese)[张庆伟 2018 博士学位论文(成都: 电子科技大学)]

[5] Xu J, Gu Z Y, Yang W X, Wang Q L, Zhang X B 2018 *Nanoscale Res. Lett.* **13** 311

[6] Yavari F, Kritzing C, Gaire C, Song L, Gulapalli H, Borca-Tasciuc T, Ajayan P M, Koratkar N 2010 *Small* **6** 2535

[7] Docherty C J, Lin C T, Joyce H J, Nicholas R J, Herz L M, Li L J, Johnston M B 2012 *Nat. Commun.* **3** 1228

[8] Wang R, Wang S, Zhang D D, Li Z J, Fang Y, Qiu X H 2011 *ACS Nano* **5** 408

[9] Feng T T, Xie D, Li G, Xu J L, Zhao H M, Ren T L, Zhu H W 2014 *Carbon* **78** 250

[10] Zhang Q W, Li P, Wang G, Zeng R Z, Wang H, Zhou J H 2017 *Microelectron. Comput.* **34** 36 (in Chinese) [张庆伟, 李平, 王刚, 曾荣周, 王恒, 周金浩 2017 微电子学与计算机 **34** 36]

[11] Ghosh S, Arroyo M 2013 *J. Mech. Phys. Solids* **61** 235

[12] Zhao P, Chauhan J, Guo J 2009 *Nano Lett.* **9** 684

[13] Cheng W 2017 *Ph. D. Dissertation* (Chang Sha: National University of Defense Technology) (in Chinese) [陈卫 2017 博士学位论文(长沙: 国防科技大学)]

[14] Liu P, Wei Y, Jiang K L, Sun Q, Zhang X B, Fan S S, Zhang S F, Ning C G, Deng J K 2006 *Phys. Rev. B* **73** 235412

[15] Li J, Zhang Z H, Wang D, Zhu Z, Fan Z Q, Tang G P, Deng X Q 2014 *Carbon* **69** 142

[16] Chiu H Y, Perebeinos V, Lin Y M, Avouris P 2010 *Nano Lett.* **10** 4634

[17] Li J F, Guo H X, Ma W Y, Song H J, Zhong X L, Li Y F, Bai R X, Lu X J, Zhang F Q 2024 *Acta Phys. Sin.* **73** 058501 (in Chinese) [李济芳, 郭红霞, 马武英, 宋宏甲, 钟向丽, 李洋帆, 白如雪, 卢小杰, 张凤祁 2024 物理学报 **73** 058501]

[18] Zhang Y F, Peng S Y, Wang Y H, Guo L X, Zhang X Y, Huang H Q, Su S H, Wang X W, Xue J M 2022 *J. Phys. Chem. Lett.* **13** 10722

[19] Esqueda I S, Cress C D, Anderson T J, Ahlbin J R, Bajura M, Fritze M, Moon J S 2013 *Electronics* **2** 234

[20] Kang C G, Lee Y G, Lee S K, Park E, Cho C, Lim S K, Hwang H J, Lee B H 2013 *Carbon* **53** 182

[21] Petrosjanc K O, Adonin A S, Kharitonov I A, Sicheva M V 1994 Proceedings of 1994 *IEEE International Conference on Microelectronic Test Structures* 1994-03 pp126-129

[22] Galloway K F, Gaitan M, Russell T J 1984 *IEEE Transactions on Nuclear Science* **31** 1497

[23] Jain S, Shinde V, Gajarushi A, Gupta A, Rao V R 2018 *IEEE 13TH Nanotechnology Materials and Devices Conference (NMDC)* New York, US October 14-17, 2018 pp353-356

[24] Gu W P, Hao Y, Zhang J C, Wang C, Feng Q, Ma X H 2009 *Acta Phys. Sin.* **58** 511 (in Chinese) [谷文萍, 郝跃, 张进城, 王冲, 冯倩, 马晓华 2009 物理学报 **58** 511]

[25] Childres I, Jauregui L A, Foxe M, Tian J, Jalilian R, Jovanovic I, Chen Y P 2010 *Appl. Phys. Lett.* **97** 173109

[26] Ismail M A, Zaini K M M, Syono M I 2019 *TELKOMNIKA (Telecommunication Computing Electronics and Control)* **17** 1845

[27] Jeppson K 2023 *IEEE Trans. Electron Devices* **70** 1393

Electrical stress reliability of graphene field effect transistor under different bias voltages*

Wang Song-Wen¹⁾ Guo Hong-Xia^{3)†} Ma Teng²⁾ Lei Zhi-Feng²⁾
 Ma Wu-Ying³⁾ Zhong Xiang-Li¹⁾ Zhang Hong²⁾ Lu Xiao-Jie¹⁾
 Li Ji-Fang¹⁾ Fang Jun-Lin²⁾ Zeng Tian-Xiang¹⁾

1) (*School of Materials Science and Engineering, Xiangtan University, Xiangtan 411105, China*)

2) (*State Key Laboratory of Science and Technology on Reliability Physics and Application of Electronic Component, China Electronic Product Reliability and Environmental Research Institute, Guangzhou 511300, China*)

3) (*Northwest Institute of Nuclear Technology, Xi'an 710024, China*)

(Received 27 September 2024; revised manuscript received 26 October 2024)

Abstract

In this paper, graphene field effect transistors (GFETs) with the top-gate structure are taken as the research object. The electrical stress reliabilities are studied under different bias voltage conditions. The electrical pressure conditions are gate electrical stress ($V_G = -10$ V, $V_D = 0$ V, and $V_S = 0$ V), drain electric stress ($V_D = -10$ V, $V_G = 0$ V, and $V_S = 0$ V), and electrical stresses applied simultaneously by gate voltage and drain voltage ($V_G = -10$ V, $V_D = -10$ V, $V_S = 0$ V). Using a semiconductor parameter analyzer, the transfer characteristic curves of GFETs before and after electrical stress are obtained. At the same time, the carrier migration and the Dirac voltage V_{Dirac} degradation are extracted from the transfer characteristic curves. The test results show that under different electrical pressures, the carrier mobility of GFETs degrades continuously with the increase of electric stress time. Different electrical pressure conditions have varying effects on the drift direction and degradation of V_{Dirac} : gate electrical stress and drain electrical stress cause V_{Dirac} drift of the device in opposite directions, and the gate electrical stress is greater than the electrical stress applied by both gate voltage and drain voltage, leading to V_{Dirac} degradation of GFETs. An analysis of the causes indicates that different electrical stresses produce different electric field directions in the device, which can affect the carrier concentration and movement direction. Electrons and holes in the channel are induced and tunnel into the oxide layer, and they are captured by trap charges in the oxide layer and at the interface between graphene and oxide, forming oxide trap charges and interface trap charges. This is the main reason for reducing carrier mobility of GFET. Different electric field directions under different electric stresses produce positively charged trap charges and negatively charged trap charges. The difference in the type of trap charge banding is the main reason for the different directions of V_{Dirac} drift in GFETs. When both trap charges coexist, they have a canceling effect on the V_{Dirac} drift of the GFETs. Finally, by combining TCAD simulation the simulation model of the influence of electrical stress induced trap charge on the V_{Dirac} generation of GFET is further revealed. The result demonstrates that the differences in the type of trap charge banding have different degradation effects on the V_{Dirac} of GFETs. The related research provides data and theoretical support for putting graphene devices into practical application.

Keywords: graphene field effect transistors, electrical stress, V_{Dirac} , carrier mobility

PACS: 85.30.Tv, 81.05.U-, 94.20.Ss, 72.20.Jv

DOI: [10.7498/aps.73.20241365](https://doi.org/10.7498/aps.73.20241365)

CSTR: [32037.14.aps.73.20241365](https://cstr.cn/32037.14.aps.73.20241365)

* Project supported by the National Natural Science Foundation of China (Grant Nos. 12275230, 12027813).

† Corresponding author. E-mail: guohongxia@nint.ac.cn



石墨烯场效应晶体管在不同偏置电压条件下的电应力可靠性

王颂文 郭红霞 马腾 雷志锋 马武英 钟向丽 张鸿 卢小杰 李济芳 方俊霖 曾天祥

Electrical stress reliability of graphene field effect transistor under different bias voltages

Wang Song-Wen Guo Hong-Xia Ma Teng Lei Zhi-Feng Ma Wu-Ying Zhong Xiang-Li Zhang Hong
Lu Xiao-Jie Li Ji-Fang Fang Jun-Lin Zeng Tian-Xiang

引用信息 Citation: *Acta Physica Sinica*, 73, 238501 (2024) DOI: 10.7498/aps.73.20241365

在线阅读 View online: <https://doi.org/10.7498/aps.73.20241365>

当期内容 View table of contents: <http://wulixb.iphy.ac.cn>

您可能感兴趣的其他文章

Articles you may be interested in

石墨烯场效应晶体管的X射线总剂量效应

Total X-ray dose effect on graphene field effect transistor

物理学报. 2024, 73(5): 058501 <https://doi.org/10.7498/aps.73.20231829>

铁电负电容场效应晶体管研究进展

Recent research progress of ferroelectric negative capacitance field effect transistors

物理学报. 2020, 69(13): 137701 <https://doi.org/10.7498/aps.69.20200354>

不同应力下碳化硅场效应晶体管器件总剂量效应及退火特性

Total dose effect and annealing characteristics of silicon carbide field effect transistor devices under different stresses

物理学报. 2021, 70(16): 166101 <https://doi.org/10.7498/aps.70.20210515>

结构相变引起单层RuSe₂载流子迁移率的提高

Structural phase transition induced enhancement of carrier mobility of monolayer RuSe₂

物理学报. 2024, 73(14): 146302 <https://doi.org/10.7498/aps.73.20240557>

垂直短沟道二硫化钼场效应晶体管

Vertical short-channel MoS₂ field-effect transistors

物理学报. 2022, 71(21): 218502 <https://doi.org/10.7498/aps.71.20220738>

单层SnS场效应晶体管的第一性原理研究

First principles study of high-performance sub-5-nm monolayer SnS field-effect transistors

物理学报. 2024, 73(20): 207304 <https://doi.org/10.7498/aps.73.20241004>