

非对称电极对二维 SiC 场效应晶体管工作性能 调控与低功耗优化*

陈建举¹⁾ 彭淑平¹⁾ 邓淑玲¹⁾ 周文¹⁾ 范志强^{1)†} 张小姣^{2)‡}

1) (长沙理工大学物理与电子科学学院, 长沙 410114)

2) (湖南工商大学微电子与物理学院, 长沙 410205)

(2025 年 6 月 29 日收到; 2025 年 8 月 8 日收到修改稿)

利用密度泛函理论结合非平衡格林函数的第一性原理方法, 研究了金属相 1T-MoS₂ 和 Pd 金属为非对称源漏电极的 5 nm 二维 SiC 场效应晶体管的输运性质, 并系统分析了 1T-MoS₂ 电极层数增加以及工作电压减小对器件工作性能的影响机制. 研究表明 1T-MoS₂ 层数增加会增大器件空穴肖特基势垒高度, 但同时提高带边输运系数, 二者相互竞争共同影响器件的工作性能. SiC 的宽禁带特征可以显著抑制短沟道效应, 使所有器件都可以满足关态要求. 更重要的是, 所有器件在 0.64 V 工作电压下的亚阈值摆幅都接近 60 mV/dec 物理极限, 且各项工作性能参数均能显著超越国际设备和系统路线图 (IRDS) 为高性能器件设定的标准. 此外, 器件的工作电压可以进一步降低至 0.52 V, 对应的功耗延迟积和延迟时间低至 0.086 fJ/ μm 和 0.038 ps, 仅为 IRDS 标准的 14% 和 4%. 本工作提出的非对称源漏电极设计策略, 不仅很好地解决了现有二维材料场效应晶体管开态电流不高以及短沟道效应制约关态电流的问题, 更为后摩尔时代超低功耗纳米电子器件的发展提供了重要的解决方案.

关键词: 二维材料, 第一性原理, 场效应晶体管, 转移特性, 短沟道效应

PACS: 85.65.+h, 85.75.-d, 81.05.ue

DOI: 10.7498/aps.74.20250849

CSTR: 32037.14.aps.74.20250849

1 引言

二维材料由于具有新颖的物理、化学、光学和电子性质, 成为取代传统硅基材料来设计和开发适合后摩尔时代微纳电子器件的重要候选材料^[1-5]. 目前, 基于二维材料的场效应器件的实验制备与物理仿真成为最新的研究热点, 并取得了重要的研究进展^[6-10]. 然而, 随着沟道长度的缩短, 由于量子隧穿效应导致的短沟道效应显著地提升了关断状态电流, 从而使基于二维材料的场效应器件无法满足

路线图的关态电流要求^[11-13]. 因此, 如何在保证二维材料场效应器件满足开态电流的基础上削弱短沟道效应, 提升器件的工作性能成为当前的研究热点. 目前, 研究人员通过设计二维“孤立能带”沟道材料, 能够降低器件的泄漏电流, 并打破亚阈值摆幅的热力学极限^[14]. 另外, 在 MoS₂ 垂直晶体管上层叠 Pt 电极时, 由于材料间较大的功函数差异, 形成了高肖特基势垒, 从而有效抑制关态隧穿电流^[15]. 而另外的研究报告显示, 选取宽禁带二维半导体作为场效应器件沟道材料是削弱短沟道效应降低关态电流的有效解决方案. SiC 作为一种具有高热容

* 国家自然科学基金 (批准号: 12074046) 资助的课题.

† 通信作者. E-mail: zqfan@csust.edu.cn

‡ 通信作者. E-mail: xjzhang@hutb.edu.cn

量和高击穿电压的宽禁带半导体材料,是大功率电子、高温应用和量子信息处理领域的主导材料,广泛应用于电动汽车、可再生能源、工业自动化和电力传输等行业. 2021年, Chabi等^[16]首次将二维SiC从体相碳化硅中成功分离出来. 二维SiC具有稳定的类石墨烯结构并保留了宽禁带属性,在光电和电子领域具有令人瞩目的应用前景^[17-20]. 随后, Xie等^[21]利用二维SiC构建了沟道长度为5 nm的场效应晶体管,发现Pd金属电极可以实现势垒较小的P型接触,器件的转移特性不仅可以克服短沟道效应,且其开态电流达到924 $\mu\text{A}/\mu\text{m}$,满足国际半导体技术路线图(ITRS)开态电流标准. 此外,还研究了金属相1T-MoS₂接触二维SiC的5 nm场效应晶体管(FET)的工作性能,发现二维SiC作为沟道材料的确可以克服短沟道效应,并且器件转移特性仍然可以满足ITRS工作性能标准^[22]. 目前,国际电气与电子工程师学会将ITRS更新为设备和系统国际路线图(IRDS),并将基于二维材料的核心逻辑设备纳入2028年的研发目标. 此外,更新后的IRDS将未来逻辑器件的关态电流标准降低了一个数量级(0.01 $\mu\text{A}/\mu\text{m}$)^[23]. 因此,需要对以往二维材料场效应器件模型进行创新设计,降低器件亚阈值摆幅,满足最新的工作性能标准. 已有的研究报道显示采用非对称电极构建场效应器件可以进一步提升器件性能. 非对称电极的核心机理在于打破电化学或物理对称性,通过电荷平衡,能带梯度和界面动力学优化实现性能跃升. 在半导体器件中,非对称电极通过功函数差异或面积差异形成内建电场梯度,一般源极采用低功函数材料或小面积电极,降低电子注入势垒,漏极采用高功函数材料或大面积电极,阻碍反向载流子输运^[24]. 例如,在In₂O₃源栅晶体管中,使用铝作为漏极电极,金作为源极电极,可以实现低亚阈值摆幅(102 mV/dec)和低功耗(46.3 $\mu\text{W}/\text{cm}^2$)^[25]. 二维MoS₂场效应晶体管采用金和铬作为非对称金属电极的接触后,分别与MoS₂形成良好的欧姆接触和肖特基接触并且提升器件的工作性能^[26]. 另外,利用近藤拓扑绝缘体SmB₆纳米带和Au金属电极构建的非对称型Au/CsPbBr₃/SmB₆器件不仅具有高的光电流、响应度和比探测率特性,还表现出优异的自驱动光探测特性^[27]. 因此,本文结合以上研究思路,开展了非对称电极接触对二维SiC场效应器件性能的调控研究. 采用密度泛函理论结合非平衡格林函数

的第一性原理方法研究了单层、双层和三层金属相1T-MoS₂作为源极, Pd金属作为漏极的5 nm二维SiC双栅场效应晶体管的工作性能. 计算得到的器件转移特性相比较对称电极器件有了大幅度提升,不仅大幅超越ITRS的高性能晶体管工作性能标准,还可以极大满足最新IRDS的工作性能标准. 更重要的是,非对称电极二维SiC双栅场效应晶体管的工作电压,按照ITRS和IRDS的标准分别可以降低至0.48 V和0.52 V,为后摩尔时代超低功耗纳米电子器件的发展提供了重要解决方案.

2 计算方法

本文采用密度泛函理论(DFT)结合非平衡格林函数(NEGF)方法的第一性原理计算软件包Quantum ATK进行器件的几何结构优化和自旋输运特性计算^[28]. 交换-关联泛函采用广义梯度近似(GGA)的PBE(Perdew-Burke-Ernzerhof)形式,并使用Grimme的DFT-D2方法来校正弱范德瓦耳斯相互作用. 结合FHI(Fritz-Haber-Institute)赝势与双极化基组(double-Zeta polarized, DZP)描述原子轨道,以保证电子波函数的精确描述. 众所周知,PBE泛函因能在计算精度与效率间取得较好平衡,而在计算二维材料电子性质与输运性质方面得到广泛应用. 然而其往往会低估带隙,为评估其对SiC材料的影响,本文通过比较PBE结果与实验所测带隙值,证实其对带隙与输运性质的影响很小,从而保证了本文计算结果的可靠性. 在结构弛豫过程中,将能量与原子残余力的收敛阈值分别设置为0.02 eV/Å与10⁻⁵ eV. 自洽计算中,基于 Γ 中心采用9×1×150的Monkhorst-Pack k 点网格对器件的布里渊区进行采样,其中 z 方向是器件自旋输运方向,即纳米带的周期性拓展方向. 沿 y 方向设置3.0 nm的真空间,以避免周期性镜像带来的相互作用. 在量子输运模拟过程中,给定偏压(V_b)下的器件电流由Landauer-Büttiker公式计算^[29]:

$$I(V_b) = \left(\frac{2e}{h}\right) \int_{\mu_L}^{\mu_R} (f_L - f_R) T(E, V_b) dE, \quad (1)$$

其中, $T(E, V_b)$ 是在偏压为 V_b 和能量为 E 时电子透射系数, $f_{L/R}$ 是左/右电极的电子费米-狄拉克分布函数, $\mu_{L/R}$ 是左/右电极的电化学势. 指定 k_x 与能量 E 下的透射系数 $T(E, k_x)$ 由(2)式计算:

$$T(E, k_x) =$$

$$\text{Tr}[G^r(E, k_x) \cdot \Gamma_s(E, k_x) \cdot G^a(E, k_x) \cdot \Gamma_d(E, k_x)], \quad (2)$$

式中, $G^{r/a}(E, k_x)$ 是推迟/超前格林函数, 由电极自能 $\sum_{s/d}^{r/a}(E, k_x)$ 表示的源/漏电极引起的能级展宽表示为

$$\Gamma_{s/d}(E, k_x) = i \left[\sum_{s/d}^r(E, k_x) - \sum_{s/d}^a(E, k_x) \right],$$

用来反映电极对散射区的影响. 此外, 将电子温度设置为 300 K, 将沿 x, y, z 方向的边界条件分别设置为 Periodic, Neumann 和 Dirichlet, 以模拟晶体的周期性及其与外部环境的交互影响.

3 结果与讨论

图 1 展示了二维 SiC 作为沟道的 5 nm 场效应晶体管结构图. 在构建器件之前, 分别构建了 1T-MoS₂ 与 SiC 以及 Pd 金属与 SiC 垂直接触的范德瓦耳斯异质结, 通过结构弛豫确定层间接触距离. 接下来利用优化后范德瓦耳斯异质结与 SiC 构成中间散射区, 并利用软件的拓展功能得到源漏电极的超胞, 最终构建成器件模型. 沟道材料为二维 SiC, 其长度 L_G 为 5 nm, 介电区对应的有效氧化物厚度按照 ITRS 的标准设置为 0.41 nm. 场效应晶体管的漏极选用 Pd 金属, 源极选取金属相 1T-MoS₂, 其中 M 表示单层 1T-MoS₂, B 表示双层 1T-MoS₂, 而 T 表示三层 1T-MoS₂, 源漏极之间的电压也按照 ITRS 的工作电压 V_{DD} 标准设置为 0.64 V. 为了方便描述, 本文将源极为单层、双层和三层 1T-MoS₂ 的器件分别命名为 MFET, BFET 和 TFET.

图 2 为 MFET, BFET 和 TFET 三种器件的

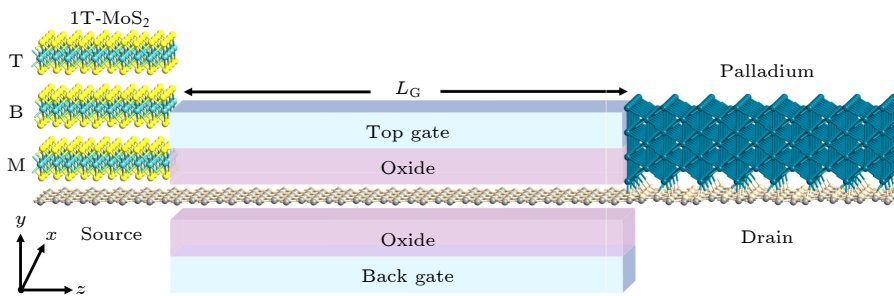


图 1 金属相 1T-MoS₂ 和 Pd 金属为非对称源漏电极的 5 nm 二维 SiC 场效应晶体管的结构图

Fig. 1. Detailed structure of 5 nm FET based on two-dimensional SiC with metal 1T-MoS₂ contact (source) and palladium contact (drain).

零偏压和零栅压下的运输系数谱和投影局域态密度. 可以观察到, 3 个器件的运输系数谱都存在一个 2.64 eV 的运输禁区, 与二维 SiC 的禁带宽度一致^[30,31]. 根据 Schottky-Mott 原则, N 型或 P 型肖特基势垒高度定义为源漏电极费米能级与沟道材料导带底或价带顶之间的能量差. 肖特基势垒高度对场效应器件的运输特性起着重要的作用. 图 2(a) 显示 MFET 沟道区 SiC 的价带顶更靠近平衡状态下源漏电极共同的费米能级, 属于 P 型接触, 其空穴肖特基势垒高度为 0.6 eV. 相比较于之前研究所用的源漏电极均为 1T-MoS₂ 时的空穴肖特基势垒高度 (1.52 eV) 小很多^[22]. 通过观察器件对应的投影局域态密度, 可以发现源电极由于仅为单层 1T-MoS₂, 所以态密度明显小于漏电极 Pd 金属处的态密度. 此外, 源电极 1T-MoS₂ 在 2 eV 位置存在明显的态密度间隙. 因此, MFET 在沟道 SiC 导带边的运输系数明显小于价带边的运输系数. 在图 2(b) 中, 当以双层 1T-MoS₂ 作为源极时, BFET 的透射谱与 MFET 相比, 整体向低能量方向 (负方向) 移动, 导致空穴肖特基势垒高度增加到 0.76 eV. 这是因为双层 1T-MoS₂ 的费米能级相比单层 1T-MoS₂ 向正能量方向发生移动. 当源漏电极费米能级达到平衡后, 器件费米能级也向正能量方向移动. 所以导致沟道 SiC 靠近源极区域的能带向负能量方向移动发生明显向下弯曲, 增大了 BFET 的空穴肖特基势垒高度, 如图 2(b) 的箭头所示. 然而, 由于源电极由单层增加为双层 1T-MoS₂, 对应的态密度也大幅度增大. 通过观察 BFET 的投影局域态密度可以发现原来出现在 MFET 源电极的态密度间隙也随之消失. 因此, BFET 在沟道 SiC 导带边以及价带边的运输系数相比 MFET 明显增大, 这将增强器件的运输能力. 当源电极为三

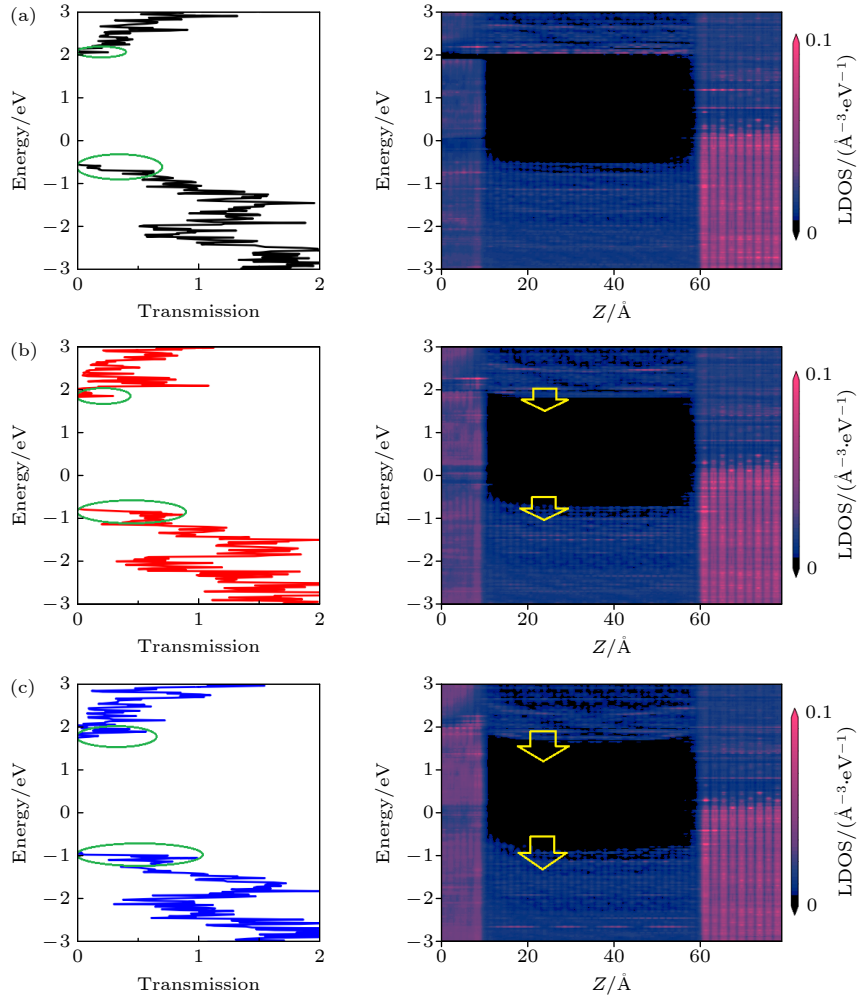


图 2 (a) MFET, (b) BFET 和 (c) TFET 在零偏压和零栅极电压下的传输谱和投影局域态密度. 费米能级在能量标度中设置为零
 Fig. 2. Transmission spectra and the projected local density of states (LDOS) of (a) MFET, (b) BFET, and (c) TFET under zero-bias voltage and zero-gate voltage. The Fermi level is set to zero in the energy scale.

层 1T-MoS₂ 时, 其对应的费米能级继续向正能量方向移动. 当源漏电极费米能级达到平衡后, 器件费米能级继续向正能量方向发现移动. 所以导致沟道 SiC 靠近源极区域的能带向负能量方向继续移动发生更加明显的向下弯曲, 如图 2(c) 的箭头所示. 所以空穴肖特基势垒高度继续增大, 达到 0.88 eV. 然而, 由于源电极处 1T-MoS₂ 层数的增加, 对应的态密度继续增大. 因此, TFET 在沟道 SiC 导带边以及价带边的传输系数相比 BFET 又进一步提升. 通过对比 3 个器件的零偏压零栅压下的传输系数谱, 可以发现源电极 1T-MoS₂ 层数增加同时导致空穴肖特基势垒高度增大, 以及相应的带边传输系数增大. 二者对器件传输能力的影响效果相反, 存在竞争关系.

为了探索源电极 1T-MoS₂ 层数增加, 同时导致的空穴肖特基势垒高度增大和相应的带边传输

系数增大对器件传输特性的共同影响效果, 图 3 给出了 MFET, BFET 和 TFET 三种场效应晶体管的转移特性, 开态电流以及亚阈值摆幅 (subthreshold swing, SS). 图中实线表示 ITRS 高性能 (HP) 指标要求的关态电流 ($I_{\text{OFF}} = 0.1 \mu\text{A}/\mu\text{m}$), 虚线表示最新 IRDS HP 指标要求的关态电流 ($I_{\text{OFF}} = 0.01 \mu\text{A}/\mu\text{m}$). I_{ON} 为开态栅压 V_{ON} ($V_{\text{ON}} = V_{\text{OFF}} + V_{\text{DD}}$) 时的电流, 其中 V_{OFF} 为关态栅压而 V_{DD} 为工作电压 (0.64 V). 由于 3 种场效应晶体管的最小线电流密度都低于 $10^{-5} \mu\text{A}/\mu\text{m}$, 说明 SiC 的宽禁带特征可以显著抑制短沟道效应, 从而使器件满足 ITRS 和 IRDS 的 HP 关态电流标准. 由先前的研究可知, Pd/SiC/Pd 场效应晶体管具有较低的肖特基势垒高度, 但是电极与沟道接触面的相互作用强烈, 增加了栅极对沟道能带的调控难度 [21]. 而 1T-MoS₂/SiC/1T-MoS₂ 场效应晶体管的电极

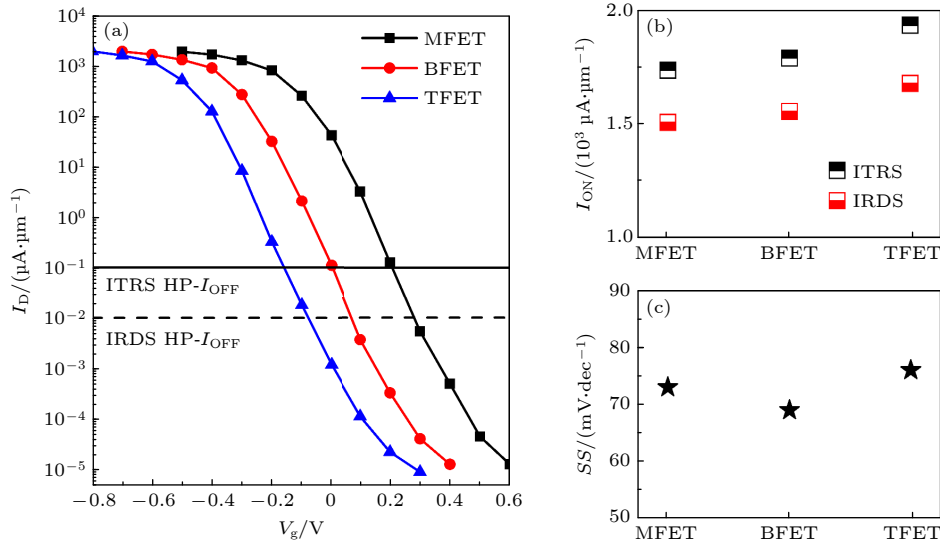


图3 MFET, BFET 和 TFET 的转移特性 (a), 开态电流 (b) 和亚阈值摆幅 (c)

Fig. 3. Transfer characteristic (a), ON-current (b), and subthreshold swing (c) of MFET, BFET and TFET, respectively.

与沟道接触面为范德瓦耳斯相互作用, 栅极容易调控沟道能带移动, 但是肖特基势垒高度较大^[22]. 因此, 上述场效应晶体管的开态电流仅能刚好满足 ITRS 标准, 但是无法满足最新的 IRDS 标准. 本文利用 1T-MoS₂ 和 Pd 作为 SiC 场效应晶体管的非对称源漏极, 既兼顾了两种电极的优势也弥补了其各自的不足. 由于 MFET, BFET 和 TFET 三种场效应晶体管的空穴肖特基势垒高度依次增大, 所以对应的零栅压时的线电流密度依次降低, 见图 3(a). 图 3(b) 给出 3 种器件的开态电流. MFET 在 ITRS 和 IRDS HP 标准下的开态电流分别为 $1733 \mu\text{A}/\mu\text{m}$ 和 $1553 \mu\text{A}/\mu\text{m}$, 开关比则分别为 1.733×10^4 和 1.553×10^5 , 对应的开态电压分别为 -0.43 V 和 -0.36 V , 关态电压为 0.21 V 和 0.28 V . BFET 在 ITRS 和 IRDS 标准下的开态电流分别为 $1765 \mu\text{A}/\mu\text{m}$ 和 $1601 \mu\text{A}/\mu\text{m}$, 开关比则分别为 1.765×10^4 和 1.601×10^5 , 对应的开态电压分别为 -0.64 V 和 -0.57 V , 关态电压为 0 V 和 0.07 V . TFET 在 ITRS 和 IRDS 标准下的开态电流分别为 $1930 \mu\text{A}/\mu\text{m}$ 和 $1702 \mu\text{A}/\mu\text{m}$, 开关比则分别为 1.930×10^4 和 1.702×10^5 , 对应的开态电压分别为 -0.8 V 和 -0.71 V , 关态电压则为 -0.16 V 和 -0.07 V . 3 种器件的开态电流依次增大, 展示了优异的转移特性, 并且都可以同时满足 ITRS HP 标准 ($900 \mu\text{A}/\mu\text{m}$) 和 IRDS 的 HP 标准 ($787 \mu\text{A}/\mu\text{m}$). 亚阈值摆幅 (SS) 是衡量晶体管开启与关断状态之间相互转换速率的性能指标, 它代表源漏电流变化 10 倍所

需要栅电压的变化量, SS 越小意味着开启关断速率越快^[32]. 图 3(c) 显示 3 种器件的 SS 为 73, 69, 和 $76 \text{ mV}/\text{dec}$, 非常接近 $60 \text{ mV}/\text{dec}$ 的玻尔兹曼物理极限. 这进一步说明本文器件具备较优异的工作性能. 产生较低的亚阈值摆幅的原因是器件尺寸很短, 运输电流以隧穿电流为主, 不是传统大尺寸器件中的热激发电流, 因此表现出极低的亚阈值摆幅.

当晶体管性能不断提升的同时, 器件的工作频率不断上升, 导致动态功耗不断上升. 另外一方面, 器件尺寸的缩小导致漏电流增大, 进而使得静态功耗上升. 这些上升的功耗会反过来限制了芯片电路的速度提升. 因此, 图 4(a) 给出了 MFET 在 $0.6, 0.56, 0.52, 0.48$ 和 0.44 V 工作电压下的转移特性, 探索其功耗极限. 随着工作电压的减小, 器件在零栅压下的线电流密度值逐渐降低, 同时导致高栅压 (开态) 线电流密度值也逐渐降低. 图 4(b) 给出了器件在相应工作电压下的开态电流. 根据 ITRS HP 的标准, 器件在 $0.6, 0.56, 0.52, 0.48$ 和 0.44 V 工作电压下的关态电压分别为 $0.16 \text{ V}, 0.12 \text{ V}, 0.08 \text{ V}, 0.04$ 和 0 V , 由此得开态电压为 -0.44 V , 因此开态电流分别为 $1515, 1397, 1224, 1091$ 和 $864 \mu\text{A}/\mu\text{m}$, 对应的开关比分别为 $1.515 \times 10^4, 1.397 \times 10^4, 1.224 \times 10^4, 1.091 \times 10^4, 0.864 \times 10^4$. 因此器件在 ITRS HP 标准下的工作电压极限为 0.48 V , 其在 0.44 V 工作电压下的开态电流无法满足 ITRS HP 标准. 根据 IRDS HP 的标准, 器件在 $0.6, 0.56, 0.52, 0.48$ 和 0.44 V 工作电压下的关

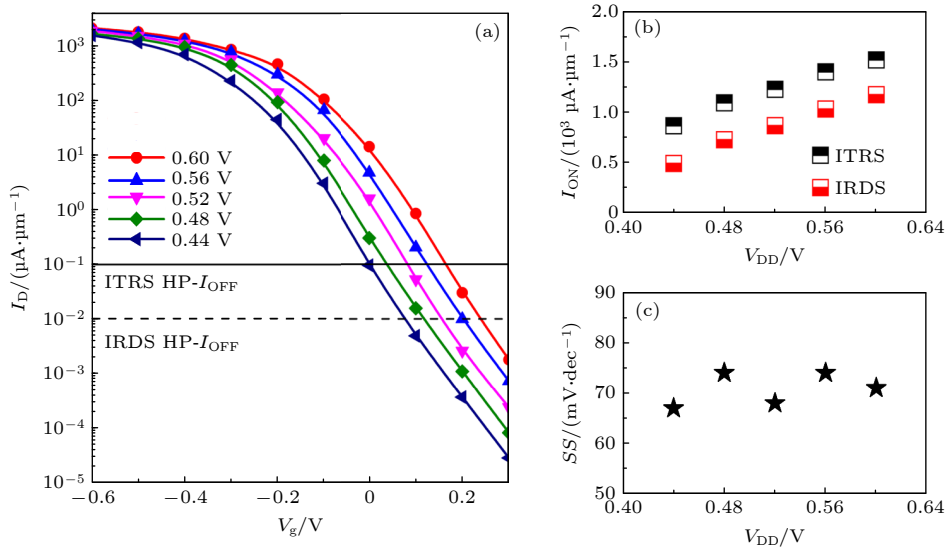


图 4 (a) MFET 在 0.6 V, 0.56 V, 0.52 V, 0.48 V 和 0.44 V 工作电压 V_{DD} 下的 (a) 转移特性, (b) 开态电流和 (c) 亚阈值摆幅
 Fig. 4. (a) Transfer characteristic, (b) ON-current, and (c) subthreshold swing of MFET under V_{DD} of 0.6 V, 0.56 V, 0.52 V, 0.48 V, and 0.44 V, respectively.

态电压分别为 0.24 V, 0.2 V, 0.16 V, 0.12 V 和 0.08 V, 由此得开态电压为 -0.36 V, 因此开态电流分别为 1171, 1029, 865, 726 和 491 $\mu\text{A}/\mu\text{m}$, 相应的开关比分别为 1.171×10^5 , 1.029×10^5 , 0.865×10^5 , 0.726×10^5 , 0.491×10^5 . 因此器件在 IRDS HP 标准下的工作电压极限为 0.52 V, 其在 0.48 和 0.44 V 工作电压下的开态电流无法满足 IRDS HP 标准. 图 4(c) 给出器件在 0.6, 0.56, 0.52, 0.48 和 0.44 V 工作电压下转移特性曲线的亚阈值摆幅, 分别为 71, 74, 68, 74 和 67 mV/dec. 随着工作电压的缩小, 亚阈值摆幅逐渐降低, 逐渐逼近 60 mV/dec 的玻尔兹曼物理极限. 但是工作电压的减小导致开态栅压 V_{ON} 值也相应减小, 所以开态电流逐渐降低.

本文还计算了反映场效应晶体管响应速度和能耗的 3 个指标, 分别为本征栅极电容 C_g , 功耗延迟积 (power-delay product, PDP) 和延迟时间 (τ), 见表 1. C_g 通过公式 $C_g = \partial Q_{ch} / \partial V_g$ 计算得到, Q_{ch} 是沟道区的总电荷. 功耗延迟积 PDP 通过公式 $\text{PDP} = C_g \times V_{DD}^2$ 计算得到, 而 τ 通过公式 $\tau = (C_g \times V_{DD}) / I_{ON}$ 计算得到 [33]. MFET, BFET 和 TFET 在 0.64 V 工作电压下的本征栅极电容 C_g 分别为 0.15, 0.155, 0.134 $\text{fF}/\mu\text{m}$, 远远小于 IRDS 标准. 此外, MFET 在 0.6, 0.56 和 0.52 V 工作电压下的本征栅极电容 C_g 逐渐减小, 分别为 0.146, 0.138, 和 0.142 $\text{fF}/\mu\text{m}$, 同样远小于 IRDS 标准. MFET, BFET 和 TFET 在 0.64 V 工作电压下的功

耗延迟积 PDP 分别为 0.061, 0.063 和 0.055 $\text{fF}/\mu\text{m}$, 仅为 IRDS 标准的 12%. 由于功耗延迟积 PDP 表征完成单位计算量所消耗的总能量, 是评估纳米级集成电路可靠性的核心指标. 因此, 本文提出的 3 种器件在功耗方面极具优势. 尽管 MFET 在 0.6, 0.56 和 0.52 V 工作电压下的功耗延迟积 PDP 会依次增大, 分别为 0.071, 0.078 和 0.086 $\text{fF}/\mu\text{m}$, 但也仅为 IRDS 标准的 18%. MFET, BFET 和 TFET 在 0.64 V 工作电压下的延迟时间 τ 分别为 0.064, 0.064 和 0.051 ps, 仅为 IRDS 标准的 5%. 延迟时间 τ 反映了晶体管快速开关的能力, 是评估纳米级集成电路工作性能的核心指标. 因此, 本文提出的 3 种器件在工作性能方面同样优势突出. MFET 在 0.6, 0.56 和 0.52 V 工作电压下的延迟时间 τ 分

表 1 MFET, BFET 和 TFET 的性能与 IRDS 高性能设备要求的对比

Table 1. Performances of the MFET, BFET and TFET against the HP devices requirements of the IRDS.

	$C_g /$ ($\text{fF} \cdot \mu\text{m}^{-1}$)	PDP/ ($\text{fJ} \cdot \mu\text{m}^{-1}$)	τ / ps
IRDS标准	0.39	0.49	0.96
MFET ($V_{DD} = 0.64 \text{ V}$)	0.150	0.061	0.064
BFET ($V_{DD} = 0.64 \text{ V}$)	0.155	0.063	0.064
TFET ($V_{DD} = 0.64 \text{ V}$)	0.134	0.055	0.051
MFET ($V_{DD} = 0.60 \text{ V}$)	0.146	0.071	0.056
MFET ($V_{DD} = 0.56 \text{ V}$)	0.138	0.078	0.043
MFET ($V_{DD} = 0.52 \text{ V}$)	0.142	0.086	0.038

别为 0.056, 0.043 和 0.038 ps, 相比其在 0.64 V 工作电压下的延迟时间进一步缩减. 综上所述, MFET, BFET 和 TFET 在 0.64 V 工作电压下的工作性能远远满足 IRDS 标准. 此外, MFET 在 0.52 V 的极限工作电压下, 各项指标也可以远远满足 IRDS 标准.

4 结 论

本文利用密度泛函理论结合非平衡格林函数的第一性原理计算方法, 开展了金属相 1T-MoS₂ 和 Pd 金属为非对称源漏电极的 5 nm 二维 SiC 场效应晶体管的输运性质研究, 并系统分析了 1T-MoS₂ 电极层数增加以及工作电压缩减对器件工作性能的影响机制. 从零偏压零栅压输运谱中提取的肖特基势垒表明 MFET, BFET 和 TFET 沟道区 SiC 的价带顶更靠近平衡状态下源漏电极共同的费米能级. 因此, 3 种器件均属于 P 型接触, 其空穴肖特基势垒高度随着源电极 1T-MoS₂ 层数的增加而依次增大, 分别为 0.6, 0.76 和 0.88 eV. 此外, 1T-MoS₂ 层数的增加还会导致源电极区域的态密度增大, 从而提升带边的输运系数. 二者对器件输运能力的影响效果相反, 存在竞争关系. 器件的转移特性显示, SiC 的宽禁带特征可以显著抑制短沟道效应, 使所有器件都可以满足关态要求. 更重要的是, 所有器件在 0.64 V 工作电压下的亚阈值摆幅都接近 60 mV/dec 热力学物理极限. MFET, BFET 和 TFET 在更严格的 IRDS HP 标准下的开态电流可以达到 1553, 1601 和 1702 $\mu\text{A}/\mu\text{m}$, 高于使用 Pd 作为对称电极时的开态电流 ($924 \mu\text{A}/\mu\text{m}$)^[21], 也高于使用 1T-MoS₂ 作为对称电极的双门控 SBFET 的开态电流 ($1202 \mu\text{A}/\mu\text{m}$)^[22], 这一结果充分体现出非对称电极在电荷平衡, 能带梯度等方面对器件性能提升的优异之处. 且本征栅极电容、功耗延迟积和延迟时间三项性能参数均能显著超越 IRDS 关于高性能器件的标准. 此外, MFET 的工作电压可以极限缩减到 0.52 V, 对应的功耗延迟积和延迟时间低至 0.086 fJ/ μm 和 0.038 ps, 仅为 IRDS 标准的 14% 和 4%. 本工作提出的非对称源漏电极设计策略, 不仅很好地解决了现有二维材料场效应晶体管开态电流不高以及短沟道效应制约关态电流的问题, 更为后摩尔时代超低功耗纳米电子器件的发展提供了重要解决方案.

参考文献

- [1] Wang Q H, Kalantar-Zadeh K, Kis A, Coleman J N, Strano M S 2012 *Nat. Nanotech.* **7** 699
- [2] Zhao J, Yao C, Zeng H 2024 *Acta Phys. Sin.* **73** 126802 (in Chinese) [赵俊, 姚璨, 曾晖 2024 物理学报 **73** 126802]
- [3] Cui Y, Li B, Li J B, Wei Z M 2018 *Sci. China-Phys. Mech. Astron.* **61** 016801
- [4] Wu D, Cao X H, Jia P J, et al. 2020 *Sci. China-Phys. Mech. Astron.* **63** 276811
- [5] Liu Q, Huang X D, Chen J J, Wu D, Deng X Q, Fan Z Q, Xie H Q, Chen K Q 2025 *Appl. Phys. Lett.* **126** 253502
- [6] Radisavljevic B, Radenovic A, Brivio J, Giacometti V, Kis A 2011 *Nat. Nanotech.* **6** 147
- [7] Cui Y, Zhou Z Q, Li T, Wang K Y, Li J B, Wei Z M 2019 *Adv. Funct. Mater.* **29** 1900040
- [8] Ren Y, Zhou X Y, Zhou G H 2021 *Phys. Rev. B* **103** 045405
- [9] Liu Q, Li J J, Wu D, Deng X Q, Zhang Z H, Fan Z Q, Chen K Q 2021 *Phys. Rev. B* **104** 045412
- [10] Zhou W X, Cheng Y, Chen K Q, Xie G F, Wang T, Zhang G 2020 *Adv. Funct. Mater.* **30** 1903829
- [11] Quhe R G, Wang Y Y, Lu J 2015 *Chin. Phys. B* **24** 088105
- [12] Huang X D, Liu Q, Xie H Q, Deng X Q, Fan Z Q, Wu D, Chen K Q 2023 *IEEE Trans. Electron. Dev.* **70** 5462
- [13] Guo Y, Pan F, Yao B B, Meng H, Li J 2024 *Acta Phys. Sin.* **73** 207304 (in Chinese) [郭颖, 潘峰, 姚彬彬, 孟豪, 吕劲 2024 物理学报 **73** 207304]
- [14] Qu H Z, Zhang S L, Cao J, et al. 2024 *Sci. Bull.* **69** 1427
- [15] Ma L K, Tao Q Y, Chen Y, Lu Z Y, Liu L T, Li Z W, Lu D L, Wang Y L, Liao L, Liu Y 2023 *Nano Lett.* **23** 8303
- [16] Chabi S, Guler Z, Brearley A J, Benavidez A D, Luk T S 2021 *Nanomaterials* **11** 1799
- [17] Zhou B H, Zhou B L, Liu G, et al. 2016 *Physica B* **500** 106
- [18] Farokhnezhad M, Esmacilzadeh M, Ahmadi S, Pournaghavi N 2015 *J. Appl. Phys.* **117** 173913
- [19] Cui X Q, Liu Q, Fan Z Q, Zhang Z H 2020 *Org. Electron.* **84** 105808
- [20] Deng X L, Ji X F, Wang D J, Huang L Q 2022 *Acta Phys. Sin.* **71** 058102 (in Chinese) [邓旭良, 冀先飞, 王德君, 黄玲琴 2022 物理学报 **71** 058102]
- [21] Xie H Q, Li J Y, Liu G, Cai X Y, Fan Z Q 2019 *IEEE Trans. Electron Devices* **66** 5111
- [22] Xie H Q, Wu D, Deng X Q, Fan Z Q, Zhou W X, Xiang C Q, Liu Y Y 2021 *Chin. Phys. B* **30** 117102
- [23] International roadmap for devices and systems (IRDS)(2023 Edition) <https://irds.ieee.org>
- [24] Okyay A K, Chui C O, Saraswat K C 2006 *Appl. Phys. Lett.* **88** 063506
- [25] Li D W, Zhao M, Liang K, et al. 2020 *Nanoscal* **12** 21610
- [26] Wu J Y, Chun Y T, Li S P, Zhang T, Chu D P 2018 *ACS Appl. Mater. Interfaces* **10** 24613
- [27] Liu Z, Cao G, Guan Z Z, Tian Y, Liu J D, Chen J, Deng S Z, Liu F 2024 *J. Mater. Chem. C* **12** 17395
- [28] Smidstrup S, Markussen T, Vancaeyveld P, et al. 2020 *J. Phys. Condens. Matter* **32** 015901
- [29] Büttiker M, Imry Y, Landauer R, Pinhas S 1985 *Phys. Rev. B* **31** 6207
- [30] Liu H, Neal A T, Ye P D 2012 *ACS Nano* **6** 8563
- [31] Xie H Q, Li J Y, Liu G, Cai X Y, Fan Z Q 2020 *IEEE Trans. Electron Devices* **67** 4130
- [32] Zhao P, Chauhan J, Guo J 2009 *Nano Lett.* **9** 684
- [33] Fan Z Q, Zhang Z H, Yang S Y 2020 *Nanoscale* **12** 21750

Performance and low power consumption of two-dimensional SiC field effect transistors regulated and optimized with asymmetric electrodes*

CHEN Jianju¹⁾ PENG Shuping¹⁾ DENG Shuling¹⁾ ZHOU Wen¹⁾
 FAN Zhiqiang^{1)†} ZHANG Xiaojiao^{2)‡}

1) (*School of Physics and Electronic Science, Changsha University of Science and Technology, Changsha 410114, China*)

2) (*School of Microelectronics and Physics, Hunan University of Technology and Business, Changsha 410205, China*)

(Received 29 June 2025; revised manuscript received 8 August 2025)

Abstract

By using the first-principles method based on density functional theory and non-equilibrium Green's function, the transport properties of 5-nm two-dimensional SiC field-effect transistors with asymmetric metal phase 1T-MoS₂ sources and Pd drain electrodes are investigated. The influence mechanism of increasing the electrode layers of 1T-MoS₂ and reducing the working electrical compression on the device performance is systematically analyzed. The Schottky barriers extracted from the zero bias and zero gate voltage transport spectra show that the valence band maximum of SiC in the channel regions of MFET, BFET and TFET are closer to the Fermi level after the source drain electrode has been balanced. Therefore, these three devices belong to P-type contact, and the height of the hole Schottky barrier increases with the increase of the number of 1T-MoS₂ layers in the source electrode, which are 0.6, 0.76, and 0.88 eV, respectively. In addition, the increase of 1T-MoS₂ layers will also lead to the increase of the density of states in the source electrode, thereby improving the transport coefficient at the band edge. The effects of the two on the transport capacity of the device are opposite, and there is a competitive relationship. The transfer characteristics of devices show that the wide band gap of SiC can significantly suppress the short channel effect, so that all devices can meet the requirements of Off-state. More importantly, the subthreshold swings of all devices at an operating voltage of 0.64 V are all close to the physical limit of 60 mV/dec. The ON-state currents of MFET, BFET and TFET can reach 1553, 1601 and 1702 $\mu\text{A}/\mu\text{m}$ under the more stringent IRDS HP standard, and the three performance parameters, i.e. intrinsic gate capacitance, power-delay product and delay time, can greatly exceed the standards in the international road map of equipment and systems (IRDS) for high-performance devices. In addition, the working voltage of MFET can be reduced to 0.52 V, and the corresponding power-delay product and delay time are as low as 0.086 fJ/ μm and 0.038 ps, which are only 14% and 4% of the IRDS standard. The asymmetric source drain electrode design strategy proposed in this work not only solves the problems about low On-state current and short channel effect restricting Off-state current of existing two-dimensional material field-effect transistors, but also provides an important solution for developing ultra-low power nano electronic devices in the post Moore era.

Keywords: two-dimensional material, first principles, field-effect transistor, transfer characteristic, short channel effect

PACS: 85.65.+h, 85.75.-d, 81.05.ue

DOI: [10.7498/aps.74.20250849](https://doi.org/10.7498/aps.74.20250849)

CSTR: [32037.14.aps.74.20250849](https://cstr.cn/32037.14.aps.74.20250849)

* Project supported by the National Natural Science Foundation of China (Grant No. 12074046).

† Corresponding author. E-mail: zqfan@csust.edu.cn

‡ Corresponding author. E-mail: xjzhang@hutb.edu.cn



非对称电极对二维SiC场效应晶体管工作性能调控与低功耗优化

陈建举 彭淑平 邓淑玲 周文 范志强 张小姣

Performance and low power consumption of two-dimensional SiC field effect transistors regulated and optimized with asymmetric electrodes

CHEN Jianju PENG Shuping DENG Shuling ZHOU Wen FAN Zhiqiang ZHANG Xiaojiao

引用信息 Citation: *Acta Physica Sinica*, 74, 198502 (2025) DOI: 10.7498/aps.74.20250849

CSTR: 32037.14.aps.74.20250849

在线阅读 View online: <https://doi.org/10.7498/aps.74.20250849>

当期内容 View table of contents: <http://wulixb.iphy.ac.cn>

您可能感兴趣的其他文章

Articles you may be interested in

垂直短沟道二硫化钼场效应晶体管

Vertical short-channel MoS₂ field-effect transistors

物理学报. 2022, 71(21): 218502 <https://doi.org/10.7498/aps.71.20220738>

10 nm金属氧化物半导体场效应晶体管中的热噪声特性分析

Analysis of thermal noise characteristics in 10 nm metal oxide semiconductor field effect transistor

物理学报. 2023, 72(22): 227303 <https://doi.org/10.7498/aps.72.20230661>

单层SnS场效应晶体管的第一性原理研究

First principles study of high-performance sub-5-nm monolayer SnS field-effect transistors

物理学报. 2024, 73(20): 207304 <https://doi.org/10.7498/aps.73.20241004>

新型二维拉胀材料SiGeS的理论预测及其光电性质

Theoretical prediction of novel two-dimensional auxetic material SiGeS and its electronic and optical properties

物理学报. 2022, 71(15): 153101 <https://doi.org/10.7498/aps.71.20220407>

光栅局域调控二维光电探测器

Photogating effect in two-dimensional photodetectors

物理学报. 2021, 70(2): 027801 <https://doi.org/10.7498/aps.70.20201325>

一个圆柱形双栅场效应晶体管的物理模型

A physical model of cylindrical surrounding double-gate metal-oxide-semiconductor field-effect transistor

物理学报. 2021, 70(15): 157302 <https://doi.org/10.7498/aps.70.20202156>