

超导量子处理器芯片工艺线中金属污染问题的研究*

徐晓¹⁾ 张海斌^{2)†} 宿非凡^{2)3)‡} 严凯²⁾ 荣皓³⁾ 邓辉²⁾³⁾ 杨新迎¹⁾
马效腾¹⁾ 董学¹⁾ 王绮名¹⁾ 刘佳林¹⁾ 李满满¹⁾

1) (济南量子技术研究院, 济南 250101)

2) (合肥国家实验室, 量子计算部, 合肥 230094)

3) (中国科学技术大学, 中国科学院量子信息与量子科技创新研究院, 合肥 230026)

(2025 年 8 月 15 日收到; 2025 年 9 月 17 日收到修改稿)

超导量子处理器芯片的制造工艺面临特殊的金属污染挑战, 其材料体系和工艺特性与传统半导体芯片存在显著差异. 本研究系统分析了量子芯片中金属污染的来源、扩散机制及防控策略, 重点探讨了超导材料(如 Ta, Nb, Al, TiN 等)在蓝宝石和硅衬底上的体扩散与表面扩散行为. 研究发现, 蓝宝石衬底因其致密晶格结构表现出优异的抗扩散性能, 而硅衬底需重点关注 Au, In, Sn 等易迁移金属的污染风险. 通过实验验证, Ti/Au 结构的凸点下金属化层在硅衬底上易发生 Au 穿透扩散, 且增加 Ti 层厚度无法显著改善阻挡效果. 量子芯片的低温工艺 ($<250\text{ }^{\circ}\text{C}$) 和超低温工作环境 (mK 级) 有效抑制了金属扩散, 但暴露的金属表面和材料多样性仍带来独特挑战. 研究建议建立量子芯片专属的金属污染防控体系, 并提出了后续在新型材料评估、表面态调控及长期可靠性研究等方向的发展路径. 本文为超导量子芯片的工艺优化和性能提升提供了重要理论支撑和技术指导.

关键词: 超导量子处理器芯片, 工艺线金属污染, 体扩散, 表面扩散

DOI: 10.7498/aps.75.20251101

CSTR: 32037.14.aps.75.20251101

1 引言

20 世纪物理学的两大理论突破——量子科学和相对论, 为现代科技发展奠定了重要基础. 近年来, 量子技术实用化进程显著加速, 其中超导量子计算因其能够直接借鉴成熟的半导体产业经验并具备规模化扩展潜力, 成为最具发展前景的技术路线之一. 半导体产业经过数十年的发展, 已形成以 12 英寸晶圆为主的现代化工艺体系. 这一产业生态起源于二战后, 在长期发展过程中不仅培育了庞大的专业队伍, 更构建起涵盖标准制定、制度规范、体系建设的完整产业链. 特别是在半导体材

料、生产设备和制造工艺等方面, 该产业展现出基于“摩尔定律”的持续创新能力和快速迭代优势, 为量子计算技术的发展提供了重要支撑.

在量子计算领域, 国际竞争日趋激烈. 2024 年 12 月, 美国谷歌公司发布量子芯片 “Willow: Quantum for AI”, 在量子纠错方面取得重大突破^[1]; 2025 年 3 月, 我国研制的“祖冲之三号”超导量子计算机问世, 其 105 个量子比特的核心指标和多项关键性能超越谷歌 Willow 芯片, 仅在纠错能力方面稍逊一筹^[2]. 这一突破标志着我国在超导量子计算领域已跻身世界前列. 然而, 与国际先进水平相比, 我国在产业化制备工艺方面仍存在差距. 比利时微电子研究中心 (IMEC) 已在 300 mm 互补金属氧化物半导体 (CMOS) 生产线上实现超导量子

* 山东省自然科学基金 (批准号: ZR2022LLZ008)、济南科技局和济南高新区管理委员会资助的课题.

† 通信作者. E-mail: hbzh@ustc.edu.cn

‡ 通信作者. E-mail: sufeifan@ustc.edu.cn

比特的规模化制备, 晶圆良品率达 98.25%^[3]; 而我国的“祖冲之三号”仍采用实验室规模的 3 英寸工艺线, 在工艺积累和产业化能力上还需进一步提升.

基于这一现状, 本研究聚焦量子芯片制备工艺中的金属污染问题, 系统探讨其影响机制, 旨在为工艺优化提供理论依据和技术参考, 推动我国量子计算技术的产业化进程. 当前量子计算研究仍处于基础研究阶段, 诸多科学和工程问题亟待解决, 这需要学术界和产业界的持续协同创新.

2 分析和讨论

半导体芯片制造过程中长期存在的金属污染问题对器件性能和可靠性构成了严峻挑战. 量子芯片的制备工艺在很大程度上借鉴了传统半导体技术路线. 因此, 在系统研究量子芯片中的金属污染效应之前, 有必要先对半导体芯片领域的金属污染来源、迁移机制及其对器件电学特性的影响规律深入探究. 这一研究思路不仅有助于建立技术传承性的认知框架, 更能为量子芯片的特殊工艺要求提供针对性的参考依据.

2.1 半导体芯片的金属污染防控

2.1.1 半导体芯片金属污染原因探索

金属污染来源主要分为两类: 一是工艺过程中使用的金属薄膜材料, 二是由外部环境或制程引入的非预期金属杂质原子. 对半导体器件的影响体现在金属在硅中具有高扩散系数; 在禁带中引入深能级缺陷, 影响载流子寿命; 对器件电学性能 (如漏电流、阈值电压等) 产生显著影响^[4].

半导体芯片对过渡金属 (如 Fe, Cu, Ni, Co)、碱金属 (如 Na, K) 和重金属 (如 Au, Ag) 等金属元素特别敏感. 铜在硅中扩散速度极快, 铁是最常见的污染源之一, 会显著降低少数载流子寿命, 增加漏电流.

2.1.2 半导体芯片金属污染的隐蔽性与严重后果

金属污染在半导体制造过程中具有隐蔽性强、扩散效应显著、存在系统性风险等典型特征. 金属污染的强隐蔽性表现为, 污染初期无明显征兆, 使用常规的检测手段难以发现, 通常在产品使用过程中逐渐显现, 且微量的金属杂质 (ppb 级) 即可造

成器件性能劣化. 金属污染的扩散效应显著, 过渡金属 (如 Fe, Cu, Ni 等) 在硅中扩散系数高, 在热平衡状态下, 这些元素都以间隙扩散和高温溶解为主^[5]. 半导体芯片制备中的高温工艺会加速污染扩散 (如退火、氧化等工序). 金属污染具有系统性风险, 可通过设备、载具、气体管路等途径交叉传播, 往往在多个工艺设备间快速蔓延, 使整条产线可能面临停产检修. 金属污染的去污处理成本高昂且效果有限.

在当前半导体行业“赢者通吃”的竞争格局下, 一次严重的金属污染事件就可能导致企业失去技术领先地位. 因此, 建立完善的预防性监测体系和快速响应机制, 是先进半导体制造不可或缺的质量保障措施.

2.1.3 半导体芯片的金属污染防控体系

半导体芯片制造中的金属污染防控体系是一个多层级、全流程的精密控制系统, 主要包含以下核心措施^[6]. 材料源头控制方面, 选用高纯材料, 硅片 ($\geq 99.9999999\%$ 纯度)、化学试剂 (SEMI C12 及以上等级)、气体 (如电子级 NF_3). 采用吸杂 (gettering) 技术 (如氢退火) 的硅片, 通过晶格缺陷捕获金属杂质 (Fe, Cu 等) 来优化衬底. 工艺环境控制方面, 洁净室标准: Class 1—10 级无尘室 (ISO 3—4 级), 控制颗粒和金属气溶胶. 设备钝化处理: 反应腔室和管道内壁镀覆耐腐蚀涂层 (如石英、SiC), 减少金属剥落. 对专用工具进行隔离: 铜制程设备与铝制程设备物理分隔, 避免交叉污染. 工艺技术防控方面, 采用低温工艺, 降低高温下金属扩散速率 (如后段互连采用 $\leq 400\text{ }^\circ\text{C}$ 工艺); 设计阻挡层 (图 1), 介电层中嵌入 TaN/TiN 等金属扩散阻挡层; 使用硅化物接触层 (如 NiSi) 抑制金属穿透. 清洗工艺采用 RCA 标准清洗 (SC1/SC2)

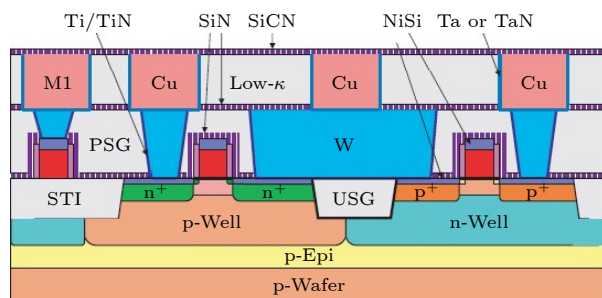


图 1 半导体芯片 TaN/TiN 等金属扩散阻挡层和硅化物 NiSi 接触层示意图^[7]

Fig. 1. Schematic diagram of TaN/TiN diffusion barrier layers and NiSi contact layer in semiconductor chips^[7].

去除表面金属; 稀氢氟酸 (DHF) 剥离自然氧化层及吸附金属.

2.2 半导体芯片与量子芯片的差异

在构建超导量子处理器芯片工艺线的初期, 研究团队敏锐地意识到量子处理器芯片与传统半导体芯片存在本质性差异, 量子领域无法直接套用半导体行业的成熟经验. 半导体器件的特征参数, 如逻辑通讯芯片的最大工作频率 $F_{\max}$ 、静态漏电流 (IDD quiescent, IDDQ) 等与 CMOS 器件参数之间的关联机制已得到充分研究和明确阐释, 其影响因素相对明确且机理清晰.

相比之下, 量子芯片的关键性能参数包括量子比特能量弛豫时间 (T_1)、纯退相干时间 (T_ϕ)、谐振腔本征品质因子 (Q_i) 和外部品质因子 (Q_e) 等受到设计、材料、工艺和测量系统的多重耦合影响, 且各因素间的关联机制尚未完全明晰. 这种复杂性导致量子芯片工艺目前仍处于“黑盒”状态, 许多关键工艺指标难以精确定义和量化, 为工艺优化和性能提升带来了显著挑战.

表 1 简要列举了半导体芯片与超导量子芯片在器件结构、材料选择、工艺特点和使用环境等方面的主要差异.

2.3 量子芯片中金属污染的特殊性

基于半导体芯片与量子芯片在材料体系与工艺特性上的差异分析, 量子芯片制造在金属污染防控方面呈现出若干显著特征. 器件部分直接使用超导金属材料, 无法像半导体芯片那样进行前后段隔离; 采用空气隔离而非介质隔离, 金属表面迁移通道始终存在; 如图 2 的共面波导 (coplanar waveguide, CPW) 传输线及其地线互连的铝制跨接桥结构, 如果铝质跨接桥的原子在氧化硅表面扩

散延伸至 CPW 芯线, 并通过铝质跨接桥与地线形成导电通路, 将直接导致共面波导的短路故障; 限制高温工艺的使用, 抑制了金属原子的体扩散和表面扩散; 由于表面存在裸露金属结构, 传统的半导体酸洗工艺难以直接用于去除表面金属原子, 这一特性限制了该方法的广泛应用; 衬底主要起承载作用, 不参与器件形成, 金属扩散影响较小; 工作电流小 (μA 量级), 降低了电场诱导扩散的风险.

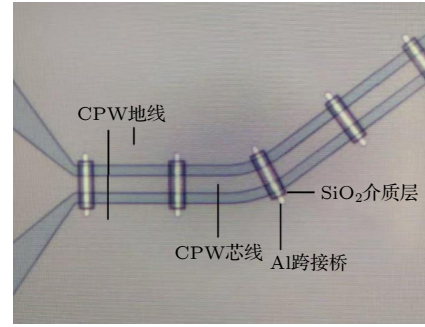


图 2 用于量子芯片的 CPW 传输线及其地线互连的铝质跨接桥结构

Fig. 2. Aluminum crossover bridge structure for CPW transmission line and ground interconnects in quantum chips.

2.4 量子芯片中金属材料的扩散特性

目前, 针对量子芯片中金属污染的深入研究在国内外仍处于起步阶段, 相关研究数据与理论积累极为匮乏. 与成熟的半导体芯片金属污染研究相比, 量子芯片中的金属污染机制及其影响尚未形成系统性的认知体系. 鉴于这一现状, 本研究将首先聚焦于金属污染导致的两类基础性失效问题: 电路短路和漏电流, 这两类问题主要源于金属杂质在介质层中的体扩散以及样品表面的迁移行为. 研究选取了量子芯片中广泛使用的典型超导材料 (包括器件材料与互连材料), 如 Ta, Nb, Al, TiN,

表 1 半导体芯片与超导量子芯片的工艺比较

Table 1. Comparison of process characteristics between conventional semiconductor chips and superconducting quantum chips.

		半导体芯片	超导量子芯片
器件		CMOS场效应晶体管等	约瑟夫森结的Transmon结构等
材料	衬底	Si, InP, SiC等	蓝宝石、高阻Si等
	前道工艺	半导体掺杂等	超导金属、少量介质材料等
工艺		离子注入、热工艺等	有机清洗工艺、剥离工艺等
环境	温度	-40—150 °C	毫开尔文(mK)级低温
	湿度	常规环境30%—70% RH或更宽泛	真空环境
	电磁	常规环境 (除空间应用等特殊场景外)	电磁屏蔽

In 和 Sn, 重点考察其扩散特性. 此外, 考虑到实际工艺限制, 部分非超导金属 (如 Ti, Au) 仍可能作为互连材料被采用, 因此也将这些材料纳入研究范围, 以全面评估不同金属体系对量子芯片性能的潜在影响. 这一限定性研究框架的建立, 旨在为量子芯片金属污染研究奠定基础性的实验数据和理论依据, 为后续更深入的机理探索提供必要的技术支撑.

2.4.1 量子芯片中金属材料的体扩散

体扩散指原子通过晶格内部迁移, 通常需要较高温度激活, 与材料的熔点、晶格结构和缺陷密度相关^[8,9].

1) 硅 (Si) 中的扩散. 高熔点金属 (Ta, Nb, Ti) 及其氮化物 (TiN) 在硅中扩散系数极低, 在高温 (>800 °C) 下才能发生显著扩散, 通过空位机制扩散, 并与 Si 反应形成硅化物 (如 NbSi₂, Ta₂Si), 这会显著改变扩散路径^[10]. TiN 在硅中几乎不扩散, 因此常用作扩散阻挡层^[11]; 快扩散元素 Au 在 Si 中的扩散率非常高 (即使在 300—400 °C), 易通过晶界或缺陷快速渗透硅, 破坏器件性能^[12,13]; Al 在硅中扩散速度适中 (需 500—600 °C), 常用于掺杂; In/Sn 扩散较快 (低熔点), 尤其 Sn 在高温下易形成硅化物.

2) 氧化硅 (SiO₂) 中的扩散. SiO₂ 作为绝缘层, 对高熔点金属 (Ta, Nb, Ti) 扩散阻挡效果好 (TiN 常用于 Cu/SiO₂ 间的阻挡层); Au 扩散较慢不易与 SiO₂ 结合^[14], 但高温下仍可能通过缺陷渗透; Al 在 SiO₂ 中扩散较慢 (需高温); In, Sn 因低熔点易在界面聚集.

3) 蓝宝石 (Al₂O₃) 中的扩散^[15]. 蓝宝石为致密单晶, 扩散能垒高, 多数金属 (除 Au) 扩散极慢. Au 可能沿表面缺陷扩散; Al 因与基底同元素, 扩散活性较低.

2.4.2 量子芯片用金属材料的表面扩散

表面扩散受原子吸附能、基底表面能和温度影响, 低熔点金属更易迁移.

1) 硅 (Si) 表面. Au, Al, In, Sn 等金属具有较低的熔点易迁移, 易形成岛状或液滴 (如 In/Sn 在高温下聚球). Au 在 Si 表面易形成硅化物存在低温共晶 (如 AuSi 共晶点~363 °C)^[16], Ti, TiN 迁移率低, 倾向于均匀覆盖 (TiN 常用于黏附层).

2) 氧化硅 (SiO₂) 表面. Au 表面能高, 在 SiO₂ 表面易发生团聚, 需使用 Cr/Ti 黏附层改善其润湿性, Al 在 SiO₂ 上润湿性较好, In/Sn 则易形成纳米颗粒^[17].

3) 蓝宝石 (Al₂O₃) 表面. 表面能高, 金属易团聚 (如 Au 球化), Ti/TiN 因强键合可改善薄膜均匀性.

2.4.3 关键影响因素

金属的扩散和迁移速度受温度、界面反应及缺陷和晶界等的影响. 高温使扩散和迁移速度显著增加 (如 Sn 在 >200 °C 即开始流动). 界面反应的存在会促进金属的扩散和迁移, 如 Ti/Si 形成硅化物、Au/Si 形成共晶、Al/SiO₂ 可能还原氧化物. 缺陷和晶界使金属扩散加快, 如多晶基底 (如多晶 SiO₂) 中扩散更快.

2.4.4 体扩散与表面扩散的对比

表 2 是体扩散 (Dbulk) 与表面扩散 (Ds) 的特性对比. 表面扩散核心在于低激活能和高迁移率, 使表面过程通常比体相过程更快.

表 2 体扩散与表面扩散的特性对比^[18]

Table 2. Comparison of physical characteristics between metal bulk diffusion and surface migration^[18].

特性	体扩散	表面扩散
激活能	较高(1—5 eV)	较低(0.1—2.0 eV)
温度依赖性	较敏感	更敏感(指数关系)
主导机制	空位、间隙	跳跃、交换
典型速率	较慢	更快(Ds ≫ Dbulk)

2.5 量子芯片金属材料扩散特性与污染防控综合分析

2.5.1 量子芯片金属材料扩散特性

不同衬底及金属材料在量子芯片制造中的扩散行为存在显著差异, 直接影响器件性能和可靠性. 蓝宝石 (Al₂O₃) 因其致密的晶格结构和极高的化学稳定性 (熔点为 2050 °C)^[19], 展现出优异的抗金属扩散能力. 能有效抑制金属杂质在材料中的扩散和表面扩散, 降低污染风险, 为超导量子芯片提供稳定的界面环境. 抗扩散性强的金属 (Ta, Nb, TiN, Ti), 在硅基介质中体扩散系数极低, 表面扩散能垒较高, 常温下扩散可忽略不计. 快扩散元素 Au, 则易通过晶界或缺陷快速渗透硅, 需严格控制

污染. Al 在高温下可能扩散, 但量子芯片制造中通常采用原位氧化处理, 在金属线表面形成 2—5 nm 致密 Al_2O_3 层, 有效抑制扩散. 类似地, 传统半导体后段制程 (back-end of line, BEOL) 的铝互连线 (Al interconnect) 也依赖自然氧化层而非额外阻挡层 (如 TiN, TaN) 来防止漏电. 对于低熔点金属 (In/Sn), In 在 Si 的表面扩散较快 (能垒 $\sim 0.31\text{--}0.66$ eV), 接近熔点时易形成液态薄膜^[20]. 实验观测到 In 在低温 (<100 °C) 下的台阶流动 (step-flow) 迁移, 需特别注意工艺控制.

2.5.2 工艺环境对金属扩散的抑制作用

量子芯片的低温工艺和工作环境大幅降低了金属扩散风险, 制造工艺温度严格限制 (通常 <250 °C), 有效抑制热激活扩散. 工作环境为毫开尔文 (mK) 级超低温, 热力学驱动力极低. 此外, 驱动电流仅为微安 (μA) 量级 (比半导体低 3—5 个数量级), 电场诱导扩散风险极小.

2.5.3 量子芯片结构特点的影响

与传统半导体相比, 量子芯片的结构相对简单, 无复杂三维结构, 其中衬底主要起机械支撑作用, 不参与器件功能. 但空气隔离结构使金属导线直接暴露, 带来独特的表面效应. 芯片制备过程中, 表面态 (粗糙度、氧化层等) 显著影响迁移势垒. 因此, 工艺中的表面处理 (清洗、钝化) 将直接影响器件的长期稳定性. 工作时的真空环境虽维持表面稳定, 但初始污染可能影响器件性能.

2.5.4 硅衬底 UBM 结构扩散特性实验研究

随着量子计算技术的发展, 数十比特规模的量子芯片已普遍采用倒装焊等先进三维封装技术. 在此类封装结构中, 凸点下金属化层 (under bump metallization, UBM) 作为连接焊球与芯片焊盘的关键界面层, 其可靠性直接影响到器件的长期稳定性^[21,22]. 本研究针对 Ti/Au 结构的 UBM 层与硅衬底暴露区域重叠的情况, 系统探究了金属扩散对衬底绝缘性能的影响机制.

实验设计采用梳状测试结构 (图 3), 其特征尺寸为: 线间距 $2\text{ }\mu\text{m}$, 线长 $200\times 200\text{ }\mu\text{m}$. 样品制备过程中, 首先使用离子束轰击去除硅表面自然氧化层, 随后通过电子束蒸发依次沉积 10 nm Ti 和 200 nm Au. 为模拟实际工艺条件, 样品在沉积后经历 $245\text{ }^\circ\text{C}/5\text{ min}$ 的热处理过程.

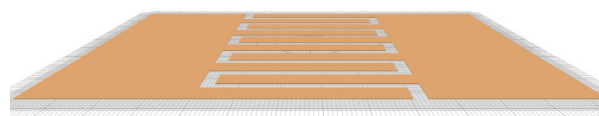


图 3 梳状电极 UBM 结构的线间电阻测试示意图

Fig. 3. Schematic of interline resistance test structure for comb-shaped UBM electrodes.

图 4 电阻测试结果表明, 经过高温处理后, UBM 线间电阻出现数量级的下降. 这一现象证实了 Au 原子穿透 Ti 阻挡层向硅衬底扩散的物理过程. 为进一步研究扩散机制, 我们进行以下对照实验: 首先, 增加 Ti 层厚度至 20 nm 的对比实验显示, 阻挡效果未见明显改善, 表明单纯增加 Ti 层厚度并不能有效抑制 Au 扩散; 其次, 通过在 UBM 层下方设置 200 nm Ta 阻挡层, 分别测试中心区域和边缘区域的扩散特性. 实验数据表明, Au 沿 Ti 表面的迁移效应与通过 Ti 层的体扩散效应强度相当, 未观察到显著的表面增强扩散现象.

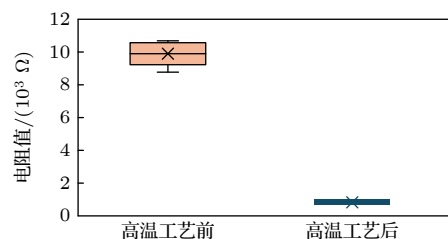


图 4 高温处理 ($245\text{ }^\circ\text{C}/5\text{ min}$) 前后 UBM 线间电阻变化对比

Fig. 4. Comparison of UBM interline resistance before and after thermal treatment ($245\text{ }^\circ\text{C}/5\text{ min}$).

实验结果初步表明, 需将非主要材料 (如非超导金属) 纳入研究范围. 金在衬底中的扩散可能会导致量子芯片出现信号串扰或异常发热的现象. 然而, 也存在另一种可能性: 当量子芯片处于超导工作状态时, 非超导金属金的扩散引起的硅衬底电阻率变化与之相比可能完全可忽略. 具体结果仍需进一步系统深入研究.

2.5.5 量子芯片金属污染防控的特殊挑战

与传统半导体芯片相比, 超导量子芯片的污染防控面临一些独特问题. 使用材料具有多样性, 采用多种超导金属 (Ta, Nb, Al, TiN 等), 各金属的扩散特性各异. 同时, 新型超导材料不断引入, 需持续评估污染风险. 此外, 受工艺限制无法沿用半导体的介质隔离方案, 高温退火等传统净化手段也

受限于量子比特频率稳定性要求. 由于材料的表面敏感性, 暴露金属表面的迁移行为与表面化学状态密切相关, 工艺诱导的表面修饰 (如氧化、吸附) 可能显著影响长期可靠性.

2.6 结 论

目前, 在量子芯片金属污染的防控方面, 蓝宝石衬底展现出最优的抗扩散能力. 对于硅衬底, 需要重点防控 Au, In, Sn 等金属材料的扩散. 而量子芯片制备中所采用的低温工艺 ($<250\text{ }^{\circ}\text{C}$) 和超低温工作环境 (mK 级), 使得金属材料的扩散得到显著抑制. 金属材料的表面暴露和材料多样性是当前面临的主要挑战, 需建立量子芯片的专属防控体系.

3 研究现状与展望

当前研究表明, 在现有工艺条件下, 金属污染尚未成为限制量子芯片性能的主要瓶颈. 材料本征特性与低温环境共同抑制了扩散问题, 表面扩散风险可通过优化工艺参数和表面处理来管控. 未来研究方向应重点关注新型超导材料的污染特性评估, 表面态工程对迁移行为的调控机制, 以及长期工作条件下的表面演化规律, 兼容量子比特性能的污染控制方法开发. 随着量子芯片向更高集成度发展, 建立针对超导量子器件的金属污染评估体系和控制标准将变得尤为重要.

经过多方持续多年的协同努力, 即便在 2024 年全球外贸环境恶化、国际技术制裁不断升级的严峻形势下, 我国芯片产业仍实现重大突破年度出口额首次突破万亿元大关, 产业自给率显著提升至 30%, 这一成就为国产半导体产业链的自主可控进程提供了有力佐证.

当前, 我国量子计算研究正处于追赶国际先进水平的关键阶段. 面对芯片、量子和人工智能等领域技术封锁, 我们应加强基础研究, 培养专业人才, 突破关键工艺, 推动量子计算技术的自主创新

发展. 相信在国家政策支持和科研人员的共同努力下, 通用型量子计算机的实现将不再遥远.

参考文献

- [1] Acharya R, Abanin D A, Aghababaie-Beni L, Aleiner I, Andersen T I, Ansmann M, Arute F, Arya K, Asfaw A, Astrakhantsev N, et al. 2025 *Nature* **638** 920
- [2] Gao D X, Fan D J, Zha C, Bei J H, Cai G Q, Cai J B, Cao S R, Chen F S, Chen J, Chen K, et al. 2025 *Phys. Rev. Lett.* **134** 090601
- [3] Van Damme J, Massar S, Acharya R, Ivanov T, Perez Lozano D, Canvel Y, Demarets M, Vangoidsenhoven D, Hermans Y, Lai J G, Vadiraj A M, Mongillo M, Wan D, De Boeck J, Potočník A, De Greve K 2024 *Nature* **634** 74
- [4] Dieter K S 2005 *Semiconductor Material and Device Characterization* (Hoboken: Wiley IEEE Press) p127
- [5] Weber E R 1983 *Appl. Phys. A* **30** 1
- [6] Quirk M, Serda J (translated by Han Z S) 2015 *Semiconductor Manufacturing Technology* (Beijing: Publishing House of Electronics Industry) (in Chinese) [夸克 M, 瑟达 J 著 (韩郑生 译) 2015 半导体制造技术 (北京: 电子工业出版社)]
- [7] Xiao H 2012 *Introduction to Semiconductor Manufacturing Technology* (Bellingham: SPIE Press)
- [8] Mehrer H 2007 *Diffusion in Solids: Fundamentals, Methods, Materials, Diffusion-Controlled Processes* (Heidelberg: Springer Verlag)
- [9] Seshan K 2012 *Handbook of Thin Film Deposition: Techniques, Processes, and Technologies* (Amsterdam: Elsevier)
- [10] Gas P, d'Heurle F M 1993 *Appl. Surf. Sci.* **73** 153
- [11] Nicolet M A 1978 *Thin Solid Films* **52** 415
- [12] Gösele U, Frank W, Seeger A 1980 *Appl. Phys.* **23** 361
- [13] Nakashima K, Iwami M, Hiraki A 1975 *Thin Solid Films* **25** 423
- [14] Murarka S P 2005 *Diffusion Processes in Advanced Technological Materials* (Amsterdam: Elsevier) pp239–281
- [15] Saiz E, Cannon R M, Tomsia A P 1999 *Acta Mater.* **47** 4209
- [16] Matthews T S, Sawyer C, Ogletree D F, Liliental-Weber Z, Chrzan D C, Wu J 2012 *Phys. Rev. Lett.* **108** 096102
- [17] Prabuputaloong K, Piggott M R 1973 *J. Am. Ceram. Soc.* **56** 177
- [18] Seebauer E G, Allen C E 1995 *Prog. Surf. Sci.* **49** 265
- [19] Kirby K W 2008 *M. S. Thesis* (State College: The Pennsylvania State University)
- [20] Wu N J, Yasunaga H, Natori A 1992 *Appl. Surf. Sci.* **260** 75
- [21] Li Z R 2012 *M. S. Thesis* (Beijing: Beijing University of Chemical Technology) (in Chinese) [李智瑞 2012 硕士学位论文 (北京: 北京化工大学)]
- [22] Lu Y D, He X Q, En Y F, Wang X, Zhuang Z Q 2010 *Acta Phys. Sin.* **59** 3438 (in Chinese) [陆裕东, 何小琦, 恩云飞, 王歆, 庄志强 2010 物理学报 **59** 3438]

Metal contamination in process line of superconducting quantum processor chips^{*}

XU Xiao¹⁾ ZHANG Haibin^{2)†} SU Feifan^{2)3)‡} YAN Kai²⁾ RONG Hao³⁾
 DENG Hui²⁾³⁾ YANG Xinying¹⁾ MA Xiaoteng¹⁾ DONG Xue¹⁾
 WANG Qiming¹⁾ LIU Jialin¹⁾ LI Manman¹⁾

1) (*Jinan Institute of Quantum Technology, Jinan 250101, China*)

2) (*Hefei National Laboratory, Quantum Computing Department, Hefei 230094, China*)

3) (*University of Science and Technology of China, CAS Center for Excellence in Quantum Information and Quantum Physics, Hefei 230026, China*)

(Received 15 August 2025; revised manuscript received 17 September 2025)

Abstract

The manufacturing process of superconducting quantum processor chips faces special challenges of metal contamination, and their material system and process characteristics are significantly different from those of traditional semiconductor chips. This study focuses on the issue of metal contamination in the fabrication process of quantum chips, systematically analyzing the sources, diffusion mechanisms, and prevention strategies of metal contamination in quantum chips, where the bulk diffusion and surface migration behaviors of superconducting materials (such as Ta, Nb, Al, TiN) on sapphire and silicon substrates are particularly emphasized, aiming to provide theoretical basis and technical references for process optimization and to promote the industrialization process of quantum computing technology.

The metal contamination in the fabrication of quantum chips is mainly caused by the metal film materials used in the process, the external environment, or the unintended metal impurity atoms introduced in the manufacturing process. Among them, some quantum chip components directly use superconducting metal materials. Unlike semiconductor chips, they cannot achieve front and back stage isolation, resulting in the continuous presence of metal surface migration channels, and the exposed metal structures on the chip surface. Metal contamination often leads to two basic failure problems: short circuits and leakage currents. These problems mainly result from the bulk diffusion of metal impurities in the dielectric layer and the migration behavior on the sample surface. The diffusion and migration rates of metals are affected by temperature, interface reactions, defects, and grain boundaries. The results show that the sapphire substrate, due to its dense lattice structure, exhibits excellent anti-diffusion performance, reducing the risk of contamination and providing a stable interface environment for superconducting quantum chips. For silicon substrates, special attention must be paid to the contamination risks from high-mobility metals such as Au, In, and Sn. Experimental verification shows that Ti/Au under bump metallization structures on silicon substrates are prone to Au penetration diffusion, and increasing Ti thickness does not significantly improve the blocking effect. The low-temperature process ($< 250\text{ }^{\circ}\text{C}$) and ultra-low-temperature operating environment (mK level) of quantum chips effectively suppress metal diffusion, but the exposed metal surfaces and material diversity still pose unique challenges.

The study recommends establishing a dedicated metal contamination prevention system for quantum chips and proposes future research directions, including the evaluations of novel materials, surface state regulation, and long-term reliability studies. This work provides important theoretical support and technical guidance for optimizing the process and enhancing the performance of superconducting quantum chips.

Keywords: superconducting quantum processor chip, process line metal contamination, bulk diffusion, surface migration

DOI: [10.7498/aps.75.20251101](https://doi.org/10.7498/aps.75.20251101)

CSTR: [32037.14.aps.75.20251101](https://cstr.cn/32037.14.aps.75.20251101)

^{*} Project supported by the Natural Science Foundation of Shandong Province, China (Grant No. ZR2022LLZ008), the Jinan Science & Technology Bureau, and the Jinan Innovation Zone, China.

[†] Corresponding author. E-mail: hbzh@ustc.edu.cn

[‡] Corresponding author. E-mail: sufeifan@ustc.edu.cn



超导量子处理器芯片工艺线中金属污染问题的研究

徐晓 张海斌 宿非凡 严凯 荣皓 邓辉 杨新迎 马效腾 董学 王绮名 刘佳林 李满满

Metal contamination in process line of superconducting quantum processor chips

XU Xiao ZHANG Haibin SU Feifan YAN Kai RONG Hao DENG Hui YANG Xinying MA Xiaoteng
DONG Xue WANG Qiming LIU Jialin LI Manman

引用信息 Citation: *Acta Physica Sinica*, 75, 010601 (2026) DOI: 10.7498/aps.75.20251101

CSTR: 32037.14.aps.75.20251101

在线阅读 View online: <https://doi.org/10.7498/aps.75.20251101>

当期内容 View table of contents: <http://wulixb.iphy.ac.cn>

您可能感兴趣的其他文章

Articles you may be interested in

应用于超导脑磁系统的集成超导量子干涉器件芯片的设计与性能评估

Design and performance evaluation of integrated superconducting quantum interference device chips for superconducting brain magnetometer systems

物理学报. 2025, 74(19): 198501 <https://doi.org/10.7498/aps.74.20250426>

一维超导传输线腔晶格中的拓扑相变和拓扑量子态的调制

Modulation of topological phase transitions and topological quantum states in one-dimensional superconducting transmission line cavities lattice

物理学报. 2022, 71(19): 194203 <https://doi.org/10.7498/aps.71.20220675>

基于现场可编程门阵列的高能效轻量化残差脉冲神经网络处理器实现

Implementation of high-efficiency, lightweight residual spiking neural network processor based on field-programmable gate arrays

物理学报. 2025, 74(14): 148701 <https://doi.org/10.7498/aps.74.20250390>

基于超导量子系统的量子纠错研究进展

Advances in quantum error correction based on superconducting quantum systems

物理学报. 2022, 71(24): 240305 <https://doi.org/10.7498/aps.71.20221824>

超导量子干涉器件

Superconducting quantum interference devices

物理学报. 2021, 70(1): 018502 <https://doi.org/10.7498/aps.70.20202131>

光量子芯片中级联移相器的快速标定方法

High-speed calibration method for cascaded phase shifters in integrated quantum photonic chips

物理学报. 2021, 70(18): 184207 <https://doi.org/10.7498/aps.70.20210401>