

## 特邀综述

## 高速视觉芯片研究进展\*

王哲<sup>1) #</sup> 杨旭<sup>1) #</sup> 吕卓阳<sup>1) 3)</sup> 丁博文<sup>1)</sup> 于双铭<sup>1)</sup> 窦润江<sup>1)</sup>  
石匆<sup>2)</sup> 刘剑<sup>1) 3)</sup> 吴南健<sup>1)</sup> 冯鹏<sup>1) 4) †</sup> 刘力源<sup>1) 4) ‡</sup>

1) (中国科学院半导体研究所, 半导体芯片物理与技术全国重点实验室, 北京 100083)

2) (重庆大学微电子与通信工程学院, 重庆 400044)

3) (中国科学院大学材料科学与光电技术学院, 北京 100049)

4) (中国科学院大学电子电气与通信工程学院, 北京 100049)

(2025年11月10日收到; 2025年12月22日收到修改稿)

在边缘计算场景中, 视觉感知系统的响应速度、体积及功耗已成为核心挑战. 传统感算分离的视觉系统因数据传输导致的高延迟、高功耗以及隐私泄露等问题亟待解决. 在此背景下, 模仿人类视觉系统的视觉芯片成为有效解决方案之一, 视觉芯片将图像采集与信息处理集成在一起, 实现了感算一体的协同处理机制, 能在边缘端高效完成视觉感知与计算任务. 本文围绕高速视觉芯片的技术路径, 系统梳理了其关键环节的研究进展, 分别从高速传感器器件、读出电路与智能处理3个层面展开论述. 分析了互补金属氧化物半导体图像传感器、动态视觉传感器与单光子图像传感器在实现高速光电转换中的物理机制、结构创新与性能瓶颈; 探讨了高速模数转换、地址事件编码及时间相关单光子计数等读出电路架构及其效率优化策略; 并介绍了基于脉冲信号的高速图像复原与脉冲神经网络处理等前沿智能处理算法. 最后对高速视觉芯片未来发展趋势进行了展望.

**关键词:** 高速视觉芯片, 互补金属氧化物半导体图像传感器, 脉冲型图像传感器, 高速脉冲处理

**DOI:** 10.7498/aps.75.20251534

**CSTR:** 32037.14.aps.75.20251534

## 1 引言

传统视觉处理系统通常采用图像采集与处理分离的架构, 通过摄像头等传感器获取图像后, 再将原始数据传至云端或本地计算设备进行处理. 该方式存在数据传输需求高、实时性不足、隐私泄露风险等问题. 随着边缘应用对系统体积、功耗及响应速度要求的不断提升, 传统方案的局限性日益凸显. 在此背景下, 伴随半导体与信息技术的进步, 模仿人类视觉系统结构与功能的仿生视觉芯片成

为有效解决方案之一. 视觉芯片将图像采集与信息处理功能集成于一体, 能够高效完成视觉感知与计算任务, 实现“感算一体”的协同处理机制<sup>[1]</sup>. 其设计灵感来源于人类视觉系统: 光线经晶状体投射至视网膜, 视网膜不仅完成光电转换, 还能并行提取关键特征、压缩冗余信息, 再传递至大脑进行识别. 视觉芯片以像素阵列模拟视网膜的图像采集功能, 通过大规模并行处理电路实现特征提取与数据预处理, 再借助高层处理器进行深度分析与识别, 最终直接输出特征信息或识别结果至外部设备. 目前, 视觉芯片已具备中高级图像处理能力, 结合软

\* 国家自然科学基金 (批准号: 62334008, 62404218, 62134004, 92464103)、北京市自然科学基金 (批准号: Z220005, L254053) 和重庆市高等教育教学改革研究项目 (批准号: 233040) 资助的课题.

# 同等贡献作者.

† 通信作者. E-mail: fengpeng06@semi.ac.cn

‡ 通信作者. E-mail: liuly@semi.ac.cn

硬件协同设计与神经网络算法,可在嵌入式移动端实现图像识别、目标跟踪等多种智能任务。

视觉芯片的高集成度架构显著减少了信号传输延迟,提升了系统响应速度.其处理单元通常针对计算机视觉算法进行专用优化,具备低功耗的运算核心与存储结构,相比通用处理器(如GPU, CPU),在同等算力下功耗更低.此外,芯片级集成有助于缩小系统体积,提升整体便携性与适用性.由于图像数据在芯片内部完成处理,无需外传至云端或服务器,视觉芯片在隐私保护方面具备天然优势,降低了数据在传输过程中被窃取或篡改的风险,适用于对安全性要求较高的视觉任务.凭借这些优异特性,视觉芯片在智能终端、自动驾驶、物联网与机器视觉等领域展现出广阔的应用前景与发展潜力.

早在20世纪90年代, Mead<sup>[2]</sup>和 Ishikawa等<sup>[3]</sup>便率先提出了视觉芯片的概念,开启了该领域数十年的高速发展.2014年, Shi等<sup>[4]</sup>研制的二维集成图像传感器阵列与处理单元阵列的视觉芯片,可同时实现传统图像处理与神经网络算法.随着集成工艺技术的演进,最新的视觉芯片采用三维堆叠等先进封装技术,将基于专用传感器工艺和先进逻辑制程工艺的传感、处理两颗独立芯片集成在一起,最大限度地减少了二者之间的设计约束,既能实现高速图像采集,又能提供强大的处理算力.2021年, Eki等<sup>[5]</sup>发布的3D堆叠可编程视觉芯片支持多bit精度的多种卷积神经网络算法,图像分辨率达到1200万像素.图像传感与处理速度的持续提升,显著增强了视觉芯片的实用价值与竞争优势,从而不断拓展其应用边界.

## 2 高速视觉芯片

实现视觉信息的高速获取和高效处理,是现代

信息社会的核心挑战之一.如图1所示,高速视觉芯片的信号处理流程主要包括图像传感器与图像处理两大模块.图像传感器基于光电效应原理,通过特殊设计的像素器件阵列,完成高分辨率空间光信息的捕获与光电转换.转换后的电信号由读出电路进行模数转换并高速读出,随后送入图像处理器作进一步信息处理,最终完成目标检测与识别等高层次智能任务,并输出识别结果.高速视觉芯片的实现涉及物理学、电子学与信息科学等多学科,涵盖器件物理与工艺、读出电路设计以及智能算法应用等关键问题.

为实现高速成像,感光器件需要实现高速高增益光电转换和高速信号读出,其中的物理问题包括光生电荷的输运特性、噪声来源与物理机制,以及光电转换增益的提升等.互补金属氧化物半导体图像传感器(CMOS imaging sensor, CIS)采用积分型成像机制进行光强探测,感光器件中光生电荷的转移速度与转移路径是影响成像速度的两个基本因素.高速CIS器件通过梯度掺杂,在电荷转移过程中引入高速漂移运动,提高电荷转移速度;并优化器件结构,缩短电荷转移路径,提高信号读出速度.然而,光生电荷携带的信息仍需要经过模拟-数字转换后读出,数据量大,限制了成像帧率.为突破传统积分型成像的物理限制,受生物视觉系统启发<sup>[6]</sup>,脉冲型图像传感器以仿生脉冲信号形式读出视觉信息,有望开辟高速成像新路径.其中,动态视觉传感器(dynamic vision sensor, DVS)仅探测光强的动态变化并以脉冲形式输出,滤除静态冗余信息,以实现高时间分辨率的动态视觉数据流<sup>[7]</sup>.

在实现脉冲读出的基础上,高速视觉芯片如何突破光电探测灵敏度的物理极限是提高成像速度的另一关键.单光子成像的关键在于实现超低噪声

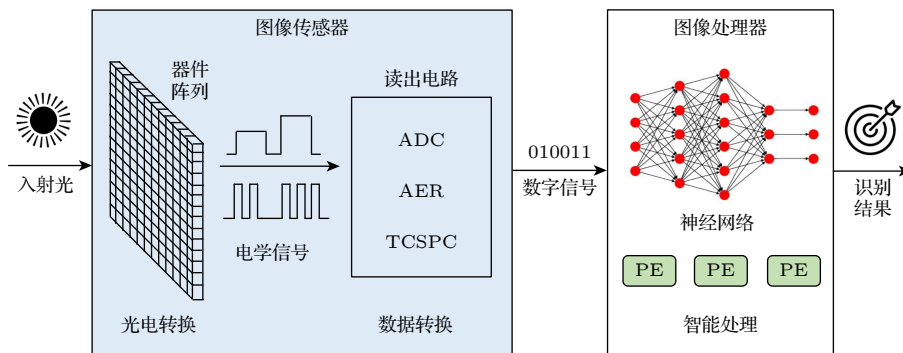


图1 视觉芯片信号处理流程

Fig. 1. Signal processing flow in vision chip.

表 1 高速视觉芯片总结和分类  
Table 1. Summary and classification of high-speed vision chips.

分类	成像原理	典型性能指标	读出电路	感算融合	应用场景	
实数型	CIS	光生电荷积累并转化为电压信号	面阵规模(212×188) 像素尺寸(22.4 μm) 帧率(303 Mfps) <sup>[10]</sup>	ADC	实数型卷积神经网络	高速实验过程捕获 高速工业检测
	DVS	检测光强变化超过阈值时输出事件	面阵规模(1032×928) 像素尺寸(8.8 μm) 事件率(4.6 Geps) <sup>[11]</sup>	AER	脉冲神经网络	安防监控 运动目标跟踪
脉冲型	SPAD	光子触发雪崩倍增并转化为脉冲输出	面阵规模(512×512) 像素尺寸(16.38 μm) 脉冲帧率(97.7 kfps) <sup>[12]</sup>	TCSPC	脉冲神经网络	微光探测 荧光寿命成像 激光雷达

与高转换增益的统一, 这一问题不仅涉及微纳制造与电子技术, 也是关乎量子物理机制与工艺实现的协同挑战. 基于 CIS 的量子图像传感器 (quantum image sensor, QIS) 深入研究器件噪声来源与物理机制, 结合传统像素结构设计优化, 实现了极低噪声与超高转换增益的像素器件. 另一类基于单光子雪崩二极管 (single photon avalanche diode, SPAD) 器件的图像传感器, 则利用雪崩效应将入射光子直接转换为脉冲输出, 实现高速、高灵敏度的单光子级探测<sup>[8,9]</sup>, 并通过电场调控提升光生电荷汇聚速率, 进一步降低器件抖动, 提高成像性能.

表 1 从成像原理、典型性能、读出电路、感算融合及应用场景等维度, 对现有高速视觉芯片进行了总结与分类. 总体而言, 高速视觉芯片可分为以 CIS 为代表的“实数型”和以 DVS/SPAD 为代表的“脉冲型”两大类. 随着技术的持续演进, 高速视觉芯片在面阵规模、像素尺寸与成像速度等核心指标上均取得了显著进展. 目前高速视觉芯片面阵规模已突破至百万像素量级; 由于需要特殊的结构设计, 像素尺寸普遍大于常规 CIS, 当前多在十微米至几十微米量级; 在成像速度方面, 不同技术路线呈现出不同的性能特征: 高速 CIS 在突发 (burst) 成像模式下可实现 303 Mfps 的超高帧率<sup>[10]</sup>; DVS 的事件输出速率可达 4.6 Geps (events per second, eps), 具备微秒级延迟<sup>[11]</sup>; 而 SPAD 阵列则可实现 97.7 kfps 的单光子脉冲帧率, 兼顾了高灵敏度与高时间分辨率<sup>[12]</sup>.

在数据读出阶段, 电路设计的重点在于提升数据转换与传输效率. 对于 CIS, 需深入理解模数转换机理, 并通过模拟数字转换电路 (analog to digital converter, ADC) 电路架构创新实现高速转换与数据传输; DVS 通常结合地址事件表示 (address-event representation, AER) 编码方式, 将事件极

性与地址信息打包并附加时间标记; SPAD 传感器则多采用时间相关单光子计数 (time-correlated single photon counting, TCSPC) 方式进行数据读出. 不同传感器类型配合相应的高速读出策略, 共同突破视觉信息转换与传输的速度瓶颈. 视觉芯片的最后一环是智能处理所需要解决的算法应用问题, 需结合不同传感器的探测机制, 实现高效的图像复原和兼顾能效与速度的智能处理. 在感算融合路径上, 实数型信号天然匹配传统卷积神经网络进行高精度处理, 而脉冲型信号则与脉冲神经网络在稀疏性、事件驱动方面深度融合, 为实现超低延迟处理提供了物理基础.

应用场景方面, CIS 适用于需要完整灰度信息的高速过程观测; DVS 在高速运动目标跟踪与动态场景监控中优势显著; 而 SPAD 则在激光雷达、微光探测及荧光寿命成像等对光子与时间极端敏感的场景中不可替代. 高速视觉芯片的实现是多个物理基础问题与工程实现交织的系统工程. 下文将详细展开介绍高速视觉芯片在器件、读出电路与智能处理方面所面临的问题, 以及相关研究中的深入探索与创新.

### 3 高速传感器件和像素

作为视觉芯片实现感算一体功能的前端与物理基础, 传感器件及像素结构直接决定了系统获取原始视觉信息的速度、质量与能效. 高速成像不仅要求传感单元具备极短的曝光与读出时间, 更对其光电转换效率、噪声抑制能力及动态范围提出了严苛挑战. 为应对这些挑战, 研究沿着 3 条主要技术路径演进: 传统 CMOS 图像传感器通过持续的器件物理与结构优化, 致力于在积分型工作原理下提升电荷转移速度与灵敏度; 动态视觉与脉冲型传感

器借鉴生物视觉的事件驱动机制, 变革信息表示与读出方式, 以突破数据冗余瓶颈; 单光子探测器件则旨在突破光电探测的灵敏度极限, 通过雪崩倍增和低噪声优化设计, 实现对单个光子的有效捕获与计数. 以下各节将分别对这 3 类传感器件的物理原理、核心结构与技术进展进行详细阐述.

### 3.1 高速 CMOS 像素器件

作为高速视觉芯片实现光电转换的核心部件, CMOS 像素器件基于 CMOS 工艺, 能够将光信号转化为电信号, 其性能是决定图像传感器成像质量的关键因素之一. 如图 2 所示, 钉扎型光电二极管 (pinned photodiode, PPD) 是一种表面覆盖有 P 型重掺杂层的光电二极管, 是最常见的 CMOS 像素器件<sup>[13]</sup>. 工作时, 两个 PN 结均处于反偏状态. 光生电荷首先在耗尽区进行累积, 随后被转移至电容节点, 并在此转换为信号电压. CMOS 像素一个重要的噪声来源是 Si-SiO<sub>2</sub> 界面态的影响, 这些界面态可作为 SRH (Shockley-Read-Hall) 产生-复合中心, 引发暗电流; 或在积累阶段捕获光生电子, 导致信号响应不均匀. PPD 通过在表面引入重掺杂 P 型层形成空穴积累区, 使表面能带向上弯曲, 表面费米能级靠近价带. 该能带调控机制使界面态多数被空穴占据, 从而抑制电子通过 SRH 产生-复合中心的热激发过程, 实现低暗电流特性. P+/N 结耗尽层因接近衬底表面, 能有效吸收蓝光并产生

光生电荷, 提高了蓝光敏感度. 此外, 通过增加反向偏压使 N 埋层完全耗尽, 更能令所有像素器件处于相同复位状态, 有效降低了复位噪声. 与传统光电二极管相比, PPD 具有更高灵敏度、更优成像质量和更低暗电流等优势.

在高速 CIS 中, 由于曝光时间较短, 需要增大 PPD 尺寸以提高其灵敏度, 但这将导致电荷转移时间和残留电荷增加, 从而影响成像质量. 如图 3 所示, PPD 和电荷-电压转换区域 (FD 区域) 之间由传输管进行连接, 当 FD 区域被复位至高电压后, 在传输管打开时, 由于传输管沟道和 FD 区域电子电势较低, PPD 内靠近传输管的光生电荷将在电势差的驱动下向传输管进行转移. 而远离传输管的光生电荷需要首先转移到传输管附近才能向 FD 区域进行转移. 由于在均匀掺杂的 N 埋层中, 光生电荷输运主要依赖扩散机制, 而其扩散时间与 N 埋层长度的平方成正比, PPD 尺寸的增大将会导致 FD 区域电荷收集时间显著延长. 此外, N 埋层掺杂浓度的非均匀化, 还可能导致光生电荷转移路径上产生势阱和势垒, 进而导致残留电荷增加.

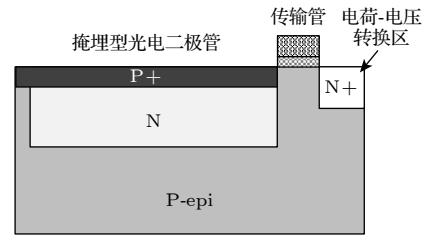


图 3 掩埋型光电二极管在 CMOS 工艺上的实现<sup>[13]</sup>

Fig. 3. Implementation of buried photodiode in CMOS technology<sup>[13]</sup>.

为了提升高速 CIS 中大尺寸 PPD 像素的电荷转移速度, 同时降低残留电荷, 一种有效的方法是对 N 埋层进行梯度掺杂. 如图 4(a) 所示, 在 N 埋层中靠近传输管一侧进行二次掺杂, 形成横向和纵向的浓度梯度. 该梯度会沿光生电荷的转移路径产生一个内建电场, 进而在电荷转移机制中引入高效的漂移运动. 该方法可以大幅提升光生电荷的转移速度, 缩短转移时间, 并有效降低残留电荷<sup>[14-16]</sup>.

另一种方法是通过 PPD 形貌的设计形成内建电场以加速光生电荷转移. L 形传输管可提升光生电荷读出速度<sup>[17]</sup>, 三角形 PPD 可增强内建电场<sup>[18]</sup>, 但这两种方法针对大尺寸 PPD 的光生电荷加速效果仍然有限. 一种改进的方法是采用如图 5 所示的半圆形 PPD 结构, 其相对于方形 PPD 结构,

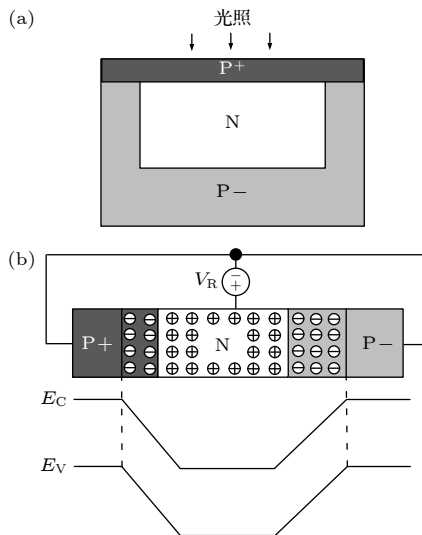


图 2 掩埋型光电二极管<sup>[13]</sup> (a) 器件结构; (b) N 埋层完全耗尽时能带示意图

Fig. 2. Buried photodiode<sup>[13]</sup>: (a) Device structure; (b) band diagram under full depletion of the N-type buried layer.

光生电荷的最长转移路径缩短,同时结合了梯度掺杂和梯形分支结构,形成更加均匀和高效的光生电荷转移路径<sup>[19,20]</sup>.

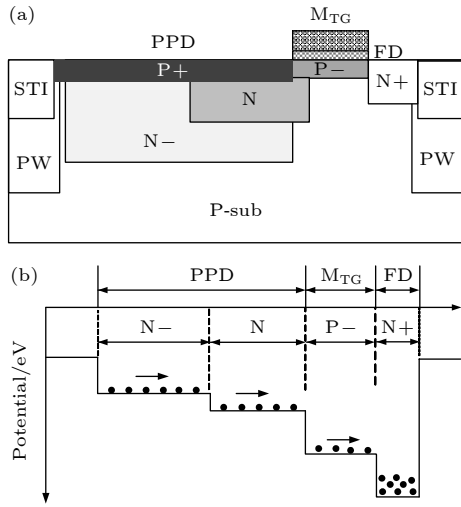


图4 (a) 梯度掺杂 PPD 横向截面图; (b) PPD 内电荷转移示意图<sup>[13]</sup>  
 Fig. 4. (a) Cross-sectional view of gradient-doped PPD; (b) schematic diagram of charge transfer in PPD<sup>[13]</sup>.

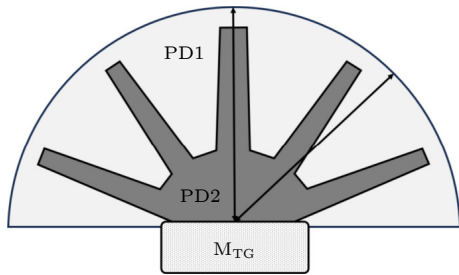


图5 一种大尺寸梯度掺杂的 PPD 结构<sup>[20]</sup>  
 Fig. 5. Structure of large-size gradient-doped PPD<sup>[20]</sup>.

此外,还可以通过结构设计进一步提升光生电荷的转移效率<sup>[21-23]</sup>,图6(a)是一种典型的结构,其N埋层为圆形,电荷传输管和FD区域位于

N埋层的中间位置,同时结合了3次梯度掺杂和梯形分支结构.图6(b)给出了沿埋层分支aa'的电势分布图,从该图中可以看出静电势从中心向边缘逐渐降低,能够形成较强的内建电势差,并且消除电荷转移路径上的势垒和势阱,从而缩短光生电荷转移时间,并提高了转移效率<sup>[24]</sup>.尽管提升梯形分支的尖锐程度可进一步缩短转移时间,但是三角形分支将导致工艺加工误差较大,不利于提升像素性能的一致性.

上述像素器件已在高速 CIS 中得到广泛应用,并推动近年来国内外超高速 CIS 芯片在帧率、噪声、存储深度与工艺集成度等方面不断取得突破,如表2所示.其中, Yue 和 Fossum<sup>[25]</sup>在标准 180 nm 工艺下实现 20 Mfps 与 5.1 e<sup>-</sup> 的超低噪声; Suzuki 等<sup>[26]</sup>借助像素级沟槽电容与 Burst 相关双采样技术,将帧率提升至 100 Mfps 并支持 368 帧存储; Dao 等<sup>[27]</sup>通过图像信号累积与多收集门结构,在 25 Mfps 下实现 1220 帧超大帧深; Kagawa 等<sup>[10]</sup>提出电荷域压缩感知架构,实现 303 Mfps 的超高帧率并兼容单镜头光学系统; Wu 等<sup>[28]</sup>引入像素内相关双采样放大结构,在 20 Mfps 下将噪声降至 8.4 e<sup>-</sup>,显著抑制小电容引入的 kTC 噪声; Etoh 等<sup>[29]</sup>则从理论极限出发,提出硅金字塔集光结构,将时间分辨率推向 11.1 ps 的理论极限,支撑光子飞行时间成像等应用.

高速 CIS 像素性能的提升,核心在于对光生电荷输运物理机制的深刻理解及相应的器件结构创新.通过将电荷转移机制从缓慢的扩散主导转变为高效的漂移主导,从而大幅提升了大尺寸 PPD 的电荷转移速度;同时,借助 PPD 形貌优化与分支结构设计,有效缩短了电荷转移路径,并消除了

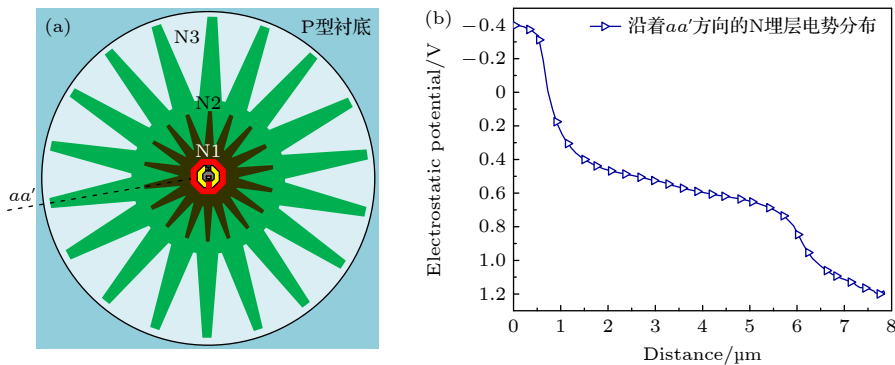


图6 (a) 像素器件梯度掺杂结构; (b) 像素器件沿着 aa' 的静电势分布<sup>[24]</sup>

Fig. 6. (a) Gradient-doped structure in pixel device; (b) electrostatic potential distribution along aa' in the pixel device<sup>[24]</sup>.

表 2 高速 CIS 芯片参数比较  
Table 2. Performance comparison with recently published high speed image sensors.

文献	工艺节点/nm	阵列规模( $H \times V$ )	像素尺寸/ $\mu\text{m}$	转换增益/( $\text{V} \cdot \text{e}^-$ )	满阱容量/ $\text{Ke}^-$	帧率/Mfps	记录长度	噪声/ $\text{e}^-$
[25]	180 FSI	64×64	52.8	183	5	20	108	5.1
[26]	180 FSI	50×108	35	99	11	100	368	N/R
[27]	130 BSI	32×32	72.5	N/R	N/R	25	1220	N/R
[10]	110 FSI	212×188	22.4	32	33	303	12	85
[28]	130 BSI	32×84	30	105	6	20	108	8.4
[29]	130 CCD	512×575	12.7	N/R	7	100	5	N/R

路径中的势垒与势阱,显著降低了残留电荷与噪声.这些物理机制的创新,系统性地化解了高速成像中提升灵敏度与保证转移效率之间的矛盾,为发展高速、高灵敏度的视觉感知芯片奠定了坚实的器件基础.

### 3.2 动态视觉与脉冲型像素

在高速视觉感知的探索中,除了基于帧的 CIS 技术路径,模仿生物视网膜事件驱动机制的新型传感器也展现出独特的优势. DVS 又称事件相机,便是一种代表性技术.与传统帧相机不同, DVS 并不以固定帧率采集完整图像,而是仅响应像素亮度发生变化的瞬间,即“事件”. DVS 的每个像素独立工作,一旦检测到所处位置的对数域亮度变化超过设定阈值,就会立即产生一个事件信号.这种工作机制使 DVS 具备极高的时间分辨率,可达微秒甚至纳秒级别,从而实现高速视觉感知.由于 DVS 仅在光强变化时输出数据,其延迟极低,并且在场景静止时几乎不产生数据,大幅降低了数据冗余以及存储和传输的负担.此外,每个像素独立响应光照变化,不受全局曝光参数的限制, DVS 能够同时处理极亮和极暗的场景,表现出很高的动态范围.图 7 展示了动态视觉成像的具体工作原理,其中图 7(a)为光电压  $V_p$  变化曲线,图 7(b)为差分电压变化曲线.当光强变亮时,  $V_p$  变大,  $V_{\text{diff}}$  与  $V_p$  成反比,当  $V_{\text{diff}}$  降低到 ON 阈值  $V_{\text{ref1}}$  后,产生 ON 事件,之后  $V_{\text{diff}}$  被复位并进行下一次探测;当光强变暗时,则产生 OFF 事件[7].

2002 年, Kramer<sup>[30]</sup> 首次提出了一种具备初步形态的 DVS 像素结构,采用 350 nm 工艺制造,分辨率为 48×48.该传感器能够持续检测光照强度变化,并输出表示亮度正负变化的事件脉冲.近年来,动态视觉传感技术受到学术界与产业界的广泛关注,相关研究持续推进.2014 年,三星公司 Ryu<sup>[31]</sup>

发布了第 1 代动态视觉传感器产品 DVS Gen1,分辨率 640×480,像素尺寸 9  $\mu\text{m}$ ,动态范围 66 dB (5—10 kLux),最大事件读出速率 6.5 Meps,典型功耗 15 mW.随后在 2016 年,2018 年,2020 年推出了 DVS Gen2, DVS Gen3 和 DVS Gen4<sup>[31]</sup>,其中 DVS Gen4 的分辨率达到 1280×960,采用三维堆叠的方式将像素尺寸缩小至 4.95  $\mu\text{m}$ ,动态范围 90 dB (3—100 kLux),帧率 1 kHz,典型功耗 140 mW,最大事件速率 1.3 Geps<sup>[32]</sup>.2023 年, Guo 等<sup>[11]</sup>通过三层芯片堆叠技术,将 DVS 像素与传统 CIS 像素相融合,实现了 4.6 Geps 的事件输出速率.另一方面, Gao 等<sup>[33]</sup>深入研究 DVS 像素复位过程中的噪声机制,于 2024 年提出一种新型像素结构,在抑制噪声事件的同时显著提高了亮光条件下的灵敏度.这些研究成果共同推动了动态视觉传感器向更高性能、更成熟的应用阶段发展.

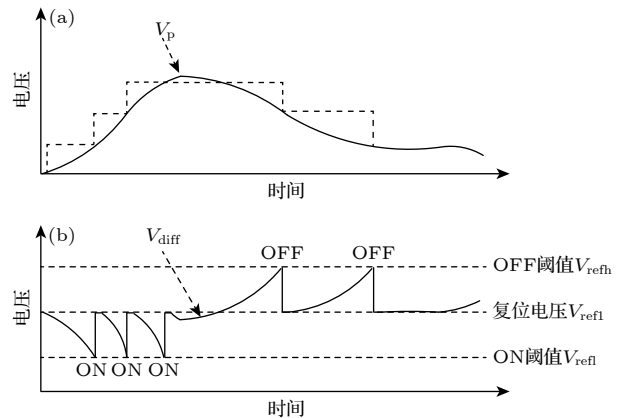


图 7 DVS 成像原理 (a) 光电压变化曲线; (b) 差分电压变化曲线[7]

Fig. 7. Principle of DVS: (a) Photovoltage variation curve; (b) differential voltage variation curve[7].

在目标相对传感器运动或场景光线波动时, DVS 凭借其动态探测特性能勾勒出清晰的轮廓,但缺乏灰度纹理信息.在许多复杂的视觉任务中, DVS 的动态数据并不足以覆盖边缘端的需求,往

往需要灰度传感器的纹理图像作为补充,从而达到理想的算法效果,比如图像重建、高速图像去模糊等. 受生物神经元膜电位的阈值激发和复极化过程启发,章宦慧<sup>[34]</sup>提出一种基于脉冲频率调制 (pulse frequency modulation, PFM) 方法的脉冲相机,该方法的基本结构和具体原理如图 8 所示. 当光电流在电容上积分而产生的电压值超过阈值时,环路复位电容并发送一个脉冲,随后重新开始光电流的积分和复位过程. 于是在一段时间内,光强信号被表征成时域上的离散脉冲信号. 通过对脉冲序列的后续处理,可以恢复出相应的图像. 基于脉冲调制的读出结构将电荷的测量转化成为时间或频率域的处理,从而规避了传统灰度传感器在电荷容量上的限制,实现高速高动态的光电探测.

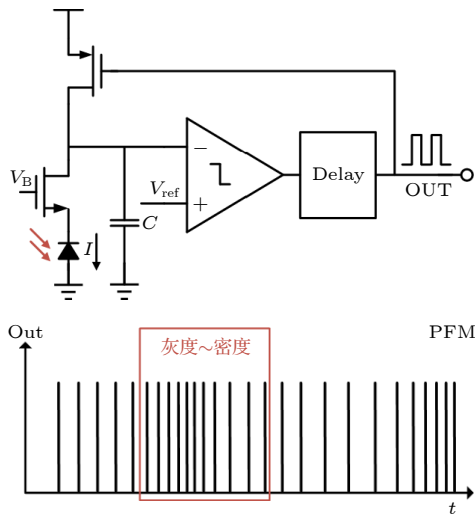


图 8 PFM 的基本结构和原理<sup>[34]</sup>

Fig. 8. Basic structure and principle of PFM<sup>[34]</sup>.

2001 年, Kleinfelder 等<sup>[35]</sup>提出了在像素内计数的 PFM 传感器,分辨率为  $352 \times 288$ , 像素量化位数为 8 bit, 最高可以达到 10 kfps 的连续帧成像,标志着基于像素级并行量化的 PFM 架构具有高速成像能力. 2025 年, Zhang 等<sup>[36]</sup>提出一款基于事件的混合视觉脉冲化像素结构,如图 9(a) 所示. 像素集成了 DVS 成像模块和 PFM 电路,同时支持动态视觉和脉冲灰度成像. 像素内设计了一种电流镜耦合结构,将 PD 产生的源电流输入共源共栅电流镜,产生另一路复制电流. 其中,源电流注入动态视觉的像素前端电路,并经由信号处理链路产生时域的动态探测,而复制电流通过基于时钟控制的反馈环路产生脉冲数据流. 图 9(b) 展示了上述

动态视觉成像模块像素前端电路具体原理图. 该传感器可达到 960 Meps 的最大事件率和 117.1 kfps 的灰度帧率,同时成像的功耗约为 60.1 mW,适用于高速低延迟的边缘视觉计算系统需求<sup>[36]</sup>.

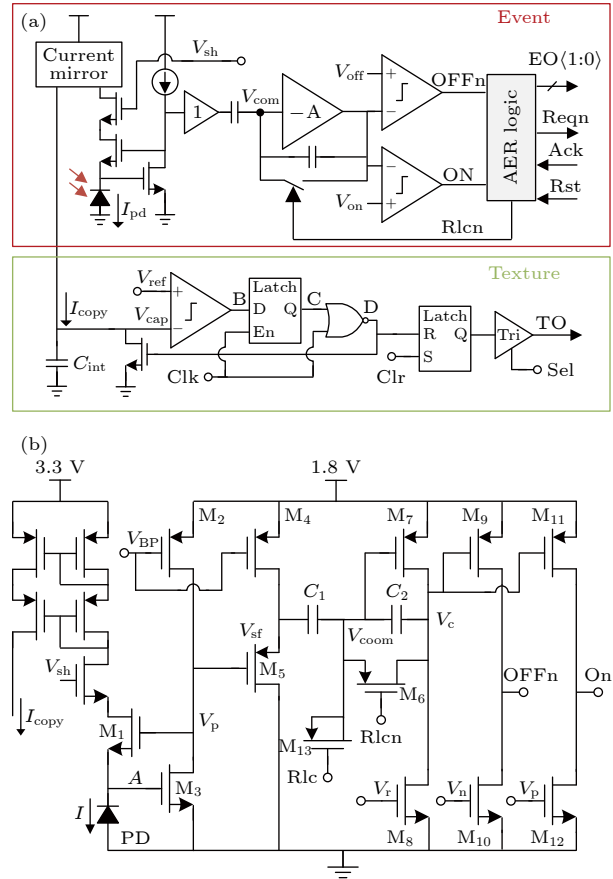


图 9 (a) 全脉冲型像素电路; (b) DVS 像素前端电路<sup>[36]</sup>

Fig. 9. (a) Structure diagram of the hybrid spiking pixel circuit; (b) DVS pixel front-end circuit<sup>[36]</sup>.

DVS 与脉冲相机通过模仿生物视觉的事件驱动与脉冲编码机制,突破了传统帧式成像的局限. DVS 凭借其异步、稀疏的事件输出特性,在高速、高动态场景中展现出极低延迟与高能效的优势;而脉冲相机则通过 PFM 等时域调制技术,将光强信息编码为脉冲频率,兼顾了高速成像与高动态范围. 这两类技术的融合与创新,不仅解决了高速成像中数据冗余、动态范围与能效之间的矛盾,更推动了视觉感知从“帧”到“事件”的范式转变.

### 3.3 单光子器件和像素电路

在高速视觉芯片的感知前端,追求单光子级别的极限探测能力是技术发展的关键方向,其中不仅需要突破微纳制造与电路设计的瓶颈,更有赖

于对光电转换物理机制的深刻理解与工艺实现. 2011年, Fossum<sup>[37]</sup>正式提出了QIS的概念. 该传感器由具备单光子探测能力的小尺寸“JOT”像素阵列构成, 具有极高的空间分辨率和帧率, 能够将入射光信号转换为二值化比特流输出. 2015年, Ma和Fossum<sup>[38]</sup>率先提出了泵栅型像素结构, 通过降低FD节点的电容, 实现了高达 $380 \mu\text{V}/e^-$ 的转换增益, 结合感光区尺寸的缩小, 不仅缩短了电荷转移时间, 还在提高灵敏度的同时降低了探测延迟. 随后在2021年, Ma等<sup>[39]</sup>研发出一款具有1670万像素( $4096 \times 4096$ )的三维堆叠式QIS图像传感器. 通过深入分析噪声的物理来源并优化器件结构, 使源极跟随器的沟道远离Si-SiO<sub>2</sub>界面, 减小了晶格缺陷引起的噪声, 实现了 $0.19 e^- \text{ rms}$ 的平均读出噪声, 进一步推动了QIS的发展.

SPAD器件是另一种可以实现单光子探测的光电器件, 其本质为一个反向偏压高于雪崩电压的PN结, 在没有光子入射时, 处于待检测的暂稳态, 一旦光子被吸收产生光生载流子, 便可以触发自持雪崩过程, 从而转化为电脉冲输出. SPAD吸收光子并触发雪崩的物理过程如下: 光生电子-空穴对在空间电荷区的强电场中加速, 通过碰撞电离产生新的电子-空穴对, 雪崩电流随之迅速增大. 同时, 空间电荷效应导致耗尽区电场减弱, 电离系数下降, 最终系统达到动态平衡, 雪崩电流趋于饱和. 雪崩是半导体中最快的物理过程之一, 时间尺度达皮秒级, 因此SPAD兼具单光子级灵敏度、百万级增益与皮秒级高速光电转换能力.

与之相关的SPAD器件参数包括时间抖动和死时间. 时间抖动是指光子被吸收到触发雪崩这一过程的统计时间不确定性, 其大小与雪崩在器件中发生的具体位置有关, 典型值介于几十皮秒至几百皮秒之间. 图10(a)展示了一款典型的基于标准CMOS工艺实现的正照式P+/N-Well型SPAD器件结构, 通过P+与N-Well离子注入形成核心PN结. 在SPAD中, 边缘击穿是一种因器件几何结构、界面不平整或电场分布不均而引发的局部击穿现象, 会导致雪崩发生在非目标区域, 产生干扰电流信号, 增加背景噪声并降低探测精度. 为抑制边缘击穿效应, 该器件中设计了保护环结构, 通过一个低掺杂环形区域来缓解边缘电场集中, 从而有效降低边缘击穿风险. 核心PN结和保护环结构共同构成了完整的SPAD器件<sup>[40]</sup>. SPAD触发雪崩后, 若无外部干预, 将持续处于导通状态而无法继

续探测单光子, 且过大的雪崩电流可能损伤器件. 因此, 通常需为其配备淬灭复位电路, 以实现周期性的光子检测. 如图10(b)所示, SPAD完成一次淬灭与恢复所需时间称为死时间, 该参数通常处于纳秒量级.

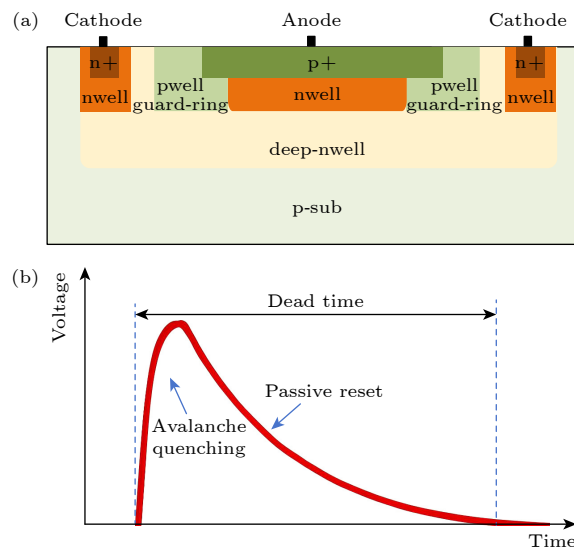


图10 (a) P+/N-Well SPAD器件结构<sup>[40]</sup>; (b) SPAD死时间示意图

Fig. 10. (a) Structure of P+/N-Well SPAD<sup>[40]</sup>; (b) dead time of SPAD.

时间抖动直接影响了SPAD器件的时间分辨能力, 较小的抖动能够更加精准地判断光子到达时刻. 一般而言, 大尺寸器件的时间抖动更为显著, 主要是由于尺寸的增大, 会导致较长的载流子渡越时间和雪崩建立时间, 同时较大的寄生电容也会带来更长的输出信号上升时间, 这些因素均会导致统计时间不确定性的增加. 相同器件尺寸下, 为了降低器件的时间抖动, 可以减小雪崩区域体积, 然而雪崩区域的减小又会带来器件探测效率的降低. 2021年, Morimoto等<sup>[41]</sup>提出一款创新的电荷聚集型SPAD器件, 其核心是通过精准的电场调控, 解决了传统SPAD中时间抖动与探测效率难以兼顾的权衡问题. 该器件在光敏区内构建了特殊的电势分布, 形成内建电场梯度, 驱动整个区域内的光生载流子, 向一个预设的小尺寸雪崩区定向漂移. 这一电荷聚集机制带来两大优势: 其一是显著降低时间抖动, 所有载流子被汇聚至同一微小雪崩区, 极大消除了因雪崩位置随机性引起的的时间不确定性, 使时间抖动降至100 ps; 其二是保持高探测效率, 采用“大面积收集、小区域触发”的设计, 在缩

小雪崩区优化抖动的同时, 依靠整体光敏区有效捕获光子, 仍实现 69.4% 的峰值探测效率. 如图 11 所示, 该技术通过器件内电场协同设计, 在物理层面统一了高速与高灵敏特性, 为高性能单光子成像提供了新路径.

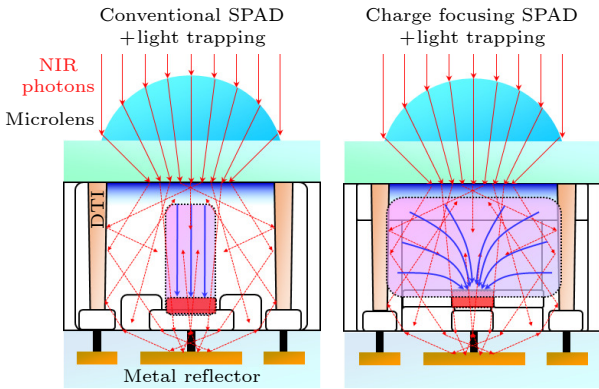


图 11 电荷聚集型 SPAD 器件结构<sup>[41]</sup>  
Fig. 11. Structure of charge-focusing SPAD<sup>[41]</sup>.

死时间的大小直接影响 SPAD 器件的光子计数率, 是影响 SPAD 单光子图像传感器高速成像的关键因素之一. 如图 10(b) 所示, SPAD 在发生雪崩击穿后, 器件需要经历淬灭与恢复两个物理阶段: 首先, 雪崩电流流经淬灭电阻时会产生降压, 使 SPAD 偏置电压低于击穿电压, 从而使耗尽区电场不足以维持碰撞电离过程, 雪崩被有效终止. 随后, 器件需要重新充电至高于击穿阈值, 以恢复单光子探测能力. 对于电阻淬灭结构, 恢复时间由  $RC$  时间常数决定, 其中  $R$  为淬灭电阻,  $C$  为结寄生电容. 由于淬灭过程极短, 因此缩短恢复时间成为降低死时间的核心途径, 可从电路架构与工艺优化两方面入手, 前者提升恢复路径通路能力, 后者降低器件雪崩需要释放与恢复的总电荷量.

图 12(a) 展示了一款典型的被动淬灭 SPAD 像素电路,  $V_{QCH}$  控制的  $M_1$  管, 可等效为阻值可调的淬灭电阻, 淬灭与恢复均通过同一路径完成. 淬灭过程要求阻值较大, 而恢复过程又需要较小阻值, 两者在设计层面存在固有矛盾, 导致死时间较长, 通常为几十纳秒. 为解决上述瓶颈, 图 12(b) 采用主动淬灭结构, 通过额外引入  $M_2$  恢复通路, 实现淬灭与恢复路径分离, 从而显著提升恢复速度, 将死时间降低至 10 ns 以内<sup>[40]</sup>. 然而, 主动淬灭方案需要严格控制两条通路的时序关系: 必须确保恢复路径在 SPAD 淬灭后才开启, 否则可能造成雪崩难以有效终止. 因此, 主动淬灭电路中通常还配有一个延迟单元, 用来调节额外恢复通路的开启时间. 额外通路的引入提高了像素电路复杂度, 同时也带来了面积、功耗等方面的设计挑战.

随着 SPAD 加工工艺的演进, 相比于前照式结构, 背照式 SPAD 器件逐步展现出了更强的性能优势<sup>[42]</sup>. 2023 年, Fujisaki 等<sup>[43]</sup> 采用最先进的 Cu—Cu 混合键合三维堆叠工艺, 结合优化后的微透镜工艺, 实现了一款  $6\ \mu\text{m}$  的小尺寸背照式 SPAD 器件, 峰值探测效率达到 88.5%, 死时间为 6.3 ns. 正常的混合键合堆叠工艺, 上层芯片只有 SPAD 器件阵列, 所有电路结构均位于下层芯片, Cu—Cu 混合键合节点位于 SPAD 阴极, 该结构虽有利于电路与光敏区解耦, 但阴极端寄生电容较大, 限制了雪崩恢复时间, 如图 13(a) 所示. 2024 年, Ogi 等<sup>[44]</sup> 通过工艺改进, 将淬灭电路结构引入到上层 SPAD 器件阵列芯片中, 如图 13(b) 所示, 将 SPAD 阴极处寄生电容降低 50%, 从而大幅缩短 SPAD 恢复时间, 实现了最短 2.1 ns 的死时间, 进一步提高了单光子图像传感器的光子计数率. 这一设计突破表明, SPAD 死时间优化不仅需要像素

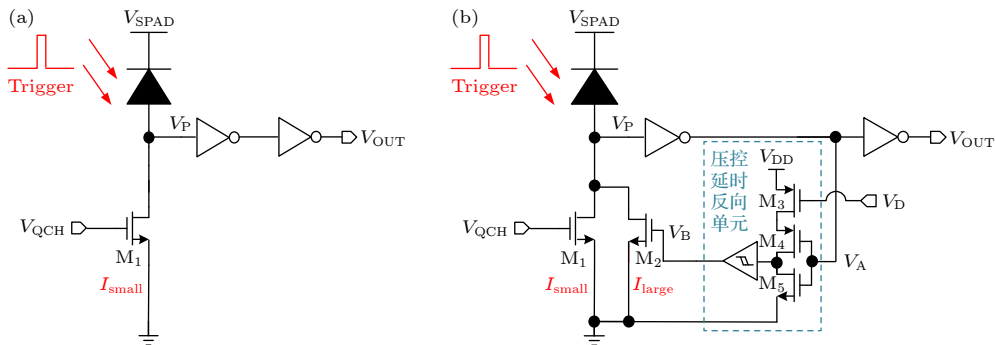


图 12 (a) 被动淬灭 SPAD 像素电路; (b) 主动淬灭 SPAD 像素电路<sup>[40]</sup>  
Fig. 12. (a) Schematic of passive quench SPAD pixel circuit; (b) schematic of active quench SPAD pixel circuit<sup>[40]</sup>.

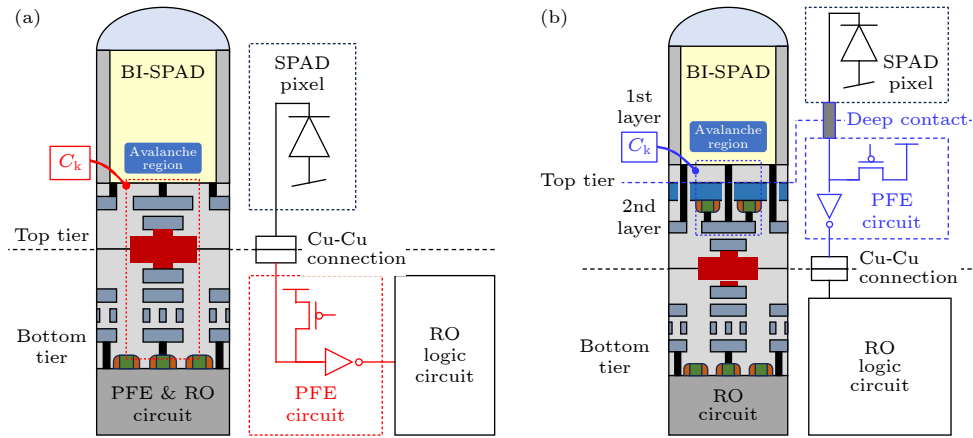


图 13 (a) Cu—Cu 混合键合背照式 SPAD 像素结构; (b) 2 ns 低死时间 SPAD 像素结构<sup>[44]</sup>

Fig. 13. (a) 3D-stacked BI SPAD pixel with Cu—Cu hybrid bonding; (b) structure of 2 ns low dead time SPAD pixel<sup>[44]</sup>.

电路结构的改进,同时需要电路-器件-工艺协同合作创新,是一个融合寄生参数控制、键合结构优化以及高效电路集成的综合性挑战.

CIS-QIS 与 SPAD 作为单光子探测的两大主流技术,分别在低噪声读出与高速雪崩倍增路径上取得关键突破,显著缓解了高速成像中灵敏度、速度与噪声之间的固有矛盾.它们的持续发展不仅标志着视觉感知能力逐步被推向物理极限,也为下一代超高速视觉系统奠定了坚实的器件基础.

## 4 高速读出电路

作为视觉芯片信号链中承上启下的关键环节,数据读出阶段的核心是读出电路的设计.高速读出电路负责将传感单元产生的模拟或脉冲信号,高效、精准地转换为可被后续处理器直接利用的数字信息,其性能直接制约着传感器的成像能力.在高速场景下,巨大的成像数据量使得读出电路的设计面临数据转换速率、传输带宽及功耗等多方面的挑战.针对不同类型传感器 (CIS, DVS, SPAD) 截然不同的输出信号特性,相应的读出架构也朝着专用化方向发展:对于输出模拟信号的 CMOS 图像传感器,其核心在于设计高速度、高精度的模数转换器电路,以保障图像信息的完整表示;对于输出稀疏事件的动态视觉传感器,其读出电路重点在于采用高效的地址事件表示编码与仲裁电路,实现事件流的无冲突、低延迟传输;而对于输出带有精确时间信息的 SPAD 图像传感器,读出电路则需集成时间数字转换与时间相关单光子直方图统计功能,以应对海量时间信息处理带来的带宽压力.以下各节将分别对这 3 类高速读出电路的核心架构、工作

原理与技术进展进行详细分析.

### 4.1 高速 CIS 中的 ADC 电路

ADC 电路是高速 CIS 的核心电路,负责将像素阵列输出的模拟信号转化为数字信号,进而通过高速数字接口将数字化的图像信息进行输出,因此,ADC 的性能是决定 CIS 的帧率、动态范围和分辨率等性能指标的关键因素.接下来,对高速 CIS 中常用的 3 种典型 ADC 进行介绍.

如图 14 所示,逐次逼近寄存器 (successive approximation register, SAR) 型 ADC 由采样保持电路、比较器、数模转换器、SAR 及控制逻辑等模块组成<sup>[45,46]</sup>,SAR 型 ADC 采用二进制搜索算法进行工作.转换开始时,SAR 最高位设为 1,其余位设为 0,DAC 输出  $V_{\text{ref}}/2$ .随后,模拟信号  $V_{\text{in}}$  被采样后,输入至比较器与 DAC 输出的电压进行比较,如果  $V_{\text{in}} > V_{\text{ref}}/2$ ,则转换结果最高位  $b_{N-1}$  为“1”;反之最高位  $b_{N-1}$  为“0”.该转换结果将被存储至 SAR 中.SAR 会将转换结果反馈至 DAC,并将次高位置为“1”,DAC 将输出电压  $3V_{\text{ref}}/4$  (当最高位为“1”时)或  $V_{\text{ref}}/4$  (当最高位为“0”时)至比较器,比较器输出结果并确定转换结果的次高位

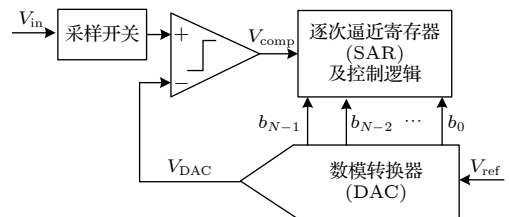


图 14 SAR ADC 的结构框图<sup>[46]</sup>

Fig. 14. Architecture of SAR ADC<sup>[46]</sup>.



型高速 CIS, 通过三维堆叠工艺集成  $1536 \times 16416$  个使用超低功耗比较器的像素级并行 SS ADC, 实现了 120 Hz 成像帧率.

### 4.2 事件型 AER 读出电路

与高速 CIS 中 ADC 读出电路不同, 基于事件驱动的 DVS 视觉传感器, 采用 AER 的读出方式, 以完全不同的方式处理视觉信息. AER 系统通过对每个像素的亮度变化进行实时检测, 以事件的形式输出数据. 这种方式在高速运动、低功耗和高动态范围应用中具有显著优势. AER 系统不需要等整个图像帧完成后再开始读取数据, 而是当某个像素的亮度发生变化时, 就会立即生成一个事件. 这个事件通常由像素的亮度变化 (例如超过设定的阈值) 触发. 采用 AER 格式编码事件产生的位置、时间及极性信息, 具体格式为  $(x, y, t, p)$ , 其中  $x, y$  表示事件在像素阵列的坐标,  $t$  为事件发生的时间,  $p$  表示光强变亮或变暗, 这些事件通过 AER 总线按顺序传输到处理电路. AER 传感器通过模仿生物视觉系统来捕捉图像, 实时地响应场景中的变化, 图像处理效率大大提高, 同时也减少了数据存储和传输的需求.

图 17 为 AER 输出交互握手协议过程<sup>[7]</sup>. 当像素中有事件触发时, 输出交互级会发出行请求 (row request, RR) 信号, 等待外部行仲裁电路仲裁, 当该行像素得到仲裁后, 输出交互级会得到行仲裁 (row acknowledgement, RA) 信号; 之后像素的输出交互级会发出列请求 (column request, CR) 信号, 等待外部列仲裁电路仲裁, 当该列像素得到

仲裁后, 该激活像素收到列仲裁 (column acknowledgement, CA) 信号; 当行列请求均得到应答后, 该像素事件信息被输出, 输出交互级撤销 CR 和 RR 信号, 当行仲裁电路检测到 RR 信号撤销后, 会撤销对该行像素的仲裁.

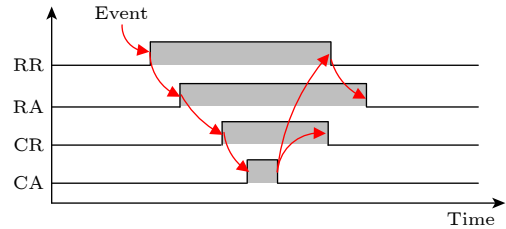


图 17 AER 交互协议工作过程<sup>[7]</sup>  
Fig. 17. AER interaction protocol workflow<sup>[7]</sup>.

传统 DVS 通常采用行列握手机制逐事件读出, 并基于 AER 编码实现高时空分辨率. 然而, 事件处理算法通常需要将事件数据重建为帧, AER 格式在此过程中限制了并行处理效率, 影响系统计算性能. 为此, 中国科学院半导体研究所采用一种基于事件分组的同步 AER 读出结构 (group-based synchronic address event representation, GSAER), 如图 18(a) 所示<sup>[36]</sup>, 通过将多个事件合并为同一数据包以提高传输并行度. 在 GSAER 架构中, 每行 128 个像素划分为 8 组, 每组 16 个像素. 每组数据先进行按位或运算生成组请求信号, 再根据信号产生组地址选通编码, 最终按序读出事件组. 该机制利用事件在空间上的概率相关性, 在密集事件场景下可显著提升读出效率和帧恢复性能, 并减少地址编码长度. 同时, 该传感器采用一种基于多叉树的

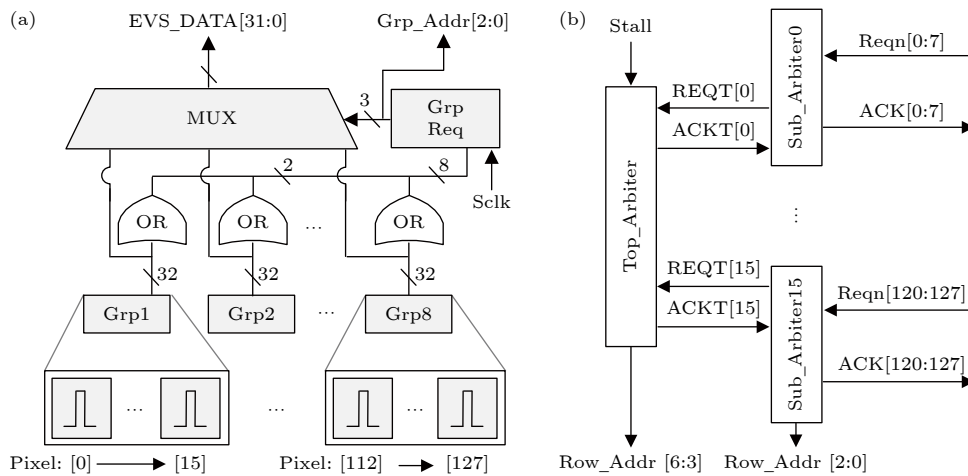


图 18 (a) 分组读出结构; (b) 多叉树单向空间顺序仲裁结构<sup>[36]</sup>

Fig. 18. (a) Group-based readout structure; (b) multi-way tree unidirectional spatial sequential arbitration structure<sup>[36]</sup>.

单向空间顺序仲裁结构, 通过增加每个节点的分支数来减少整体层级, 从而降低延迟, 提升仲裁效率, 具体结构如图 18(b) 所示<sup>[36]</sup>.

### 4.3 时间相关单光子计数技术

SPAD 传感器具有单光子灵敏度和皮秒级时间分辨率, 其读出电路设计面临的主要挑战在于降低脉冲数据传输量, 提高数据传输效率. 基于 SPAD 器件的光子计数成像技术具备二维和三维多模式成像能力. 在二维成像方面, 2019 年 Ulku 等<sup>[12]</sup> 提出一款分辨率为  $512 \times 512$  的 SwissSPAD2 图像传感器, 该芯片采用时间门控架构通过一个最短 5.75 ns 的曝光门控时间, 实现了单比特脉冲帧率为 97.7 kfps 的高速光子计数成像. 此外, 2024 年 Takatsuka 等<sup>[55]</sup> 基于混合键合工艺, 将 8-bit 计数器集成进  $3.36 \mu\text{m}$  尺寸的 SPAD 像素内, 如图 19 所示, 在像素级进行光子计数累加, 实现了灰度帧 150 fps 以及 120 dB 高动态成像, 大幅降低了数据传输量.

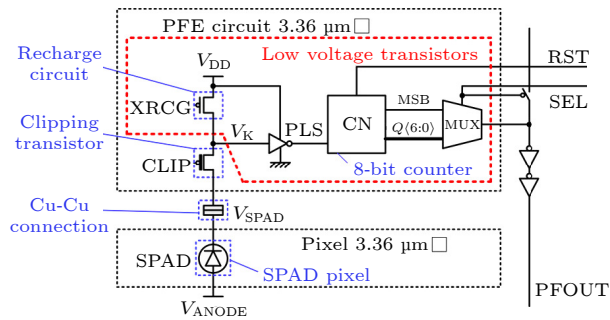


图 19  $3.36 \mu\text{m}$  SPAD 像素前端电路图<sup>[55]</sup>

Fig. 19.  $3.36 \mu\text{m}$  pixel front-end circuit<sup>[55]</sup>.

在时间相关光子计数成像的三维应用中, 利用主动光源和飞行时间测量法实现环境的立体感知. 由于器件本身无法区分环境光和激光脉冲, 因此读出电路需要多次统计得到激光回波信号. 图 20(a) 展示了时间相关单光子统计原理, 在多个探测周期中, 激光回波光子造成的雪崩触发具有时间相关性, 而环境光子造成的触发在时间上随机分布, 经过多次统计, 在直方图上可以将激光回波信号和环境光噪声区分开. 传统的直方图统计功能在芯片外部实现, 导致芯片 IO 数据传输量较大. 近年来, 随着电路技术的发展, 逐渐将直方图统计功能集成在片上, 减小了 IO 传输速率对大面阵传感器帧率和单个测量周期最大采样次数的限制, 如图 20(b) 所示<sup>[56]</sup>.

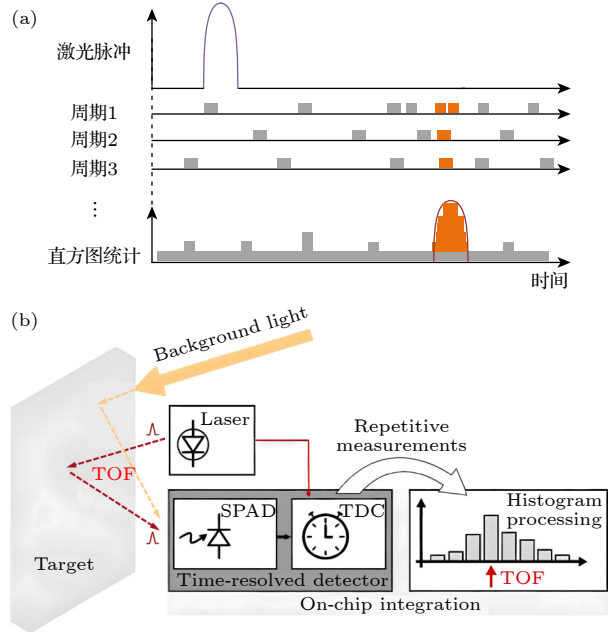


图 20 (a) 时间相关单光子统计原理<sup>[40]</sup>; (b) 片上直方图统计<sup>[56]</sup>

Fig. 20. (a) Principle of time correlated single-photon counting statistics<sup>[40]</sup>; (b) on-chip histogram processing<sup>[56]</sup>.

2025 年, Yui 等<sup>[57]</sup> 实现的一款面向激光雷达应用的 SPAD 传感器芯片, 采用多相时钟标记 SPAD 触发事件时间戳的方式, 以及片上集成直方图统计和寻峰处理功能, 实现了 25 M points/s 的高速高精度三维探测. 片上集成的方式完善了芯片功能, 可以直接输出距离探测结果, 降低了芯片数据传输量, 但必然带来了更多的片上资源消耗, 尤其是存储资源. 田娜<sup>[40]</sup> 实现了一款多事件部分直方图型时间数字转换 (time-to-digital converter, TDC) 电路, 将飞行时间测量和直方图统计的功能相结合, 提高了单次探测周期的最大采样次数, 并通过部分直方图的方法压缩了电路的存储开销. 其中, 部分直方图采用滑动/缩放混合的实现方式, 结合二者的优势, 可根据应用场景进行模式选择, 提高了部分直方图电路的适用性.

高速视觉芯片的读出电路是决定其性能表现的关键环节, 其核心任务在于实现图像信息的高精度转换与高效率传输. 在 CIS 中, 各类 ADC 架构通过高速精准模拟数字转换, 保障了高帧率与高分辨率成像的数据供给; 在 DVS 中, AER 电路则通过事件驱动的稀疏数据输出模式, 从源头上大幅削减了数据冗余与传输负载; 而对于 SPAD 传感器, 其读出电路则专注于处理精确的光脉冲和时间戳

信息, 并通过片上集成计数与直方图统计等功能, 有效解决了单光子探测中海量数据的传输瓶颈. 这些各具特色的读出策略, 分别针对其传感机制的特性, 解决了高速成像场景下数据转换与传输的效率问题, 共同构成了支撑现代视觉芯片实现高性能感知的电路基础.

## 5 高速智能处理

高速视觉处理的核心目标是以极低延迟重建并理解快速变化的大量原始视觉信号. 完整的高速视觉处理链路通常包括两大环节: 一是高速图像复原, 即从脉冲相机、事件相机与单光子图像传感器等前端获取的稀疏时序数据中恢复连续、高质量的图像; 二是高速图像智能处理, 利用专用处理架构或神经网络对复原后的数据进行特征提取、识别与决策. 随着传感器架构与神经网络的深度融合, 复原与认知正从传统的分阶段处理演化为端到端协同优化的新范式, 以实现更高速、更低功耗与更强鲁棒性的高速视觉系统.

### 5.1 高速图像复原

在高速视觉芯片完成前端的光电信号感知与读出之后, 所获取的原始数据仍需经过后端图像处理器的重构与解析, 生成可供识别与分析的高速图像, 再进行目标识别和检测等智能处理任务. 视觉芯片的最后一环是智能处理所带来的算法应用问题, 需结合不同传感器的探测机制, 实现高效的图像复原与兼顾能效和速度的智能处理. 下面介绍高速图像复原处理方法. 新兴的动态视觉传感器、脉冲相机以及单光子图像传感器等仿生脉冲视觉传感器, 感知光信号并输出脉冲图像帧或事件流, 具有数据量小、时间分辨率高等优点. 相比之下, 实数型高速相机在固定曝光时间内累积光子实现光强采样、积分、量化, 输出实数型图像, 数据量大, 难以实现超越脉冲视觉传感器的时间分辨率. 然而, 脉冲视觉传感器产生的脉冲图像帧或事件流需要经过图像重建处理才能得到高速图像. 基于脉冲输出的数据形式, 高速图像重建的基本目标是从稀疏、时序化的脉冲流中重建出具有连续空间结构和光强信息的图像序列. 与帧式成像直接输出二维光强矩阵不同, 脉冲数据本质上是光信号的时域采样结果, 因而重建过程需要对脉冲事件进行时空解码

与光强反演.

对于脉冲相机, 其中每个像素接收光信号并进行积分, 当积分电压达到预设阈值时便触发一次脉冲输出. 研究者提出了多种面向脉冲相机的高速图像重建方法, 主要可分为 3 类: 传统解析法、信号处理增强法与神经网络驱动法. 解析法主要基于脉冲发放的物理规律进行直接反演, 代表性方法包括脉冲间隔法 (texture from interval, TFI) 和时间窗平均法 (texture from window, TFW)<sup>[58]</sup>. TFI 方法利用脉冲间隔与光强成反比的特性估计瞬时光强, 具有较高时间分辨率, 但易受光子到达波动影响, 重建图像常伴随显著噪声. TFW 方法则通过对给定时间窗内脉冲进行平均估计出光照强度, 结果更为平滑和稳定, 尤其适用于静态场景, 但在高速运动情况下会引入明显的运动模糊. 解析方法结构简单、计算开销小, 但重建精度受限, 易受噪声影响. 在不牺牲时间分辨率的前提下, 信号处理增强法能更好地抑制噪声和运动模糊. 沿运动轨迹的时域滤波方法, 通过对脉冲数据进行运动对齐和时域平滑, 提高了图像信噪比同时避免了运动模糊的产生<sup>[59]</sup>. 然而, 信号处理增强方法对运动估计和轨迹建模依赖较强, 泛化能力欠佳. 脉冲神经网络能够直接处理脉冲图像并通过大数据和深度学习改善重建方法的泛化能力. 采用脉冲神经网络的重建模型, 并引入了短时可塑性机制, 在抑制噪声和增强细节方面表现出更高的计算效率<sup>[60]</sup>. 为解决脉冲相机空间分辨率较低的问题, 运动引导超分辨率重建方法 (MGSR) 通过利用场景中相对运动信息, 从低分辨率脉冲流中重建出高分辨率图像序列<sup>[61]</sup>. 事件-脉冲融合重建策略将事件相机数据与脉冲数据结合, 在进行高速重建的同时进一步扩展了重建图像的动态范围, 如图 21 所示<sup>[62]</sup>. 深度学习方法具备强大的特征提取和建模能力, 能够在复杂场景下实现高质量重建, 但对训练数据依赖较大, 泛化能力和可解释性仍有待提升. 未来的研究有望通过结合物理建模与深度学习方法, 进一步提高脉冲相机高速影像重建的准确性和鲁棒性.

对于单光子图像传感器, 其像素具有单光子级灵敏度, 能够探测并记录光子流. 这种“光子到达事件”的直接记录方式不仅提供了极高的时间分辨率, 还使传感器具备在低光照和高速动态场景下的高信噪比成像能力. 单次曝光下, 每个像素的探测数据通常是稀疏的、离散的二进制事件序列, 无法

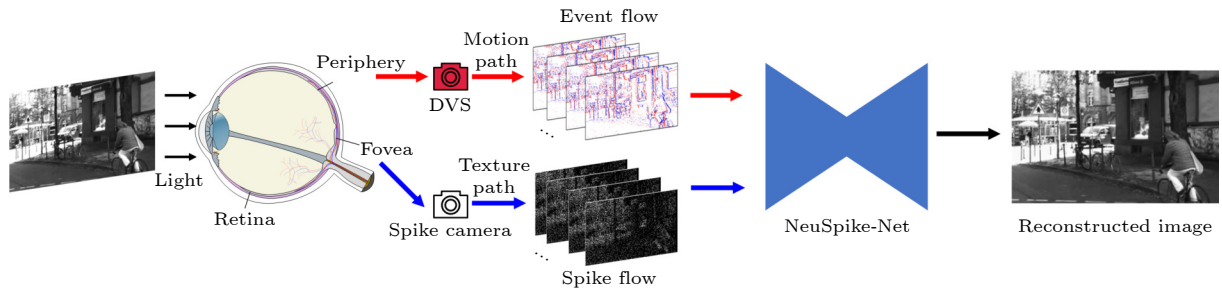


图 21 采用脉冲神经网络的动态视觉与脉冲图像融合方法<sup>[62]</sup>  
 Fig. 21. SNN-based fusion method for DVS and spike camera<sup>[62]</sup>.

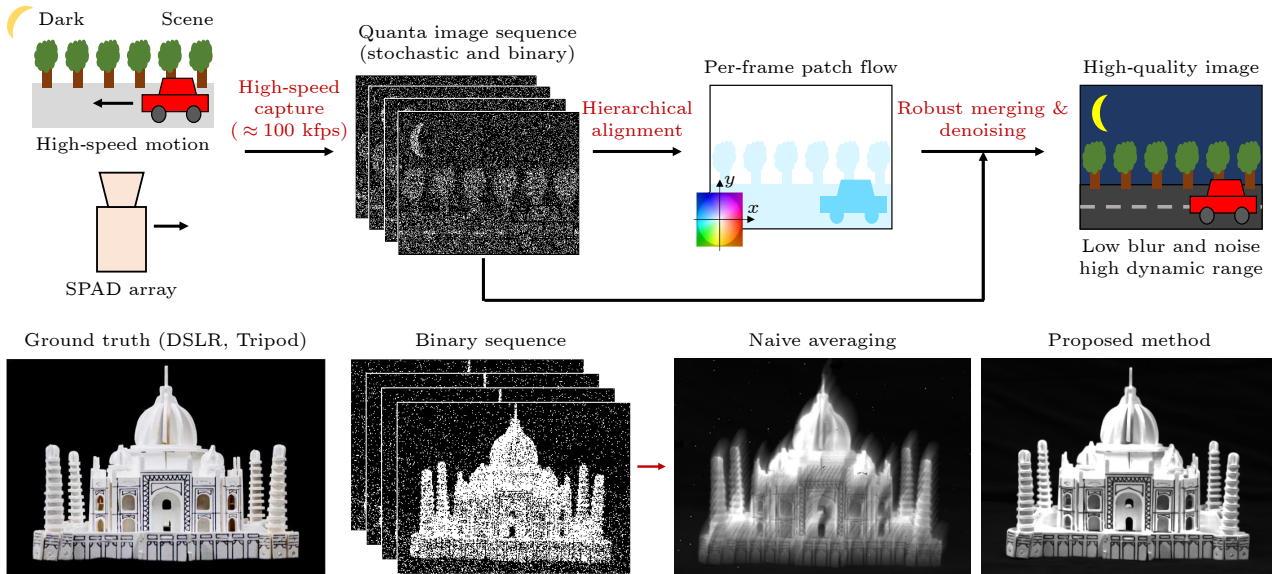


图 22 量子突发成像的高动态图像重建方法<sup>[63]</sup>  
 Fig. 22. HDR image reconstruction method for quanta burst photography<sup>[63]</sup>.

直接用于重建连续的图像信息. 因此, 面向单光子成像的高速图像重建的关键在于如何从这些单光子事件中恢复出具有空间结构和时间连续性的图像序列. 近年来, 研究者围绕这一问题提出了多种基于统计建模、时域解码与深度学习融合的重建策略. 其中, 量子突发成像 (quanta burst photography) 方法利用 SPAD 传感器在超短曝光下采集的光子突发事件序列, 通过对光子统计特性进行建模来恢复图像, 如图 22 所示<sup>[63]</sup>. 该方法首先对多帧单光子事件进行泊松统计建模, 然后利用时空联合重建算法将稀疏的事件序列解码为连续的高分辨率图像. 通过这种“光子累积-统计反演”的方式, 在极低光子数条件下实现清晰的高速图像重建. 针对高速运动场景下的模糊问题提出的运动自适应重建方法<sup>[64]</sup>, 利用 SPAD 的高时间分辨率特性, 将光子事件按时间顺序划分为超短子曝光序列, 并通过估计场景运动轨迹对这些子曝光帧进行时域配准与运

动补偿. 在配准完成后再执行联合重建与去模糊优化, 从而在提升信噪比的同时有效抑制了运动模糊, 实现了高速运动场景下的清晰成像. 单光子成像具有高灵敏度优势, 同时单光子事件的泊松统计特性导致数据固有噪声较高, 稀疏性也增加了重建的不确定性. 如何突破实现弱光、高动态兼容的高速图像重建方法将会是未来面向单光子图像传感器的图像重建算法的研究方向.

对于动态视觉图像传感器, 其像素仅响应并记录光强变化的事件信号, 只能对动态目标进行成像, 缺少静态场景成像能力. 因此, 单独使用动态视觉事件流数据无法直接恢复得到高速图像. 动态视觉事件流具有高速动态信息, 可以通过多模式视觉融合方法重建高速图像. 例如, 将 DVS+SPAD 或 DVS+脉冲相机的融合重建方法. Muglikar 等<sup>[65]</sup>提出了一种 DVS+SPAD 多模态融合框架, 用于低光高速场景重建, 两者结合实现了在 kHz 级时间

分辨率和极低信噪比条件下的动态图像重建. 采用 DVS+脉冲相机融合的时空重建方法, 实现了基于仿生脉冲视觉相机的高速视频重建<sup>[62]</sup>. 基于脉冲型图像传感器的高速图像重建方法, 因前端传感器成像原理不同而略有区别, 但其本质都在于从二值脉冲数据流的时空域中利用统计、信号处理、神经网络的方法提取瞬态光强信号.

### 5.2 高速图像智能处理

在完成对高速图像复原技术的探讨后, 视觉处理流程的最后一个环节便是对复原后的图像和数据进行高层次的信息提取与智能理解. 这一阶段依赖于专门设计的高速智能处理算法与硬件架构, 旨在从海量视觉数据中实时识别目标、分析场景并作出决策, 从而真正释放高速视觉芯片的应用潜力. 高速图像智能处理算法和处理器依据图像数据流特点的不同, 主要分为实数型和脉冲型两种. 基于光电二极管的高速 CIS 图像传感器采用“积分-量化”的“成像-读出”体制和同步曝光方式, 成像数据是实数图像帧. 这类图像传感器的特点是帧率较高, 像素数据位深大, 数据量大, 后续处理算法的计算复杂度高. 脉冲型图像传感器产生单比特脉冲图像帧或动态事件流, 成像数据是脉冲数据流. 这类图像传感器的特点是时间帧率或时间分辨率极高, 像素数据位深小, 数据量小, 后续处理算法的计算复杂度低, 更易于实现高速图像处理.

实数型高速图像处理相关研究提出了两类处理架构, 根据是否在像素内进行图像数据处理分为: 像素内 (in-pixel) 处理和像素外 (near-sensor)

处理架构<sup>[66]</sup>, 如图 23 所示. 像素内处理利用邻域像素信号的空间相关性, 在前端完成部分数据处理, 降低数据量并减轻后端压力. Komuro 等<sup>[67]</sup>提出由大量 PE (processing element) 组成的阵列, 每个 PE 可互联并并行工作, 支持 SIMD 模式处理. 通过局部二值化 (LBP) 等操作, 可直接在像素阵列内完成特征提取. Xu 等<sup>[68]</sup>提出的 Senputing 架构则通过对邻域像素流加权求和, 实现卷积神经网络处理. 类似地, Datta 等<sup>[69]</sup>提出的 P<sup>2</sup>M (processing-in-pixel-in-memory) 技术, 将模拟卷积与加权存储直接集成在像素内, 实现显著的数据压缩与能效提升. Kaiser 等<sup>[70]</sup>进一步提出 Neuromorphic-P<sup>2</sup>M, 使像素阵列能够执行多通道模拟卷积并结合数字补偿以提升精度. Lee 等<sup>[71]</sup>提出将计算转移到光域, 实现了光电转换、存储与编码一体化的光学忆阻像素, 展示了可编程前端处理的潜力. 这些研究表明, 像素内处理正从传统固定功能逐步迈向“可编程模拟卷积+像素级存储”的方向. 尽管像素内处理在延迟、功耗、带宽等方面具备显著优势, 但其受限于模拟噪声、可编程性不足及像素面积增大等问题; 随着三维堆叠与先进封装技术的成熟, 这些瓶颈正在被逐步突破, 使像素内处理仍保持强劲的发展潜力. 这种像素内处理架构将像素内处理电路与传感器结构深度融合, 依然是未来高性能视觉芯片设计中极具潜力且值得持续探索的方向.

像素外处理架构将数字图像帧完整读出后, 在数字域完成全部后续计算. 为提高图像处理速度, Shi 等<sup>[4]</sup>提出了可编程视觉芯片, 集成了传感器阵列、PE 阵列和行并行处理器 (row processor, RP)

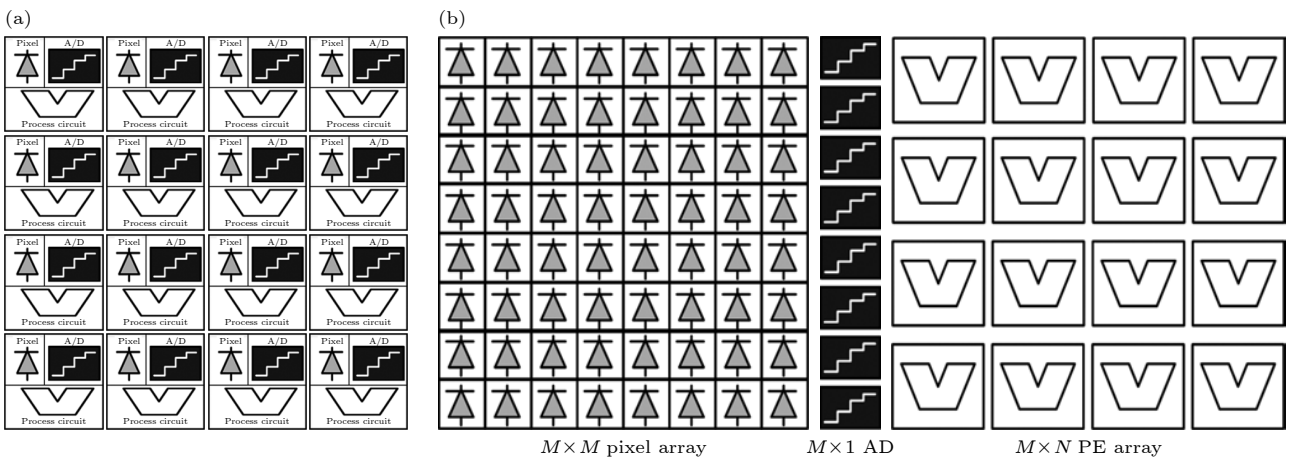


图 23 (a) 像素内处理架构示意图; (b) 像素外处理架构示意图<sup>[66]</sup>

Fig. 23. (a) In-pixel processing architecture; (b) near-Sensor processing architecture<sup>[66]</sup>.

阵列. 其中, PE 阵列负责图像的局部邻域处理, 而 RP 阵列完成快速特征提取. 然而, 该架构的特征分类功能仍依赖片上 MCU (microcontroller unit) 实现, 受限于 MCU 的串行运算能力, 整体分类和识别速度相对较慢, 成为系统性能提升的瓶颈. 为进一步突破高速特征分类的性能限制, 该团队随后提出了一种集成自组织映射 (self-organizing map, SOM) 神经网络的视觉处理器. 视觉处理单元由  $64 \times 64$  PE 阵列和  $64 \times 1$  RP 阵列组成, 其中 PE 阵列可动态重构为  $16 \times 16$  SOM 神经元阵列, 实现特征的在线自适应聚类与分类. 该芯片采用 180 nm CMOS 图像传感器工艺制造, 可在 1000 fps 的高帧率下单芯片完成图像滤波、特征提取、特征分类等多层级视觉任务, 显著提升了系统的整体处理效率与智能感知能力. 近年来, 随着人工智能的发展, 神经网络在视觉任务中表现出更好的准确度和泛化能力. 越来越多的视觉芯片支持神经网络的片上推理计算, 这就要求处理器具有高效加速稠密的乘累加运算的能力. Bong 等<sup>[72]</sup> 提出采用 PE 中的混合数据类型 MAC 单元, 用移位器和加法器代替乘法器, 提高乘累加计算效率. 索尼提出的 3D 堆叠视觉芯片集成了 2304 个 MAC 单元和高效的张量数据内存访问机制, 可以实现每秒处理 30 帧  $4056 \times 3040$  分辨率图像的视觉分类和检测任务<sup>[5]</sup>.

相比于计算视觉的图像处理方法, 神经网络在图像智能处理表现出具有更强的泛化能力和更高的推理正确率, 因而广泛应用在边缘视觉处理任务. 然而, 实数型神经网络的参数量大, 需要进行稠密的乘累加计算. 这导致边缘处理器难以实现低延迟的片上实数型神经网络推理, 无法满足高速图

像传感器的低延迟智能处理需求. 相比之下, 脉冲型图像传感器输出脉冲数据流, 数据量少且能直接作为脉冲神经网络输入进行处理. Yang 等<sup>[73]</sup> 首次基于标准 CMOS 工艺实现了脉冲型人工视觉芯片, 将单光子脉冲型图像传感器与可重构脉冲视觉处理器一体化集成, 实现了从视觉信号的获取、编码、处理到传输的全链路脉冲化处理流程, 如图 24 所示, 模仿仿生全脉冲视觉感知-处理范式, 突破了实数型人工视觉芯片的处理速度瓶颈. 该芯片采用单光子雪崩二极管 (SPAD) 像素阵列, 天然地产生高速、稀疏的脉冲型图像信号, 并通过神经形态脉冲计算范式对脉冲帧进行直接处理. 芯片可实现最高 100 kfps 的脉冲视觉数据处理速率, 脉冲处理延迟低至  $160 \mu\text{s}$ , 并具备对光照条件和场景变化的快速自适应调节能力.

脉冲图像传感器原始成像数据在弱光场景下图像信噪比低、有效信号稀疏. 而为获取彩色视觉集成的彩色滤光阵列则会导致空间分辨率缺失的彩色马赛克图像. 这些原始成像数据需要分别过去马赛克、降噪、压缩编码等图像增强处理, 然后再输入脉冲神经网络完成智能处理. 这种两阶段处理范式的计算差异大、复杂度高、分阶段训练有参数冗余, 导致需要两种专用的处理芯片、处理延迟大功耗高、电路重构效率低、存储开销大.

为了突破延迟和功耗瓶颈, 端到端脉冲神经网络融合图像增强与智能认知, 直接处理原始图像数据输出识别结果<sup>[74]</sup>. 端到端脉冲神经网络采用增强的图像数据集, 包含马赛克脉冲图像、噪声脉冲图像、弱光下的稀疏脉冲图像, 利用深度学习的误差反向传播方法实现误差梯度下降, 实现端到端网

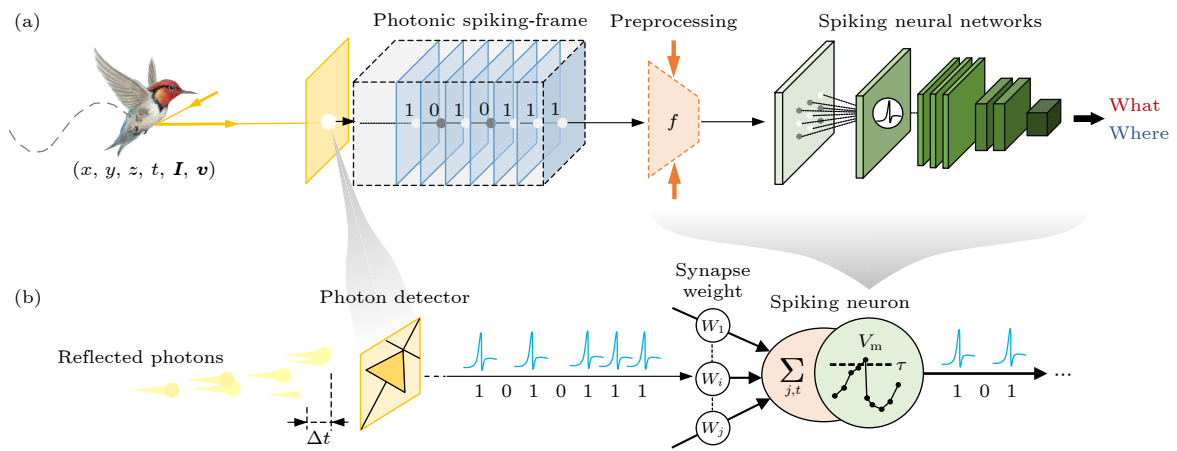


图 24 (a) 仿生脉冲视觉范式; (b) 单元级脉冲视觉流示意图<sup>[73]</sup>

Fig. 24. (a) Bio-inspired spiking visual paradigm; (b) unit-level spiking visual flow<sup>[73]</sup>.

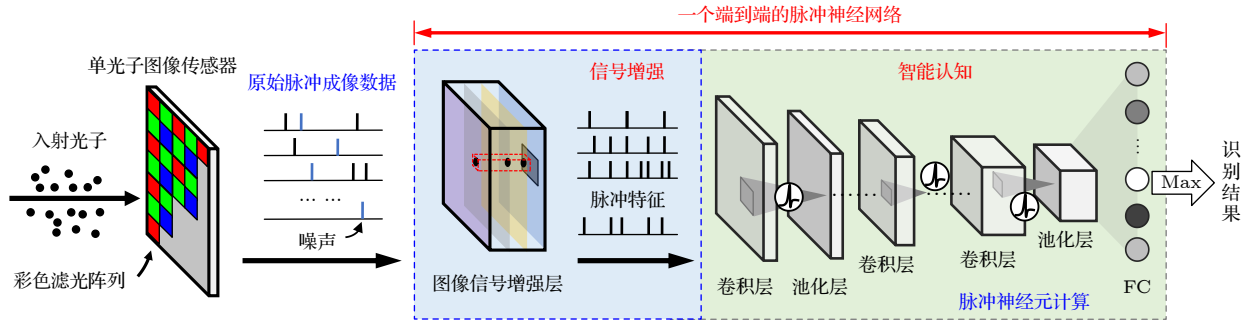


图 25 融合了图像信号增强的脉冲神经网络 [74]

Fig. 25. SNN embedded image signal enhancement [74].

络能够同时拟合图像增强处理和特征提取. 因此, 单个脉冲神经网络即可同时实现图像增强和识别功能. 采用面向单光子图像传感器的成像模型对标准数据集进行污染, 得到囊括了多种图像非理想因素的增强数据集, 提高了训练后脉冲神经网络的鲁棒性. 这种融合了图像信号增强的脉冲神经网络统一了计算模式, 降低了计算复杂度, 融合训练去除了冗余参数, 因此芯片可以使用统一的处理架构、电路重构效率高、存储开销低、有效降低处理延迟和功耗. 如图 25 所示, 这款脉冲视觉芯片, 首次实现基于脉冲神经网络融合图像信号增强与智能认知处理的片上视觉系统. 芯片突破性实现了 10 kHz, 63  $\mu\text{J}$  每次的超高速智能识别.

高速视觉芯片智能处理环节的核心任务是从原始数据中高效提取信息并实现智能算法应用. 图像复原阶段致力于从稀疏脉冲流中重建高质量图像序列, 而智能处理阶段则通过实数型或脉冲型架构实现高速信息理解. 通过将复原与认知任务在算法和硬件层面深度融合, 最终实现了兼顾高速、低功耗与高精度的端到端智能视觉系统. 相比于传统的计算视觉处理方法, 基于神经网络的特征提取与识别表现出更好的泛化能力和鲁棒性. 神经网络基于“大数据+深度学习”的训练方法可以提高视觉任务的准确率, 并且随着神经网络参数量的提高, 其泛化能力改善更为明显. 然而, 这对于需要实现边缘计算的视觉芯片而言带来了诸多设计挑战, 主要是更大的存储开销和算力需求. 因此, 面向边端的神经网络部署通常需要采用轻量化方法, 如模型剪枝 [75] 和量化 [76], 以减少参数数量和计算量; 同时, 避免过大的准确率下降. 但是, 在真实场景中使用, 光照和视角变化仍然有可能导致视觉芯片的性能退化. 在视觉芯片上支持神经网络的再训练, 使

其具备片上学习能力, 有望解决这一问题. 目前, 新型器件, 如忆阻器 [77]、阻变器件 [78], 验证了低功耗的片上学习、推理、图像处理等视觉任务, 为未来发展高效自适应视觉芯片提供了新方法.

## 6 总结与展望

本文系统梳理了高速视觉芯片的研究进展, 围绕光电转换、信号读出与智能处理三大核心环节, 深入分析了各层面的基础问题、技术挑战与解决方案. 在光电转换环节, 针对传统 CIS 在高速场景下的电荷转移瓶颈, 通过梯度掺杂与像素结构优化, 显著提升了电荷转移速度与效率; 受生物视觉启发的 DVS 则通过事件驱动机制, 解决了高速成像中的数据冗余问题; 而面向单光子探测的极限需求, SPAD 与 CIS-QIS 器件分别在雪崩倍增机制与噪声抑制层面取得突破, 为实现高灵敏度、低噪声成像奠定了基础. 在数据读出环节, 面向 CIS 的高帧率输出, 高速 ADC 架构的创新有效提升了数据转换与传输效率; 针对 DVS 的稀疏事件流, AER 电路实现了高效的事件编码与传输; 而对于 SPAD 产生的大量时间信息, 片上光子计数与直方图统计技术则成功缓解了数据吞吐压力, 为系统级的高速处理提供了可能. 在智能处理层面, 脉冲型视觉传感器与脉冲神经网络的直接对接, 充分发挥了事件数据的稀疏性与时序特性, 实现了低延迟、低功耗的端到端智能处理, 为高速场景下的实时感知与决策提供了可行路径.

在技术融合与演进方面, 三维堆叠工艺为像素与电路的协同优化提供了新的自由度 [79], 推动了芯片性能的持续提升; 而融合 CIS, DVS 与 SPAD 的多模态视觉芯片, 则有望整合不同传感器的优势, 实现强度、运动与深度信息的同步捕捉, 为下

一代机器视觉系统提供更全面的感知能力。展望未来,高速视觉芯片的发展将继续沿着器件物理创新、电路架构优化与智能算法融合 3 条路径推进。随着先进工艺与新材料器件的不断成熟,以及多模态感知与异构计算模式的深度整合,高性能、低功耗、强智能的视觉芯片将在自动驾驶、工业检测、虚拟现实等领域发挥愈加关键的作用。

**冯鹏**, 中国科学院半导体研究所研究员, 中国科学院大学岗位教师, 博士生导师。2011 年获中国科学院半导体研究所工学博士学位, 长期从事数模混合集成电路的研究工作。围绕高速成像芯片、三维图像传感器、像素器件与读出电路集成技术开展系统研究, 成功研制多款 CMOS 图像传感芯片, 在高动态范围成像、电荷转移效率优化及高速读出电路等方面取得创新研究成果。近年主持或作为课题骨干参与了国家自然科学基金重点项目、国家重点研发计划课题等多项国家级科研任务。发表 SCI/EI 论文 40 余篇, 授权国家发明专利 18 项。

**刘力源**, 中国科学院半导体研究所研究员, 中国科学院大学岗位教授, 博士生导师。2010 年获清华大学工学博士学位。长期从事人工智能视觉芯片研究, 围绕人工视觉感知器件和电路、新型视觉传感器、边缘视觉处理器、传感器/处理器集成技术开展研究, 取得了一系列创新性的研究成果, 成功研制 CMOS 图像传感器和处理器一体化视觉芯片、脉冲型全仿生视觉芯片、基于动态视觉传感的视觉芯片等多款芯片, 为光电融合视觉芯片的实用化奠定了基础。近年来主持国家自然科学基金、国家重点研发计划课题等多项重大科研任务, 发表 SCI 和 EI 论文 100 余篇, 授权国家发明专利 20 余项。

## 参考文献

- [1] Wu N J 2018 *Sci. China Inf. Sci.* **61** 060421
- [2] Mead C 1990 *Proceed. IEEE* **78** 1629
- [3] Ishikawa M, Ogawa K, Komuro T, Ishii I 1999 *IEEE International Solid-State Circuits Conference San Francisco, CA, USA, February 17, 1999* p206
- [4] Shi C, Yang J, Han Y, Cao Z X, Qin Q, Liu L Y, Wu N J, Wang Z H 2014 *IEEE J. Solid-State Circuits* **49** 2067
- [5] Eki R, Yamada S, Ozawa H, Kai H, Okuike K, Gowtham H, Nakanishi H, Almog E, Livne Y, Yuval G, Zyss E, Izawa T 2021 *IEEE International Solid-State Circuits Conference San Francisco, CA, USA, February 13-22, 2021* p154
- [6] Liao F Y, Zhou F C, Chai Y 2021 *J. Semicond.* **42** 013105
- [7] Kang L 2023 *Ph. D. Dissertation* (Beijing: University of Chinese Academy of Sciences) (in Chinese) [康磊 2023 博士学位论文 (北京: 中国科学院大学)]
- [8] Wojtkiewicz M, Rae B, Henderson R K 2024 *IEEE Trans. Electron Devices* **71** 3470
- [9] Bi Y H, Bian D J, Li M, Xu Y 2025 *Chin. Phys. B* **34** 068501
- [10] Kagawa K, Horio M, Pham A N, Ibrahim T, Okihara S, Furuhashi T, Takasawa T, Yasutomi K, Kawahito S, Nagahara H 2022 *Sensors* **22** 1953
- [11] Guo M H, Chen S S, Gao Z, Yang W L, Bartkovjak P, Qin Q, Hu X Q, Zhou D H, Uchiyama M, Kudo Y, Fukuoka S, Xu C C, Ebihara H, Wang A, Jiang P, Jiang B, Mu B, Chen H, Yang J, Dai T, Suess A 2023 *IEEE International Solid-State Circuits Conference San Francisco, CA, USA, February 19-23, 2023* p90
- [12] Ulku A C, Bruschini C, Antolović I M, Kuo Y, Ankri R, Weiss S, Michalet X, Charbon E 2018 *IEEE J. Sel. Topics Quantum Electron.* **25** 6801212
- [13] Cao Z X 2014 *Ph. D. Dissertation* (Beijing: University of Chinese Academy of Sciences) (in Chinese) [曹中祥 2014 博士学位论文 (北京: 中国科学院大学)]
- [14] Inoue T, Takeuchi S, Kawahito S 2005 *Proceeding of SPIE (Vol. 5580)* (Bellingham: SPIE) p293
- [15] Fossum E R, Hondongwa D B 2014 *IEEE J. Electron Devices Soc.* **2** 33
- [16] Wegmann G, Vittoz E A, Rahali F 1987 *IEEE J. Solid-State Circuits* **22** 1091
- [17] Yonemoto K, Sumi H 2002 *IEEE Trans. Electron Devices* **49** 746
- [18] Shin B, Park S, Shin H 2010 *Solid-State Electron.* **54** 1416
- [19] Hu C Z, Zhang B, Xin Y Z, Xie Y Y, Hu P F, Geng L 2023 *IEEE Sensors J.* **23** 14295
- [20] Yin R T 2025 *M. S. Thesis* (Beijing: University of Chinese Academy of Sciences) (in Chinese) [尹若童 2025 硕士学位论文 (北京: 中国科学院大学)]
- [21] Lee J, van Sieleghem E, Kim H, Genoe J 2022 *IEEE Trans. Electron Devices* **69** 5603
- [22] Teranishi N 2016 *IEEE Trans. Electron Devices* **63** 10
- [23] Wang J H, Liu J, Xu Y, Jiang Y L, Wan J 2023 *IEEE 15th International Conference on ASIC Nanjing, China, October 24-27, 2023* p1
- [24] Gu C 2021 *M. S. Thesis* (Beijing: University of Chinese Academy of Sciences) (in Chinese) [顾超 2021 硕士学位论文 (北京: 中国科学院大学)]
- [25] Yue X, Fossum E R 2023 *Sensors* **23** 6356
- [26] Suzuki M, Sugama Y, Kuroda R, Sugawa S 2020 *Sensors* **20** 1086
- [27] Dao V T S, Ngo N, Nguyen A Q, Morimoto K, Shimonomura K, Goetschalckx P, Haspesslagh L, Moor P D, Takehara K, Etoh T G 2018 *Sensors* **18** 3112
- [28] Wu L K, Bello D S S, Coppejans P, Craninckx J, Suss A, Rosmeulen M, Wambacq P, Borremans J 2018 *Sensors* **18** 3683
- [29] Etoh T G, Okinaka T, Takano Y, Takehara K, Nakano H, Shimonomura K, Ando T, Ngo N, Kamakura Y, Dao V T S, Nguyen A Q, Charbon E, Zhang C, Moor P D, Goetschalckx P, Haspesslagh L 2019 *Sensors* **19** 2247
- [30] Kramer J 2002 *IEEE International Symposium on Circuits and Systems. Proceedings (Cat. No. 02CH37353)* Phoenix-Scottsdale, AZ, USA, May 26-29, 2002 p165
- [31] Ryu H E 2019 *Conference on Computer Vision and Pattern Recognition* Long Beach, CA, USA, January 16-20, 2019
- [32] Suh Y, Choi S, Ito M, Kim J, Lee Y, Seo J, Jung H, Yeo D H, Namgung S, Bong J, Yoo S, Shin S H, Kwon D, Kang P, Kim S, Na H, Hwang K, Shin C, Kim J S, Park P K J, Kim J, Ryu H, Park Y 2020 *IEEE International Symposium on Circuits and Systems Seville, Spain, October 12-14, 2020* p1
- [33] Gao Z Y, Zhang D, Shi X P, He Y H, Xu J T 2025 *Int. J. Circ. Theor. Appl.* **53** 1833
- [34] Zhang H H 2025 *Ph. D. Dissertation* (Beijing: University of Chinese Academy of Sciences) (in Chinese) [章宦慧 2025 博士

学位论文 (北京: 中国科学院大学)]

- [35] Kleinfelder S, Lim S H, Liu X, Gamal A E 2001 *IEEE J. Solid-State Circ.* **36** 2049
- [36] Zhang H H, Zhang C, Yang X, Wang Z, Shi C, Dou R J, Yu S M, Liu J, Wu N J, Feng P, Liu L Y 2025 *J. Semicond.* **46** 092201
- [37] Fossum E R 2011 *Computational Optical Sensing and Imaging* Toronto, Canada, July 10–14, 2011
- [38] Ma J, Fossum E R 2015 *IEEE J. Electron Devices Soc.* **3** 73
- [39] Ma J, Zhang D X, Elgendy O A, Masoodian S 2021 *IEEE Electron Device Lett.* **42** 891
- [40] Tian N 2024 *Ph. D. Dissertation* (Beijing: University of Chinese Academy of Sciences) (in Chinese) [田娜 2024 博士学位论文 (北京: 中国科学院大学)]
- [41] Morimoto K, Iwata J, Shinohara M, Sekine H, Abdelghafar A, Tsuchiya H, Kuroda Y, Tojima K, Endo W, Maehashi Y, Ota Y, Sasago T, Mackawa S, Hikosaka S, Kanou T, Kato A, Tezuka T, Yoshizaki S, Ogawa T, Uehira K, Ehara A, Inui F, Matsumo Y, Sakurai K, Ichikawa T 2021 *IEEE International Electron Devices Meeting* San Francisco, CA, USA, December 11–16, 2021 p450
- [42] Ito K, Otake Y, Kitano Y, Matsumoto A, Yamamoto J, Ogasahara T, Hiyama H, Naito R, Takeuchi K, Tada T, Takabayashi K, Nakayama H, Tatani K, Hirano T, Wakano T 2020 *IEEE International Electron Devices Meeting* San Francisco, CA, USA, December 12–18, 2020 p347
- [43] Fujisaki Y, Tsugawa H, Sakai K, Kumagai H, Nakamura R, Ogita T, Endo S, Iwase T, Takase H, Yokochi K, Yoshida S, Shimada S, Otake Y, Wakano T, Hiyama H, Hagiwara K, Arakawa M, Matsumoto S, Maeda H, Sugihara K, Takabayashi K, Ono M, Ishibashi K, Yamamoto K 2023 *IEEE Symposium on VLSI Technology and Circuits* Kyoto, Japan, Junuray 11–16, 2023 p1
- [44] Ogi J, Kitamura S, Sugaya F, Suzuki J, Magori A, Matsui T, Sumita K, Ushiku Y, Moriyama K, Toshima K, Namise T, Ozawa H, Tsukuda Y, Otake Y, Hiyama H, Matsumoto S, Suzuki A, Koga F 2024 *IEEE International Electron Devices Meeting* San Francisco, CA, USA, December 7–11, 2024
- [45] Matsuo S, Bales T J, Shoda M, Osawa S, Kawamura K, Andersson A, Haque M, Honda H, Almond B, Mo Y, Gleason J, Chow T, Takayanagi I 2009 *IEEE Trans. Electron Devices* **56** 2380
- [46] Li Q L 2014 *Ph. D. Dissertation* (Beijing: University of Chinese Academy of Sciences) (in Chinese) [李全良 2014 博士学位论文 (北京: 中国科学院大学)]
- [47] Maloberti F 2007 *Data Converters* (The Netherlands: Springer) pp178–182
- [48] Lee K, Song M, Kim S Y 2025 *IEEE International Symposium on Circuits and Systems* London, United Kingdom, May 25–28, 2025
- [49] Zhang W Z 2025 *M. S. Thesis* (Beijing: University of Chinese Academy of Sciences) (in Chinese) [张伟哲 2025 硕士学位论文 (北京: 中国科学院大学)]
- [50] Lim S, Lee J, Kim D, Han G 2009 *IEEE Trans. Electron Devices* **56** 393
- [51] Byun S J, Seo J T, Kim T H, Lee J H, Kim Y K, Baek K H 2024 *Electronics* **14** 1
- [52] Lee C C, Flynn M P 2011 *IEEE J. Solid-State Circ.* **46** 859
- [53] Hao J Y, Shen Y, Zhang J, Zhang Y B, Liu S B, Zhu Z M 2024 *IEEE Trans. Circuits Syst. II* **71** 16
- [54] Kainuma T, Wakamatsu R, Wada K, Takeda T, Ueyama S, Suto H, Miura T, Uemura K, Kimura M, Sakakibara M, Oike Y 2025 *IEEE International Solid-State Circuits Conference* San Francisco, CA, USA, February 16–20, 2025 p122
- [55] Takatsuka T, Ogi J, Ikeda Y, Hizu K, Inaoka Y, Sakama S, Watanabe I, Ishikawa T, Shimada S, Suzuki J, Maeda H, Toshima K, Nonaka Y, Yamamura A, Ozawa H, Koga F, Oike Y 2024 *IEEE J. Solid-State Circ.* **59** 1137
- [56] Sesta V, Incoronato A, Madonini F, Villa F 2023 *Measurement* **212** 112705
- [57] Yui T, Hanzawa K, Hosoya M, Liu Y, Yasufuku T, Tanaka Y, Tashiro Y, Tumewu A, Yamane M, Shibata M, Sakada T, Akatsuka K, Matsushita Y, Yamada K, Mori K, Toyoshima T, Sakano Y, Kumagai O, Tsumoji K, Takahashi M 2025 *Symposium on VLSI Technology and Circuits* Kyoto, Japan, January 8–12, 2025 p1
- [58] Zhu L, Dong S W, Huang T J, Tian Y H 2019 *Proceedings of 2019 IEEE International Conference on Multimedia and Expo* Shanghai, China, July 8–12, 2019 p1432
- [59] Zhao J, Xiong R Q, Huang T J 2020 *Proceedings of 2020 IEEE International Symposium on Circuits and Systems* Seville, Spain, October 12–14, 2020
- [60] Zheng Y J, Zheng L X, Yu Z F, Shi B X, Tian Y H, Huang T J 2021 *Proceedings of 2021 IEEE Conference on Computer Vision and Pattern Recognition* Nashville, USA, Junuray 20–25, 2021 p6354
- [61] Zhao J, Xie J Y, Xiong R Q, Zhang J, Yu Z F, Huang T J 2021 *Proceedings of 2021 IEEE International Conference on Computer Vision* Montreal, Canada, October 10–17, 2021 p2513
- [62] Zhu L, Li J N, Wang X, Huang T J, Tian Y H 2021 *Proceedings of 2021 IEEE International Conference on Computer Vision* Montreal, Canada, October 10–17, 2021 p2380
- [63] Ma S, Gupta S, Ulku A C, Bruschini C, Charbon E, Gupta M 2020 *ACM Trans. Graph.* **39** 79
- [64] Seets T, Ingle A, Laurenzis M, Velten A 2021 *Proceedings of the IEEE Winter Conference on Applications of Computer Vision* Waikoloa, HI, USA, January 5–9, 2021 p1944
- [65] Muglikar M, Somasundaram S, Dave A, Charbon E, Raskar R, Scaramuzza D 2025 *IEEE Trans. Pattern Anal. Mach. Intell.* **47** 7886
- [66] Chai Y, Liao F 2022 *Near-Sensor and In-Sensor Computing* (Chapter 5) (Switzerland: Springer) pp81–119
- [67] Komuro T, Kagami S, Ishikawa M 2004 *IEEE J. Solid-State Circ.* **39** 265
- [68] Xu H, Lin N C, Luo L, Wei Q, Wang R S, Zhou C, Yin X Z, Qiao F, Yang H Z 2021 *IEEE Trans. Circuits Syst. I* **69** 232
- [69] Datta G, Kundu S, Yin Z, Lakkireddy R T, Mathai J, Jacob A P, Beerel P A, Jaiswal A R 2022 *Sci. Rep.* **12** 14396
- [70] Kaiser M A, Datta G, Wang Z X, Jacob A P, Beerel P A, Jaiswal A R 2023 *Front. Neuroinform.* **17** 1144301
- [71] Lee D, Park M, Baek Y, Bae B, Heo J, Lee K 2022 *Nat. Commun.* **13** 5223
- [72] Bong K, Chio S, Kim C, Han D, Yoo H J 2018 *IEEE J. Solid-State Circ.* **53** 115
- [73] Yang X, Yao C H, Kang L, Luo Q, Qi N, Dou R J, Yu S M, Feng P, Wei Z M, Liu J, Wang K Y, Wu N J, Liu L Y 2024 *IEEE J. Solid-State Circuits* **59** 1883
- [74] Yang X, Lei F M, Tian N, Shi C, Wang Z, Yu S M, Dou R J, Feng P, Qi N, Wei Z M, Liu J, Wang K Y, Wu N J, Liu L Y 2025 *IEEE J. Solid State Circ.* Doi: 10.1109/JSSC.2025.3583310
- [75] Zhao M X, Peng J B, Yu S M, Liu L Y, Wu N J 2022 *IEEE Trans. Circuits Syst. Video Technol.* **32** 1658
- [76] Zhang C, Yang X, Yu S M, Dou R J, Liu L Y 2025 *IEEE*

*Signal Process. Lett.* **32** 976

- [77] Wang T, Wen J, Lv K, Chen J Z, Wang L, Guo X 2022 *Acta Phys. Sin.* **71** 148702 (in Chinese) [王童, 温娟, 吕康, 陈健中, 汪亮, 郭新 2022 物理学报 **71** 148702]
- [78] Jiang B Y, Zhou F C, Chai Y 2022 *Acta Phys. Sin.* **71** 148504 (in Chinese) [江碧怡, 周菲迟, 柴扬 2022 物理学报 **71** 148504]

- [79] Tsai T H, Chang K H, Berkovich A, Capocchia R, Chen S, Wang Z, Liu C, Lin Y H, Lai S Y, Hsu H M, Abe H, Mori K, Fukuhara H, Lin C H, Isozaki T, Li WC, Chou W F, Uno M, Ikeno R, Nagamatsu M, Yang G, Wu S G, Bainbridge L 2025 *IEEE International Solid-State Circuits Conference San Francisco, CA, USA, February 16–20, 2025* p120

## INVITED REVIEW

**Research progress of high-speed vision chips\***

WANG Zhe<sup>1) #</sup> YANG Xu<sup>1) #</sup> LYU Zhuoyang<sup>1) 3)</sup> DING Bowen<sup>1)</sup>  
 YU Shuangming<sup>1)</sup> DOU Runjiang<sup>1)</sup> SHI Cong<sup>2)</sup> LIU Jian<sup>1) 3)</sup>  
 WU Nanjian<sup>1)</sup> FENG Peng<sup>1) 4) †</sup> LIU Liyuan<sup>1) 4) ‡</sup>

1) (*State Key Laboratory of Semiconductor Physics and Chip Technologies, Institute of Semiconductors, Chinese Academy of Sciences, Beijing 100083, China*)

2) (*School of Microelectronics and Communication Engineering, Chongqing University, Chongqing 400044, China*)

3) (*College of Materials Sciences and Opto-Electronic Technology, University of Chinese Academy of Sciences, Beijing 100049, China*)

4) (*School of Electronic, Electrical and Communication Engineering, University of Chinese Academy of Sciences, Beijing 100049, China*)

( Received 10 November 2025; revised manuscript received 22 December 2025 )

**Abstract**

In edge computing scenarios, response speed, compactness, and power efficiency have become critical challenges for visual systems. Traditional vision architectures that separate sensing and computing have high latency, excessive power consumption, and potential privacy leakage, which are caused by data transmission. To address these issues, vision chips inspired by the human visual system have emerged as a promising solution. By integrating image acquisition and information processing within a single hardware platform, such chips enable a sensing-computation co-processing paradigm, supporting efficient visual perception and computation directly at the edge. Developing high-speed vision chips is an inherently interdisciplinary task that bridges physics, electronics, and information science. It addresses the key problems in device fabrication, circuit design, and intelligent algorithm integration. This paper systematically reviews recent advances in the core components of high-speed vision chips.

For high-speed sensor devices, this paper analyzes the physical mechanisms, structural innovations, and performance limitations of complementary metal oxide semiconductor (CMOS) image sensors (CISs), dynamic vision sensors (DVSs), and single-photon image sensors. High-speed CIS devices enhance temporal response by optimizing two fundamental aspects: charge transfer velocity and transfer path length. Gradient doping is employed to induce high-speed drift motion during charge transfer, while structural optimization based on physical device modeling shortens the transfer path, thereby enabling fast response. In contrast, the DVS

\* Project supported by the National Natural Science Foundation of China (Grant Nos. 62334008, 62404218, 62134004, 92464103), the Natural Science Foundation of Beijing, China (Grant Nos. Z220005, L254053), and the Chongqing Higher Education Teaching Reform Research Program (Grant No. 233040).

# These authors contributed equally.

† Corresponding author. E-mail: [fengpeng06@semi.ac.cn](mailto:fengpeng06@semi.ac.cn)

‡ Corresponding author. E-mail: [liuly@semi.ac.cn](mailto:liuly@semi.ac.cn)

performs event-triggered readout when light intensity changes exceed a predefined threshold. This event-driven mechanism effectively eliminates static redundant information and only generates spike-based data reflecting brightness changes, achieving low latency and high temporal resolution. For single-photon detection, the CIS-based quantum image sensors study the source and physical mechanism of noise, achieving ultra-low noise and extremely high conversion gain. The image sensors using single-photon avalanche diodes (SPADs) leverage the avalanche effect to directly convert incident photons into pulse outputs, realizing high-speed and high-sensitivity single-photon detection. Furthermore, electric-field modulation enhances photogenerated charge collection and reduces temporal jitter, thereby improving timing precision in SPADs.

In terms of readout circuits, this paper reviews the architectures and optimization strategies for high-speed analog-to-digital converters (ADCs), address-event encoding, and time-correlated single-photon counting. To enhance conversion efficiency while minimizing chip area and power consumption, various ADC architectures have been developed. The successive approximation register (SAR) ADC has become a foundational solution due to its high integration and low power characteristics. Hybrid architectures such as SAR/single-slope (SS) and pipeline-SAR combine the strengths of different schemes, thereby effectively overcoming the area-resolution trade-offs inherent in traditional SAR ADCs. For DVS sensors, the address-event representation (AER) readout mechanism performs real-time detection of brightness variations and outputs them as asynchronous events. This greatly enhances image processing throughput while reducing storage and transmission demands. In SPAD-based sensors, on-chip integration of counting and histogram computation effectively alleviates the data throughput bottleneck associated with large-scale single-photon detection. These readout strategies, each tailored to the characteristics of their corresponding sensing mechanisms, collectively improve data conversion and transmission efficiency in high-speed imaging scenarios.

For intelligent processing, the primary objective is to efficiently extract information from sensor data and enable algorithmic intelligence. This process generally involves two stages: the reconstruction stage, which focuses on recovering high-quality image sequences from sparse spike streams, and the intelligent processing stage, which achieves high-speed semantic understanding through real-valued or spike-based computational architectures. By deeply integrating reconstruction and cognition at both algorithmic and hardware levels, end-to-end intelligent vision systems can simultaneously achieve high speed, low power consumption, and high accuracy. With ongoing technological convergence, multimodal vision chips integrating CIS, DVS, and SPAD architectures combine the advantages of different sensor modalities, providing more comprehensive perceptual capabilities for next-generation machine vision systems. Looking ahead to the future, the continuous advancement of semiconductor manufacturing technologies and novel materials, combined with the deep integration of multimodal sensing and heterogeneous computing paradigms, is expected to drive the development of high-performance, low-power, and intelligent vision chips.

**Keywords:** high-speed vision chip, complementary metal oxide semiconductor image sensor, spiking image sensor, high-speed spiking processing

**DOI:** [10.7498/aps.75.20251534](https://doi.org/10.7498/aps.75.20251534)

**CSTR:** [32037.14.aps.75.20251534](https://cstr.cn/32037.14.aps.75.20251534)



## 高速视觉芯片研究进展

王哲 杨旭 吕卓阳 丁博文 于双铭 窦润江 石匆 刘剑 吴南健 冯鹏 刘力源

### Research progress of high-speed vision chips

WANG Zhe YANG Xu LYU Zhuoyang DING Bowen YU Shuangming DOU Runjiang SHI Cong  
LIU Jian WU Nanjian FENG Peng LIU Liyuan

引用信息 Citation: *Acta Physica Sinica*, 75, 040804 (2026) DOI: 10.7498/aps.75.20251534

CSTR: 32037.14.aps.75.20251534

在线阅读 View online: <https://doi.org/10.7498/aps.75.20251534>

当期内容 View table of contents: <http://wulixb.iphy.ac.cn>

## 您可能感兴趣的其他文章

### Articles you may be interested in

碲镉汞红外焦平面阵列图像传感器空间质子位移损伤及电离总剂量效应Geant4仿真

Geant4 simulation of  $\text{Hg}_{1-x}\text{Cd}_x\text{Te}$  infrared focal plane array image sensor space proton displacement damage and total ionizing dose effects

物理学报. 2024, 73(23): 232402 <https://doi.org/10.7498/aps.73.20241246>

高温压电振动传感器及其压电材料研究进展

Research progress of high-temperature piezoelectric vibration sensors and piezoelectric materials

物理学报. 2025, 74(2): 027702 <https://doi.org/10.7498/aps.74.20240906>

质子累积辐照效应对CMOS图像传感器饱和输出的影响

Effect of proton cumulative radiation on saturation output in CMOS image sensors

物理学报. 2025, 74(2): 024203 <https://doi.org/10.7498/aps.74.20241352>

隧穿磁阻传感器研究进展

Research progress of tunneling magnetoresistance sensor

物理学报. 2022, 71(5): 058504 <https://doi.org/10.7498/aps.71.20211883>

高速铁路弓网电弧研究进展: 影响因素与防治方法

Research progress of high-speed railway pantograph arc: Influencing factors and prevention methods

物理学报. 2025, 74(23): 235202 <https://doi.org/10.7498/aps.74.20251169>

基于二维材料光电器件的传感器内计算与应用进展

Progress in in-sensor computing and applications based on photodetectors of two-dimensional materials

物理学报. 2025, 74(22): 228501 <https://doi.org/10.7498/aps.74.20251093>