

# 双互锁存储单元触发器的置位冗余加固设计及单粒子翻转效应

刘晔<sup>1)</sup> 郭红霞<sup>2)</sup> 张虹<sup>1)†</sup> 刘祥远<sup>3)</sup> 丁李利<sup>2)</sup>  
刘泽腾<sup>4)</sup> 赖善坤<sup>3)</sup> 李赟菲<sup>4)</sup>

1) (西安交通大学电气工程学院, 西安 710049)

2) (西北核技术研究所, 西安 710024)

3) (湖南融创微电子股份有限公司, 长沙 410014)

4) (安徽大学电子信息工程学院, 合肥 230601)

(2025年11月19日收到; 2026年1月7日收到修改稿)

标准单元库是芯片设计的基础, 对其进行有效的抗辐照加固设计与验证是保障宇航电子系统在轨可靠运行的关键. 本文以双互锁存储单元触发器为研究对象, 系统分析了其在置位冗余加固前后的单粒子翻转效应. 研究发现, 未加固的双互锁存储单元触发器在重离子入射时可能因置位信号受单粒子瞬态脉冲干扰而引发单粒子翻转; 而通过置位冗余加固后, 其两路置位信号可有效避免同时受到单粒子瞬态的干扰, 并利用双互锁存储单元结构的自恢复机制实现对节点电压异常的自动纠正, 显著提升了抗单粒子翻转能力. 本文冗余加固设计技术及单粒子仿真方法可为标准单元库的抗辐照设计及验证提供有效技术路径, 有助于缩短宇航元器件研发周期, 推动航空航天电子系统的发展.

**关键词:** 双互锁存储单元 (DICE) 触发器, 单粒子翻转, 单粒子效应仿真, 抗辐照加固设计

**DOI:** 10.7498/aps.75.20251574

**CSTR:** 32037.14.aps.75.20251574

## 1 引言

随着半导体行业的发展, 电子芯片在集成度逐渐增加的同时, 其功能也逐渐多样化, 应用也越来越广泛<sup>[1]</sup>. 而芯片的性能、功能以及面积严重依赖于标准单元库的设计, D 触发器作为标准单元之一, 在芯片设计中使用频次较高<sup>[2]</sup>. 而在部分芯片的应用过程中, 需要强制对触发器的数据状态置位成高电平, 因此十分有必要定制可置位的触发器单元.

然而, 在空间辐射环境中, 高能粒子入射可能引发电路节点的瞬态电流与电压波动, 导致单粒子

瞬态 (single event transient, SET)<sup>[3,4]</sup> 或单粒子翻转 (single event upset, SEU)<sup>[5,6]</sup>, 严重影响电路功能的可靠性. 为提升宇航电子器件的抗 SEU 性能, 可采用空间冗余技术进行电路级设计加固<sup>[7,8]</sup>. 最为常见的加固手段有三模冗余设计<sup>[9]</sup> 和双互锁存储单元 (dual interlocked storage cell, DICE)<sup>[10,11]</sup> 设计. 诸多研究表明, 三模冗余技术和 DICE 技术均具有较高的抗 SEU 性能, 而 DICE 技术在面积、功耗开销上颇具优势<sup>[12]</sup>. 张幸等<sup>[13]</sup> 通过 TCAD (technology computer aided design) 仿真研究了 55 nm DICE 触发器中在重离子辐照下的电荷共享效应, 并提出该工艺节点下存储状态相同的两只晶体管间距不能小于 1.2  $\mu\text{m}$ . 许耀华等<sup>[14]</sup> 指出在

† 通信作者. E-mail: mhzhang@mail.xjtu.edu.cn

重离子辐照作用下,可复位 DICE 结构触发器中的复位电路可能会出现单粒子瞬态电压,使得触发器状态被错误地复位到低电平,从而引发触发器数据发生翻转;此外,他们提出了相对应的加固设计,并验证了加固设计的有效性。

上述研究表明,针对 DICE 结构及其复位电路等已知薄弱环节的加固已取得显著成果。然而,一个与复位电路结构相似、功能对称的“置位电路”,其潜在的 SET 敏感性及其可能引发的 SEU 风险,在当前研究中尚未得到同等重视与系统分析。若置位电路因 SET 脉冲发生非预期的导通,将强制改变触发器状态,使得数据出现异常。

因此,现有研究多集中于 DICE 锁存器本身或复位电路,对置位电路的 SET 敏感性及其引发的 SEU 风险研究尚不充分。本文针对可置位的 DICE 触发器,通过单粒子仿真方法获取了其版图敏感区域以及电路敏感节点,并对其进行电路和版图的空间冗余加固,最后对比分析了加固前后触发器的 SEU 特性。

## 2 仿真分析方法

辐射效应实验方法通常分三种<sup>[15,16]</sup>:空间搭载实验;地面模拟实验;计算机仿真模拟实验。相比于空间搭载实验以及地面模拟实验,计算机仿真模拟实验成本低、效率高,可捕捉触发器单元受辐照后的电荷收集过程,以及单元电路节点电压、电流等电学参数的变化,从而快速地定位触发器版图的单粒子敏感区域,并获取版图敏感区域对应的电路节点。

现有的单元级单粒子效应 (single event effect, SEE) 仿真方法有 TCAD<sup>[17]</sup> 仿真、SPICE (simulation program with integrated circuit emphasis)<sup>[18]</sup> 仿真、TCAD 与 SPICE 仿真的混合仿真以及 TREES<sup>[19,20]</sup> 仿真。由于触发器中金属氧化物半导体 (metal oxide semiconductor, MOS) 管数量较多,为兼顾 SEE 仿真的效率和可靠性,本文同时采用了 SPICE 仿真以及 TREES 仿真。

SPICE 仿真采用器件的紧凑模型对电路节点上的电压、电流参数进行求解,可以得到任意电路节点上的电压、电流变化。在 SEE 研究中,通常在电路的敏感节点上注入双指数脉冲电流源来模拟高能粒子的入射,可对瞬态脉冲电流在电路中的产

生与传输规律进行分析。该仿真技术的准确性极大依赖于双指数脉冲电流源的精度,因此通常需要通过 TCAD 等器件级仿真来获取准确的脉冲电流。

TREES 软件为西北核技术研究所提供的单元级空间辐射效应仿真软件,该仿真软件具有单元级 SEE 仿真、单元级总剂量效应仿真、高性能并行化电路仿真等功能。针对 SEE,该软件可获取单元级翻转截面、瞬态截面及瞬态脉冲宽度等信息,支持结合单元电路版图反标输出热点图等统计结果。该软件可以在设计阶段帮助分析单元电路的抗辐照性能,提高抗辐照设计的合理性和高效性。

## 3 可置位 DICE 触发器的 SEU 效应敏感性及其机理分析

### 3.1 可置位 DICE 触发器电路及版图

基于 SMIC 40 nm 商用可置位的 D 触发器,本文中可置位 DICE 触发器在此基础上进行了 DICE 结构加固与单粒子门锁加固,其电路示意图如图 1(a) 所示,版图示意图如图 1(b) 所示。

图 1(a) 中的置位信号 S 是由输入端 SD 经过两个串联的反相器而生成;当 SD 为高电平时, S 也为高电平;当 SD 为低电平时, S 也为低电平,触发器输出 Q 的电压状态被强制置为高电平。D 触发器的主从锁存单元均进行了 DICE 结构加固,从级 DICE 结构单元的详细电路图也展示于图 1(a) 中,电路节点 D5, D6, D7 和 D8 组成两对互补的数据状态,使得存储数据被冗余保存。当其中一个节点电压状态因 SET 脉冲而发生改变时,另外三个节点可以及时恢复异常节点的电压状态,从而保证锁存单元的数据不发生改变。如图 1(b) 所示,版图上下两侧分别添加了独立的阱接触和衬底接触,版图各有源区之间的距离也均满足抗单粒子门锁的版图设计规则。

### 3.2 TREES 仿真结果与分析

在本文 TREES 仿真设置中,对图 1(a) 所示的版图进行离散化,确定每次仿真过程中重离子的入射位置,离散点的横向与纵向间距均设置为 0.1  $\mu\text{m}$ 。在每一次重离子入射事件中,一个重离子入射一个离散点,该次事件结束后进行下一个离散点的入射仿真,直至完成全版图的离散点入射仿真。重离子入射方向设置为垂直入射,线性能

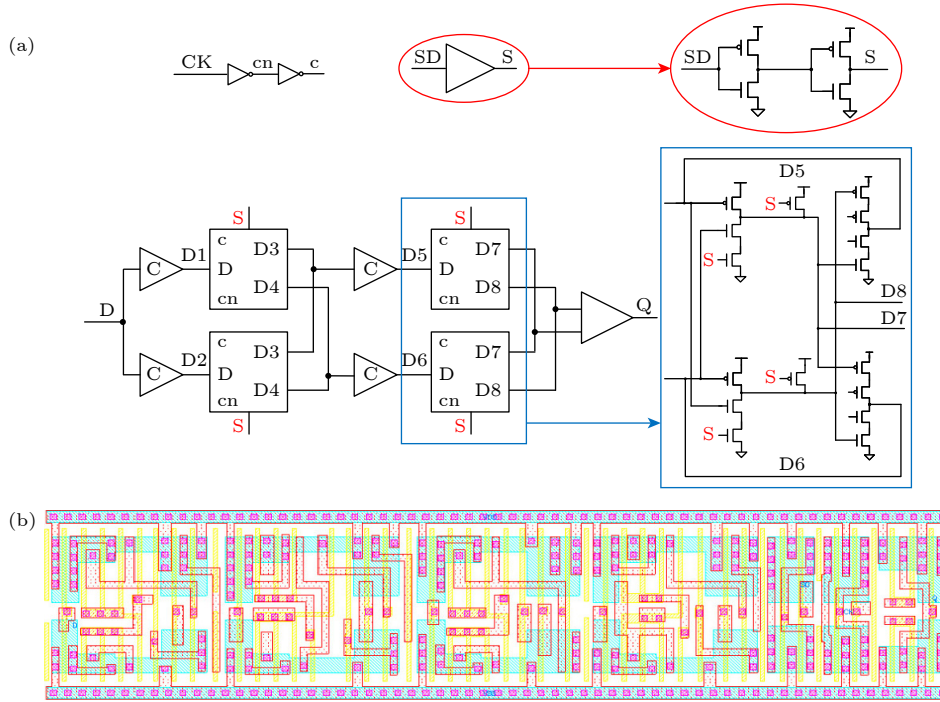


图 1 可置位 DICE 触发器电路及版图示意图 (a) 触发器电路, 其中置位电路已用红色椭圆标出, DICE 结构电路已用蓝色方框标出; (b) 触发器版图

Fig. 1. Schematic of the settable DICE flip-flop circuit and layout: (a) Circuit of the flip-flop, where the set circuit is highlighted by a red ellipse and the DICE core is marked by a blue rectangle; (b) layout of the flip-flop.

量传输 (linear energy transfer, LET) 值设置为  $37 \text{ MeV}\cdot\text{cm}^2/\text{mg}$ . 如图 2 所示, 该 LET 值位于银河宇宙射线 LET 谱通量急剧下降的“瀑布”区阈值附近, 是表征器件抗单粒子能力的一个关键工程节点; 同时, 该值在相关地面模拟实验与抗辐照电路研究 [13] 中也常被用作典型测试条件.

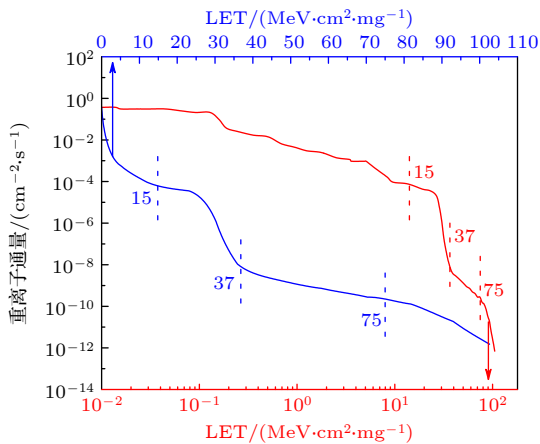


图 2 银河宇宙射线 LET 谱  
Fig. 2. Galactic cosmic rays LET spectra.

选用此 LET 值进行评估, 既能保证仿真的工程代表性, 也便于与同类研究进行对比. 在此仿真条件下, TREES 仿真还需要设置触发器输入激励,

时钟端 CK 设置为方波, 周期为 10 ns; 数据输入端 D 和置位端 SD 的电平为高电平或低电平, 具体设置如表 1 所列.

表 1 数据输入端和置位端的电压设置  
Table 1. Voltage settings for data input and set terminals.

电平状态	数据输入端D	置位端SD
仿真激励1	低电平	低电平
仿真激励2	低电平	高电平
仿真激励3	高电平	低电平
仿真激励4	高电平	高电平

在仿真激励 1、仿真激励 3 和仿真激励 4 的仿真结果中, 均未发现 SEU 事件. 而在仿真激励 2 的仿真结果中, 共有 18 个离散点的入射仿真出现 SEU 事件, 18 个离散点在触发器的局部版图及电路图如图 3 所示. 图 3(a) 展示了 18 个离散点在触发器局部版图的区域位置信息; 图 3(b) 展示了 18 个离散点版图区域对应的局部电路节点, 该局部电路对应于图 1(a) 中红色椭圆标注的置位电路; 在图 3 中, 图 3(a) 中的红色离散点区域对应图 3(b) 中晶体管 P1 的漏极; 图 3(a) 中的蓝色离散点区域对应图 3(b) 中晶体管 N2 的漏极.

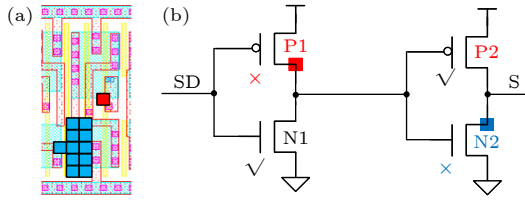


图3 18个离散点在触发器版图及电路内的分布示意图 (a) 离散点在版图内的分布; (b) 离散点在图1(a)中红色椭圆标注下置位电路内的分布

Fig. 3. Distribution of 18 discrete points in the flip-flop layout and circuit: (a) Distribution of discrete points in the layout; (b) distribution of discrete points in the circuit (The set circuit is highlighted by a red ellipse in Fig. 1(a)).

仿真结果表明, 当D为低电平, SD为高电平时, 触发器的SEU敏感区域主要分布于晶体管P1和N2的漏极. 当SD为高电平时, 晶体管P1和N2均处于截止状态, 置位控制电路的SET敏感区域也主要分布于晶体管P1和N2的漏极.

当重离子入射晶体管N2漏极区域其中一个离散点时, 置位端SD电压、置位信号S电压及输出Q电压随时间的变化如图4所示. 当重离子入射后, 晶体管N2漏极收集过剩电子, 使得置位信号S产生159 ps的“101” SET电压脉冲. 而当置位信号S处于低电平状态时, 触发器发生置位, 导致输出端Q由低电平变为高电平.

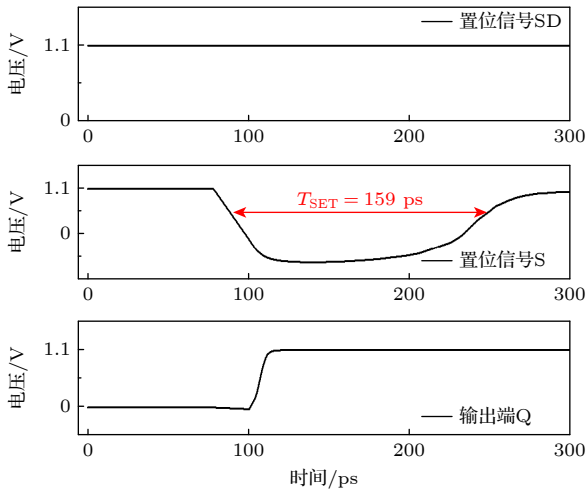


图4 置位端SD电压、置位信号S电压及输出端Q电压随时间的变化

Fig. 4. Voltage variations of set terminal SD, set signal S, and output Q versus time.

### 3.3 SPICE 仿真结果与分析

为了进一步验证置位电路发生SET脉冲导致的触发器SEU现象, 对图3(b)中置位电路的4支

MOS管进行TCAD建模, 并开展SET效应仿真. 为突出本文重点, 在此对TCAD建模和SET仿真过程简要说明.

为保证仿真精度, 本研究采用的TCAD器件模型均经过严格校准. 模型的关键工艺参数(如栅氧化层厚度、结深、掺杂浓度等)均与代工厂提供的SPICE模型保持一致, 且其模拟得到的电学特性与SPICE仿真结果高度符合[13].

在SET仿真中, SD为高电平, 重离子垂直入射至晶体管P1或N2的漏极, 重离子的LET值为 $37 \text{ MeV}\cdot\text{cm}^2\cdot\text{mg}^{-1}$ . SET仿真结束后, 获取晶体管P1或N2的漏极SET电流波形. 为了将SET电流源耦合到电路模型中, 对SET瞬态电流曲线利用origin软件进行拟合, 经过多种数学方程的拟合, 最终拟合方程曲线与SET瞬态电流曲线相一致.

对图1(a)所示的电路开展SPICE仿真, 触发器输入端口的激励设置与TREES仿真激励2保持一致, 时钟端CK设置为方波, 周期为10 ns; 数据输入端D为低电平, 置位端SD为高电平. 除此之外, 在触发器相应的电路节点中施加SET电流激励, SET电流以上述拟合方程的方式进行施加, 施加的电压节点与受重离子入射的电压节点相一致, 即在置位控制电路的晶体管P1或N2漏极处施加对应的SET电流激励. 于27 ns时, 在晶体管N2漏极处施加SET电流激励的SPICE仿真结果如图5所示.

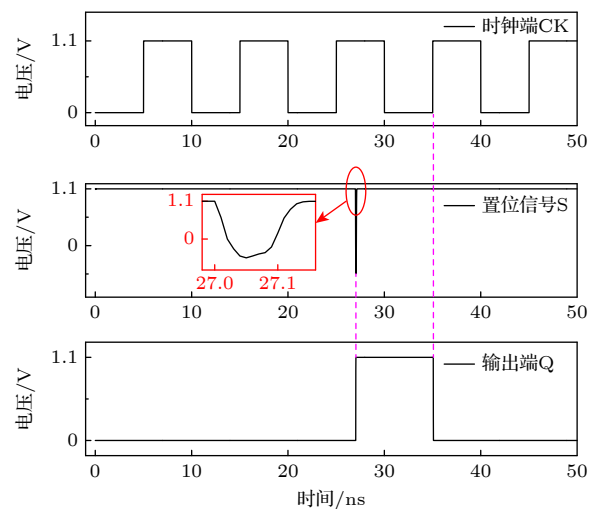


图5 时钟端CK、置位信号S以及输出端Q电压随时间的变化

Fig. 5. Voltage variations of clock CK, set signal S, and output Q versus time.

从图 5 可以看出, 当 SET 电流施加后, 置位信号 S 产生 141 ps 的“101”SET 电压脉冲, 触发器发生置位, 输出 Q 由低电平变为高电平. 在下一个时钟 CK 上升沿后, 触发器的输出 Q 由高电平恢复为低电平.

可置位 DICE 结构触发器的 TREES 仿真及 SPICE 仿真结果表明, 当重离子入射至触发器的置位电路中时, 可能会使得原本截止的置位信号瞬时导通, 导致触发器状态被“错误”地置为高电平, 最终引发触发器的 SEU 效应.

## 4 可置位 DICE 触发器的冗余加固设计及机理分析

### 4.1 电路及版图冗余加固原理

可置位 DICE 结构触发器的抗 SEU 性能不足, 不利于应用于航空航天电子系统中. 因此, 本文在该类触发器单元基础上增加了置位冗余加固设计, 提出了一种抗 SEU 的置位冗余加固 DICE 触发器设计, 加固后的电路示意图如图 6(a) 所示, 加固后的版图示意图如图 6(b) 所示.

相比于图 1(a) 的触发器电路, 图 6(a) 的触发

器电路对置位电路进行了双模冗余加固设计, 输入端 SD 经过置位电路分路 1 生成置位信号 S1, 输入端 SD 经过置位电路分路 2 生成置位信号 S2. 当其中一条分路因重离子入射而产生 SET 脉冲时, 两路置位信号中异常的信号传入 DICE 结构锁存器中, 会使得锁存器中某一个节点的电压状态发生改变. 然而, 由于 DICE 结构锁存器具有单节点的自纠错性能, 锁存器不会因上述 SET 效应而发生数据翻转.

相比于图 1(b) 的触发器版图, 图 6(b) 的触发器版图对置位电路对应的版图进行了空间冗余加固设计, 并将置位电路分路 1 和置位电路分路 2 进行物理距离的隔离, 极大削弱分路 1 和分路 2 之间可能发生的电荷共享效应, 从而尽可能地避免两条分路同时产生 SET 脉冲的现象.

综上所述, 基于电路及版图冗余加固的理论分析, 并结合上文中的仿真结果, 可以推断出: 相较于可置位 DICE 触发器, 置位冗余加固 DICE 触发器具有更优异的抗辐照性能.

### 4.2 冗余加固后的 SPICE 仿真结果与分析

对图 6(a) 所示的电路开展 SPICE 仿真, 触发器输入端口的激励设置与上文 SPICE 仿真激励

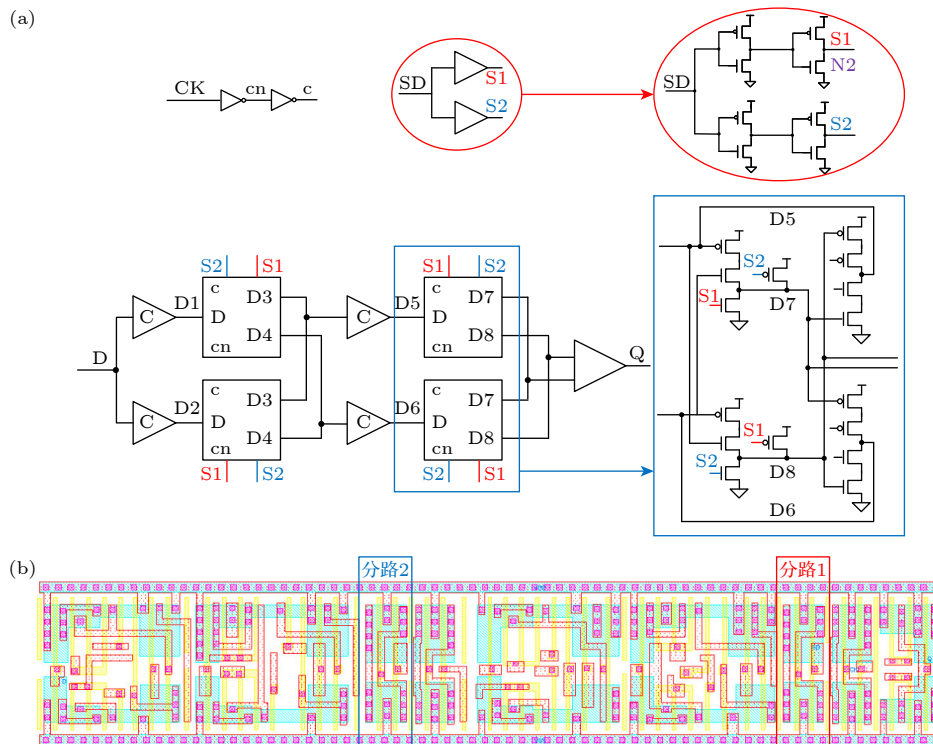


图 6 置位冗余加固 DICE 触发器的电路及版图 (a) 触发器电路; (b) 触发器版图

Fig. 6. Circuit and layout of the set-redundancy hardened DICE flip-flop: (a) Circuit of the flip-flop; (b) layout of the flip-flop.

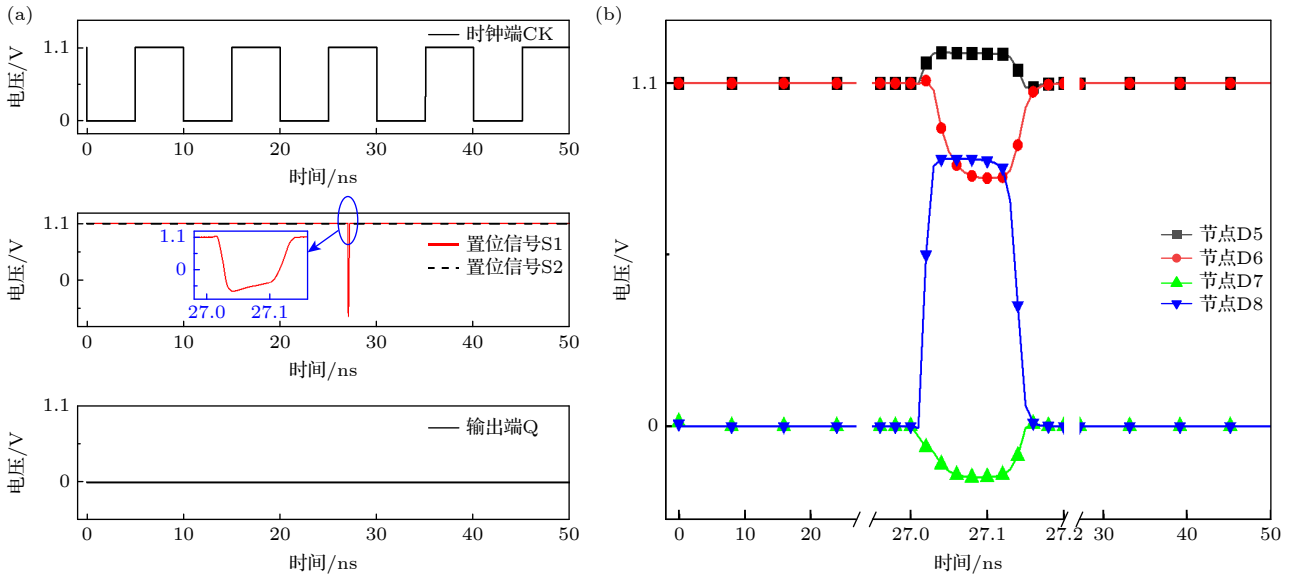


图 7 各端口及节点电压随时间的变化 (a) 各端口电压变化; (b) 各节点电压变化

Fig. 7. Voltage variations of ports and nodes versus time: (a) Voltage variations of ports; (b) voltage variations of nodes.

设置保持一致, 时钟端 CK 设置为方波, 周期为 10 ns; 数据输入端 D 为低电平, 置位端 SD 为高电平. 除此之外, 在置位电路分路 1 的晶体管 N2 漏极处施加对应的 SET 电流激励, SPICE 仿真结果如图 7 所示.

从图 7 可以看出, 当 SET 电流施加后, 置位信号 S1 产生“101”SET 电压脉冲. 当置位信号 S1 电压状态处于低电平时, 节点 D8 的电压状态由低电平变化为高电平, 而节点 D5, D6 和 D7 的电压状态均未发生变化. 随着置位信号 S1 电压状态恢复为高电平, 通过 DICE 结构锁存器的自纠错性能, 节点 D8 的电压状态由高电平恢复为低电平. 在此过程中, 输出 Q 的电压状态一直处于低电平. 于本文中, 高于 1/2 电源电压的电压状态视为高电平, 低于 1/2 电源电压的电压状态视为低电平, 若节点的电压状态一直处于高电平或低电平, 则视为该节点的电压状态未发生变化.

### 4.3 冗余加固后的 TREES 仿真结果与分析

对图 6(b) 所示的版图开展 TREES 仿真, TREES 仿真的版图离散化设置、触发器输入激励设置、重离子入射方向和 LET 值与上文保持一致. 其中, 触发器的 4 种输入激励设置如表 1 所列, 所有仿真结果均未发现 SEU 事件. 由此可见, 相较于可置位 DICE 触发器, 置位冗余加固 DICE 触发器

具有更优异的抗 SEU 性能.

对置位电路分路 1 中晶体管 N2 漏极版图区域的 TREES 仿真结果进一步分析, 获取重离子辐照后电路各节点电压状态随时间的变化. 其中重离子入射版图的离散点区域见图 8(a), 对应的电路节点见图 8(b), 重离子辐照后电路各节点电压状态随时间的变化见图 9.

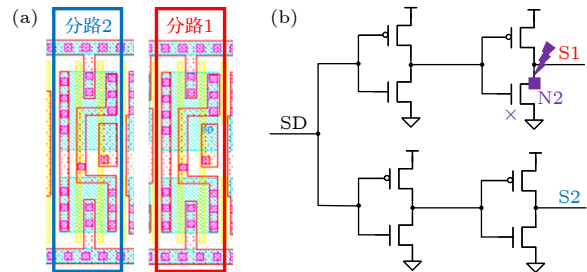


图 8 重离子入射的版图区域及电路节点示意图 (a) 重离子入射的版图区域; (b) 重离子入射电路节点  
Fig. 8. Schematic of heavy ion incident layout region and circuit nodes: (a) Layout region of heavy ion incident; (b) circuit nodes of heavy ion incident.

从图 9 中可以看出, 重离子入射置位电路分路 1 中的晶体管 P1 漏极后, 置位信号 S1 产生 SET 脉冲. 而置位信号 S2 的电压状态并未发生变化, 说明置位信号 S1 和 S2 在版图中的物理间距满足削弱电荷共享效应的要求. 与 SPICE 仿真结果相类似的是, 当置位信号 S1 电压状态处于低电平时, 节点 D8 的电压状态由低电平变化为高电平, 而节点 D5, D6 和 D7 的电压状态均未发生变化. 随着

置位信号 S1 电压状态恢复为高电平, 通过 DICE 结构锁存器的自纠错性能, 节点 D8 的电压状态由高电平恢复为低电平. 在此过程中, 输出端 Q 的电压状态一直处于低电平.

#### 4.4 冗余加固前后性能对比分析

为客观、定量地评估所提置位冗余设计加固的有效性, 本节对置位加固前后 DICE 触发器的抗单粒子翻转性能进行对比, 关键量化指标汇总于表 2. 表中的仿真条件具体为: 重离子垂直入射且 LET 为  $37 \text{ MeV}\cdot\text{cm}^2\cdot\text{mg}^{-1}$ , 触发器输入激励为表 1 中的仿真激励 2. 表 2 中 SEU 截面  $\sigma$  的计算公式<sup>[15]</sup> 为

$$\sigma = \frac{N_{\text{SEU}}}{N} \cdot A, \quad (1)$$

式中,  $\sigma$  为触发器的 SEU 截面, 单位为  $\text{cm}^2$ ;  $N$  为重离子入射事件总数, 在本文中, 指的是版图的总离散点数量, 单位为个;  $N_{\text{SEU}}$  为发生 SEU 的事件总数, 在本文中, 指的是发生 SEU 的总离散点数量,

单位为个;  $A$  为触发器的单元面积, 单位为  $\mu\text{m}^2$ . 表中“SEU 截面为 0”为本文中特定仿真条件下所得结果, 表明在该条件下触发器不会出现 SEU 事件. 但若评估重离子随机时间和随机位置入射、仿真时的 PVT (process, voltage 和 temperature) 条件等关键因素对触发器 SEU 效应的影响, 可进一步采用蒙特卡罗仿真进行针对性的深入研究.

如表 2 所列, 在导致可置位 DICE 触发器发生 SEU 的关键激励下, 置位冗余加固设计带来了显著的性能提升.

1) 抗 SEU 性能质变: 在相同的辐照和电学条件下, 可置位 DICE 触发器有 18 个离散点发生了 SEU, 而置位加固 DICE 触发器完全免疫 LET 为  $37 \text{ MeV}\cdot\text{cm}^2\cdot\text{mg}^{-1}$  的重离子入射, 实现了对置位电路单粒子敏感性的根本性抑制.

2) 设计代价可控: 以 14.3% 的版图面积与 14.5% 的功耗开销为代价, 这主要源于置位电路的双模冗余设计以及其必要的物理间距隔离, 但并未

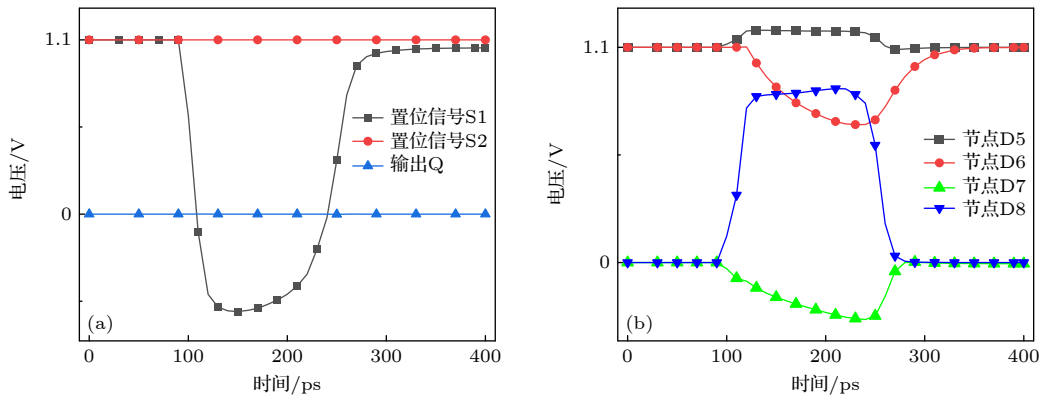


图 9 重离子辐照后电路各信号端口和节点电压状态随时间的变化 (a) 信号端口电压变化; (b) 节点电压变化

Fig. 9. Voltage variations of signal ports and nodes after heavy ion irradiation versus time: (a) Voltage variations of signal ports; (b) voltage variations of nodes.

表 2 加固前后 DICE 触发器 SEU 性能仿真结果对比

Table 2. Comparison of SEU performance simulation results for the DICE flip-flop before and after RHBD.

性能指标	可置位DICE触发器(图1)	置位加固DICE触发器(图6)	加固效果/说明
版图尺寸(长×宽)	8.82 $\mu\text{m}$ × 1.82 $\mu\text{m}$	10.08 $\mu\text{m}$ × 1.82 $\mu\text{m}$	面积增大14.3%
事件总数 $N$	1691	1919	入射事件总数增多
SEU事件数 $N_{\text{SEU}}$	18	0	SEU事件数降至0
SEU截面 $\sigma / (10^{-9} \text{ cm}^2)$	$1.7 \times 10^{-9}$	0	SEU截面降低100%
SEU敏感节点	2个(图3中P1, N2的漏极)	无	针对敏感节点进行了有效的加固
SD端到Q端延时	1	0.965	延时略微减小
其他关键路径延时	1	1	几乎未发生改变
功耗	1	1.145	功耗增大14.5%

注: 对比了加固前后触发器在不同PVT条件下的延时与功耗数据, 并对数据进行了归一化处理.

对 DICE 单元及整体布局布线造成较大的影响, 电路延时几乎没发生改变, 体现了该加固技术的高效性.

3) 机理验证: 该定量结果与前文的机理分析完全吻合, 加固冗余设计确保了两路置位信号不会同时发生 SET 效应, 而 DICE 锁存器的自恢复机制可屏蔽单路置位信号 SET 效应对其的影响, 从而在电路与版图层面协同消除了 SEU 风险.

本节的对比分析结果可充分说明可置位 DICE 触发器在抗辐照加固设计 (radiation hardened by design, RHBD) 中存在的不足, 而本文所提出的置位冗余加固 DICE 触发器设计能有效弥补原结构的不足, 在特定条件 ( $LET = 37 \text{ MeV}\cdot\text{cm}^2\cdot\text{mg}^{-1}$ ) 下实现了 SEU 免疫.

## 5 总 结

基于可置位 DICE 触发器抗 SEU 性能不足的现象, 本文在  $LET$  为  $37 \text{ MeV}\cdot\text{cm}^2\cdot\text{mg}^{-1}$  的典型辐照条件下, 通过两种单粒子仿真方法获取了其版图敏感区域以及电路敏感节点. 此外, 本文提出了一种抗 SEU 的置位冗余加固 DICE 触发器设计, 在原触发器的基础上进行了电路和版图的空间冗余加固, 并对比分析了加固前后触发器的 SEU 特性. 研究表明, 当重离子入射至可置位 DICE 触发器的置位电路中时, 可能会使得原本截止状态下的置位信号瞬间导通, 从而导致触发器状态被“错误”地置为高电平, 引发触发器的 SEU 效应; 在置位冗余加固 DICE 触发器中, 若置位电路分路中的 SET 脉冲传入至 DICE 结构锁存器中, 仅会使得锁存器中某一个节点电压状态发生临时性的改变, 并不会引发触发器的 SEU 效应; 相比于可置位 DICE 触发器, 本文所提出的置位冗余加固 DICE 触发器仅牺牲了较小的版图面积, 却使其抗 SEU 性能具有较大的提升. 本研究主要通过仿真手段, 系统揭示并验证了一种此前未被充分重视的 SEU 敏感通路及其失效机理. 在此基础上, 针对该具体问题, 提出并验证了一种高效、低开销的电路与版图协同加固方案. 研究表明, 对于采用冗余结构的存储单元, 其控制通路的可靠性可能成为系统短板, 需要予以专门分析与设计. 本文所采用的思路与方法, 为识别和加固此类隐藏的薄弱环节提供了一个可参考的范例. 后续工作将包括更广泛的辐照条件仿真、相关测试芯片设计与流片以及重离子

辐照实验, 以进一步支撑该加固技术的工程应用.

## 参考文献

- [1] Liu Y, Guo H X, Ju A A, Zhang F Q, Pan X Y, Zhang H, Gu Z Q, Liu Y T, Feng Y H 2022 *Acta Phys. Sin.* **71** 118501 (in Chinese) [刘晔, 郭红霞, 琚安安, 张凤祁, 潘霄宇, 张鸿, 顾朝桥, 柳奕天, 冯亚辉 2022 *物理学报* **71** 118501]
- [2] Ebara M, Yamada K, Kojima K, Tsukita Y, Furuta J, Kobayashi K 2020 *IEEE Trans. Nucl. Sci.* **67** 1470
- [3] Ju A A, Guo H X, Zhang F Q, Liu Y, Zhong X L, Ouyang X P, Ding L L, Lu C, Zhang H, Feng Y H 2023 *Acta Phys. Sin.* **72** 026102 (in Chinese) [琚安安, 郭红霞, 张凤祁, 刘晔, 钟向丽, 欧阳晓平, 丁李利, 卢超, 张鸿, 冯亚辉 2023 *物理学报* **72** 026102]
- [4] Loveless T D, Reising D R, Cancellieri J C, Massengill L W, McMorrow D 2021 *IEEE Trans. Nucl. Sci.* **68** 1600
- [5] Li H S, Wu L S, Yang B, Jiang Y H 2017 *J. Semicond.* **38** 085009
- [6] Jiang X S, Luo Y H, Zhao W, Zhang F Q, Wang T 2023 *Acta Phys. Sin.* **72** 036101 (in Chinese) [江新帅, 罗尹虹, 赵雯, 张凤祁, 王坦 2023 *物理学报* **72** 036101]
- [7] Li Y Q, Wang H B, Liu R, Chen L, Nofal I, Chen Q Y, He A L, Guo G, Baeg S H, Wen S J, Wong R, Wu Q, Chen M 2016 *IEEE Trans. Nucl. Sci.* **63** 2934
- [8] Matush B I, Mozdzen T J, Clark L T, Knudsen J. E 2010 *IEEE Trans. Nucl. Sci.* **57** 3588
- [9] Zhang J, Li Y, Han T, Li J 2019 *IEEE 5th International Conference on Computer and Communications* Chengdu, China, December 06-09, 2019 p981
- [10] Moradi F, Panagopoulos G, Karakonstantis G, Farkhani H, Wisland D T, Madsen J K, Mahmoodi H, Roy K 2014 *Microelectron. J.* **45** 23
- [11] Xu H, Zeng Y, Liang B 2015 *IEICE Electron. Express* **12** 20150629
- [12] Maru A, Shindou H, Ebihara T, Makihara A, Hirao T, Kuboyama S 2010 *IEEE Trans. Nucl. Sci.* **57** 3602
- [13] Zhang X, Liu Y L, Li G, Yan S A, Xiao Y G, Tang M H 2024 *Acta Phys. Sin.* **73** 066103 (in Chinese) [张幸, 刘玉林, 李刚, 燕少安, 肖永光, 唐明华 2024 *物理学报* **73** 066103]
- [14] Xu Y H, Liu Z T, Wang Y, Bai N, Liu Y 2025 *IEEE Trans. Device Mater. Reliab.* **25** 501
- [15] Liu Y 2022 *M. S. Thesis* (Xiangtan: Xiangtan University) (in Chinese) [刘晔 2022 硕士学位论文 (湘潭: 湘潭大学)]
- [16] Luo Y H, Zhang F Q, Guo H X, Hajdas W 2020 *Acta Phys. Sin.* **69** 018501 (in Chinese) [罗尹虹, 张凤祁, 郭红霞, Wojtek Hajdas 2020 *物理学报* **69** 018501]
- [17] LI P, HAN C X, He Z J, DONG Z Y, He H, He C H, WEI J N 2025 *Acta Phys. Sin.* **74** 148501 (in Chinese) [李培, 韩承相, 何子杰, 董志勇, 何欢, 贺朝会, 魏佳男 2025 *物理学报* **74** 148501]
- [18] Wang T, Ding L L, Guo H X, Luo Y H, Zhao W, Pan X Y 2019 *Modern Applied Physics* **10** 040601 (in Chinese) [王坦, 丁李利, 郭红霞, 罗尹虹, 赵雯, 潘霄宇 2019 *现代应用物理* **10** 040601]
- [19] Ding L L, Chen W, Wang T, Chen R M, Luo Y H, Zhang F Q, Pan X Y, Sun H B, Chen L 2019 *IEEE Trans. Nucl. Sci.* **66** 866
- [20] Wang T, Ding L L, Luo Y H, Zhao W, Zhang F Q, Xu J Y 2024 *Atomic Energy Science and Technology* **58** 1119 (in Chinese) [王坦, 丁李利, 罗尹虹, 赵雯, 张凤祁, 徐静妍 2024 *原子能科学技术* **58** 1119]

# Redundancy hardening design for single event upset tolerance in a dual interlocked storage cell flip-flop

LIU Ye<sup>1)</sup> GUO Hongxia<sup>2)</sup> ZHANG Hong<sup>1)†</sup> LIU Xiangyuan<sup>3)</sup>

DING Lili<sup>2)</sup> LIU Zeteng<sup>4)</sup> LAI Shankun<sup>3)</sup> LI Yunfei<sup>4)</sup>

1) (School of Electrical Engineering, Xi'an Jiaotong University, Xi'an 710049, China)

2) (Northwest Institute of Nuclear Technology, Xi'an 710024, China)

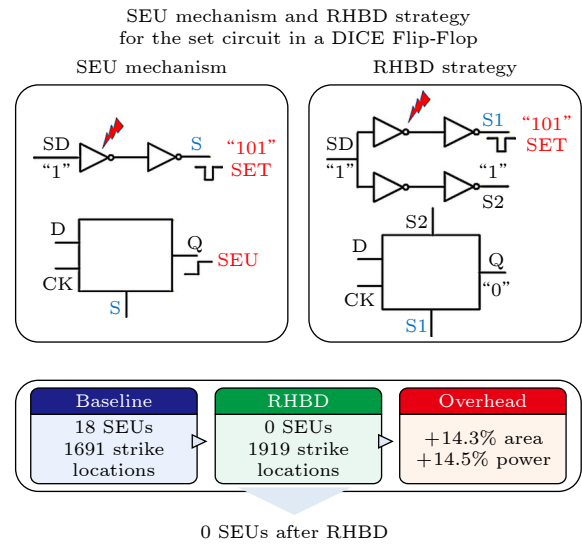
3) (Hunan Runtronic Microelectronics Co., Ltd., Changsha 410014, China)

4) (School of Electronics and Information Engineering, Anhui University, Hefei 230601, China)

( Received 19 November 2025; revised manuscript received 7 January 2026 )

## Abstract

Ensuring on-orbit reliability of aerospace electronic systems requires effective radiation-hardened-by-design (RHBD) at the standard-cell level. This study addresses a less-studied single-event-upset (SEU) mechanism in a settable dual-interlocked storage-cell (DICE) flip-flop designed in SMIC 40 nm technology, which originates from its set-control path. A combined simulation approach integrates full-layout heavy-ion strike scanning using TREES with a 0.1  $\mu\text{m}$  spatial grid and SPICE transient analysis driven by TCAD-calibrated single-event-transient (SET) current injection, thereby correlating layout-sensitive regions with circuit-critical nodes. Results indicate that heavy-ion strikes with a linear energy transfer (LET) of 37  $\text{MeV}\cdot\text{cm}^2\cdot\text{mg}^{-1}$  on the drain regions of set-circuit transistors P1 and N2 generate characteristic “101”-type SET pulses. Under the critical input condition where the data input D is at logic low and the set input SD is at logic high, these pulses transiently activate the normally-off set path, forcing the output Q from low to high and triggering SEU. To mitigate this vulnerability, we propose a set-redundancy RHBD scheme that utilizes two physically separated set-signal paths. The layout spacing minimizes the probability of concurrent transients, while the inherent self-recovery of the DICE core corrects single-node voltage deviations. Post-RHBD simulations show no SEU events under the tested conditions: the SEU cross-section drops from  $1.7\times 10^{-9}$   $\text{cm}^2$  in the baseline design, corresponding to 18 events out of 1691 strike locations, to zero in the RHBD version with 0 events out of 1919 strike locations. The introduced overhead remains moderate, with a 14.3% area increase and a 14.5% power increase, while critical timing parameters are largely unaffected. This work provides a concrete RHBD strategy and a correlated simulation framework for identifying and hardening latent weak points in radiation-hardened standard cells for aerospace integrated circuits.



**Keywords:** dual-interlocked storage-cell (DICE) flip-flop, single event upset, single event effect simulation, radiation-hardened-by-design (RHBD)

DOI: 10.7498/aps.75.20251574

CSTR: 32037.14.aps.75.20251574

† Corresponding author. E-mail: mhzhang@mail.xjtu.edu.cn

双互锁存储单元触发器的置位冗余加固设计及单粒子翻转效应

刘晔 郭红霞 张虹 刘祥远 丁李利 刘泽腾 赖善坤 李贻菲

**Redundancy hardening design for single event upset tolerance in a dual interlocked storage cell flip-flop**

LIU Ye GUO Hongxia ZHANG Hong LIU Xiangyuan DING Lili LIU Zeteng LAI Shankun LI Yunfei

引用信息 Citation: *Acta Physica Sinica*, 75, 080810 (2026) DOI: 10.7498/aps.75.20251574

CSTR: 32037.14.aps.75.20251574

在线阅读 View online: <https://doi.org/10.7498/aps.75.20251574>

当期内容 View table of contents: <http://wulixb.iphy.ac.cn>

## 您可能感兴趣的其他文章

### Articles you may be interested in

基于55 nm DICE结构的单粒子翻转效应模拟研究

Three-dimensional numerical simulation of single event upset effect based on 55 nm DICE latch unit

物理学报. 2024, 73(6): 066103 <https://doi.org/10.7498/aps.73.20231564>

大气中子在电荷俘获型3D NAND闪存中引起的单粒子翻转特性及机理研究

Characteristics and mechanisms of single event upset induced by atmospheric neutrons in charge trap 3D NAND flash memory

物理学报. 2026, 75(3): 066103 <https://doi.org/10.7498/aps.75.20251123>

质子辐照作用下浮栅单元的数据翻转及错误退火

Data inversion and erroneous annealing of floating gate cell under proton radiation

物理学报. 2022, 71(11): 118501 <https://doi.org/10.7498/aps.71.20212405>

基于青藏高原的14 nm FinFET和28 nm平面CMOS工艺SRAM单粒子效应实时测量试验

Experimental study on real-time measurement of single-event effects of 14 nm FinFET and 28 nm planar CMOS SRAMs based on Qinghai-Tibet Plateau

物理学报. 2023, 72(14): 146101 <https://doi.org/10.7498/aps.72.20230161>

全耗尽绝缘体上硅氧化铪基铁电场效应晶体管存储单元单粒子效应计算机模拟研究

Numerical simulation of single-event effects in fully-depleted silicon-on-insulator HfO<sub>2</sub>-based ferroelectric field-effect transistor memory cell

物理学报. 2022, 71(6): 068501 <https://doi.org/10.7498/aps.71.20211655>

阱接触对28 nm SRAM单粒子多位翻转的影响

Influences of well contact on multiple-cell upsets in 28 nm SRAM

物理学报. 2023, 72(3): 036101 <https://doi.org/10.7498/aps.72.20221742>