

专题: 半导体物理与器件

非晶铟镓锌氧化物薄膜晶体管的尺寸微缩技术研究进展*

韩岳男 杨冠华 卢年端[†] 李泠[‡]

(中国科学院微电子研究所, 集成电路制造技术全国重点实验室, 北京 100029)

(2025 年 12 月 19 日收到; 2026 年 1 月 20 日收到修改稿)

在后摩尔时代, 氧化物薄膜晶体管, 特别是以非晶铟镓锌氧化物为代表的宽禁带半导体晶体管, 因其低温制备工艺、与后道工艺的良好兼容性以及优异的电学性能而备受关注, 被广泛应用于显示、单片三维集成以及存储等领域. 本文聚焦于非晶铟镓锌氧化物薄膜晶体管的尺寸微缩技术, 概述了平面与垂直器件结构中沟道长度微缩、接触长度微缩等研究进展, 并对其在单片三维集成及高密度存储等领域的应用前景进行了总结和展望.

关键词: 非晶铟镓锌氧化物薄膜晶体管, 尺寸微缩, 单栅, 双栅, 接触电阻**DOI:** 10.7498/aps.75.20251737**CSTR:** 32037.14.aps.75.20251737

1 引言

自 20 世纪戈登·摩尔提出“摩尔定律”以来, 集成电路产业便以此为核心发展并持续演进. 作为半导体领域的核心规律, 摩尔定律认为: 芯片单位面积内集成的晶体管数量约每 18—24 个月实现翻倍^[1-4]. 这一规律的本质驱动力源于晶体管尺寸的持续微缩——通过不断缩减器件关键尺寸, 集成电路不仅实现了制造成本的优化, 更在性能提升与集成密度突破上取得了跨越式发展. 但是, 传统硅基晶体管的沟道长度 (channel length, L_{ch}) 在持续微缩至 10 nm 以下时, 漏源电压 (V_{DS}) 对沟道的影响显著增强, 导致栅控能力下降, 进而引发亚阈值摆幅 (subthreshold swing, SS) 升高、漏致势垒降低 (drain-induced barrier lowering, DIBL), 以及关态电流增大等一系列短沟道效应. 因此, 如何在后摩尔时代保证集成电路产业继续沿着“摩尔定

律”发展成为产业内新的挑战, 而单片三维集成技术的诞生为突破尺寸微缩瓶颈提供了新的思路. 该技术将兼容后道工艺 (back-end-of-line, BEOL) 的晶体管垂直堆叠于前道工艺制备的晶体管或器件阵列之上^[5], 在显著提升集成密度的同时, 也为电路功能的多样化设计开辟了新的可能. 在这一技术背景下, 薄膜晶体管 (thin film transistor, TFT) 凭借其高成本效益、大规模制造潜力以及与后道工艺良好兼容性^[6-12], 展现出重要价值. 然而, 当前多数商用 TFT 材料的载流子迁移率仍显著低于晶体硅的水平^[13-16]. 在众多 TFT 技术中, 氧化物 TFT 展现出独特的优势: 其不仅继承了传统非晶硅 TFT 的工艺优势, 更将载流子迁移率提升了 1 个数量级, 显著缩小了与晶体硅在性能上的差距, 同时还具备极低的关态电流这一特性.

近年来, 随着氧化物 TFT 在高密度存储、三维集成等领域的快速发展^[17-27], 对其尺寸、功耗、集成密度与性能的要求日趋严苛^[28]. 在动态随

* 国家重点研发计划 (批准号: 2023YFB3611600) 资助的课题.

[†] 通信作者. E-mail: lunian@ime.ac.cn

[‡] 通信作者. E-mail: lingli@ime.ac.cn

机存取存储器 (dynamic random access memory, DRAM) 领域, 传统 DRAM 单元通常由一个晶体管与一个独立电容构成. 由于该电容往往需要借助特殊工艺才能实现高密度堆叠, 因而难以与标准数字硅基互补金属氧化物半导体 (complementary metal-oxide-semiconductor, CMOS) 工艺完全兼容, 也不易在所有工艺类型及技术节点中与逻辑电路实现高效集成. 在此背景下, 基于氧化物 TFT 的无电容动态随机存储器结构成为研究热点. 该结构仅需两个晶体管即可实现存储功能. 其中, 以非晶铟镓锌氧化物 (amorphous indium-gallium-zinc oxide, a-IGZO) 为代表的氧化物半导体材料, 凭借其宽禁带导致的极低的关态漏电流, 使氧化物 TFT 能同时承担读取晶体管与存储电容的作用^[29,30]. 这种创新结构不仅摒弃了独立的电容, 从而获得了显著的面积优势, 还能够完全兼容主流数字 CMOS 技术^[31-37]. 然而, 若要充分发挥这种无电容 DRAM 结构的密度与性能潜力, 则对氧化物 TFT 器件本身提出了更高要求. 当前, 传统大尺寸 TFT 在应用对高集成度、高性能的应用场景时已力不从心, 难以满足上述需求. 因此, 推进氧化物 TFT 的尺寸微缩成为关键的技术突破方向. 这一举措不仅能通过缩小器件尺寸进一步提升集成密度, 还有助于优化开关速度等核心性能指标, 推动该技术向更高水平发展.

本综述将聚焦于氧化物 TFT 的尺寸微缩, 系统梳理近年来业界在 a-IGZO TFT 微缩领域取得的研究进展. 内容涵盖平面与垂直单栅晶体管、双栅晶体管, 以及晶体管接触长度 (contact length, L_C) 微缩技术等多个方面. 最后, 对该领域当前面临的主要挑战与未来发展趋势进行总结与展望.

2 单栅 a-IGZO TFT 的沟道长度微缩

2004 年, Hosono 等^[38,39]首次提出了 a-IGZO 材料, 并以其为沟道材料成功制备出了 a-IGZO TFT. 该 TFT 的霍尔迁移率可达约 $10 \text{ cm}^2/(\text{V}\cdot\text{s})$, 和传统非晶硅 (a-Si:H) 相比提升了 1 个数量级. 同为非晶半导体, a-Si:H 依靠共价键结合, 其载流子通过 sp^3 杂化轨道运输. 由于 sp^3 杂化轨道方向性强, 且键角变化会显著影响电子能级, 同时存在高密度的深能级带尾态, 导致其载流子迁移率较低.

与之相比, a-IGZO 材料的导带底具有高度离子性特征, 相邻金属的 ns 轨道可以直接重叠, 轨道形状表现为各向同性, 对键角变化不敏感 (如图 1(a)). 因此, 其霍尔迁移率与晶态氧化物半导体相近 (如图 1(b)), 显著优于共价键结合的非晶半导体.

自 a-IGZO 材料提出以来, 其所展现出的显著优势在学术界与产业界均引发了持续且广泛的关注, 并促使众多科研人员和产业人员对其展开深入研究. 目前, a-IGZO 已在平板显示等领域实现商业应用, 同时在单片三维集成及新型存储等领域展现出重要的应用研究潜力. 为进一步拓展其在先进集成电路与高密度集成系统中的应用, 推动 a-IGZO 晶体管向更小尺寸发展, 从而提升集成密度与系统性能, 已成为当前直接且至关重要的技术发展路径. 这一路径的实施, 对于突破现有技术瓶颈、满足未来电子设备对高集成度和高性能的需求具有重大意义.

随着尺寸微缩技术的持续演进, 科研领域的前沿探索已深入至纳米级尺度范畴. 以 2020 年超大规模集成电路技术与电路研讨会 (Symposium on VLSI Technology and Circuits, VLSI) 为例, Samanta 等^[41]在该会议上成功展示了一款沟道长度精进至 38 nm 的 a-IGZO TFT, 标志着该领域的一项重要进展. 该器件的 SEM 图像如图 1(d) 所示, 其源极和漏极电极通过电子束光刻进行图案化. 通过将沟道长度微缩至 38 nm, 该器件在载流子浓度约为 $5 \times 10^{12} \text{ cm}^{-2}$ 时, 实现了 $34 \text{ cm}^2/(\text{V}\cdot\text{s})$ 的最高有效迁移率, SS 低至 74.4 mV/decade , 且沟道厚度从 6 nm 微缩至 3.6 nm 时, 器件的迁移率无明显衰减. 同时, 该器件在 V_{DS} 为 1 V 时实现了 $125 \mu\text{S}/\mu\text{m}$ 的最高跨导 (如图 1(e)), 在 $V_{GS} - V_T = 3.0 \text{ V}$, $V_{DS} = 2.5 \text{ V}$ 时实现了 $350 \mu\text{A}/\mu\text{m}$ 的高导通电流. 在 V_{DS} 分别为 0.1 和 1 V 时, 其 SS 分别为 87 mV/decade 和 210 mV/decade , DIBL 为 187 mV/V , 器件的电学特性如图 1(e), (f) 所示.

相较于传统平面 TFT, 垂直 TFT 具有更小尺寸, 其核心优势在于器件结构的“维度重构”. 与传统平面结构不同, 垂直 TFT 的源极和漏极不共面, 而是通过隔离层 (绝缘材料) 垂直分隔, 沟道位于源极和漏极之间并附着于隔离层垂直侧壁, 导电载流子呈垂直方向流动, 从根本上突破了横向布局的尺寸限制. 自垂直 TFT 首次报道以来, 短沟道垂

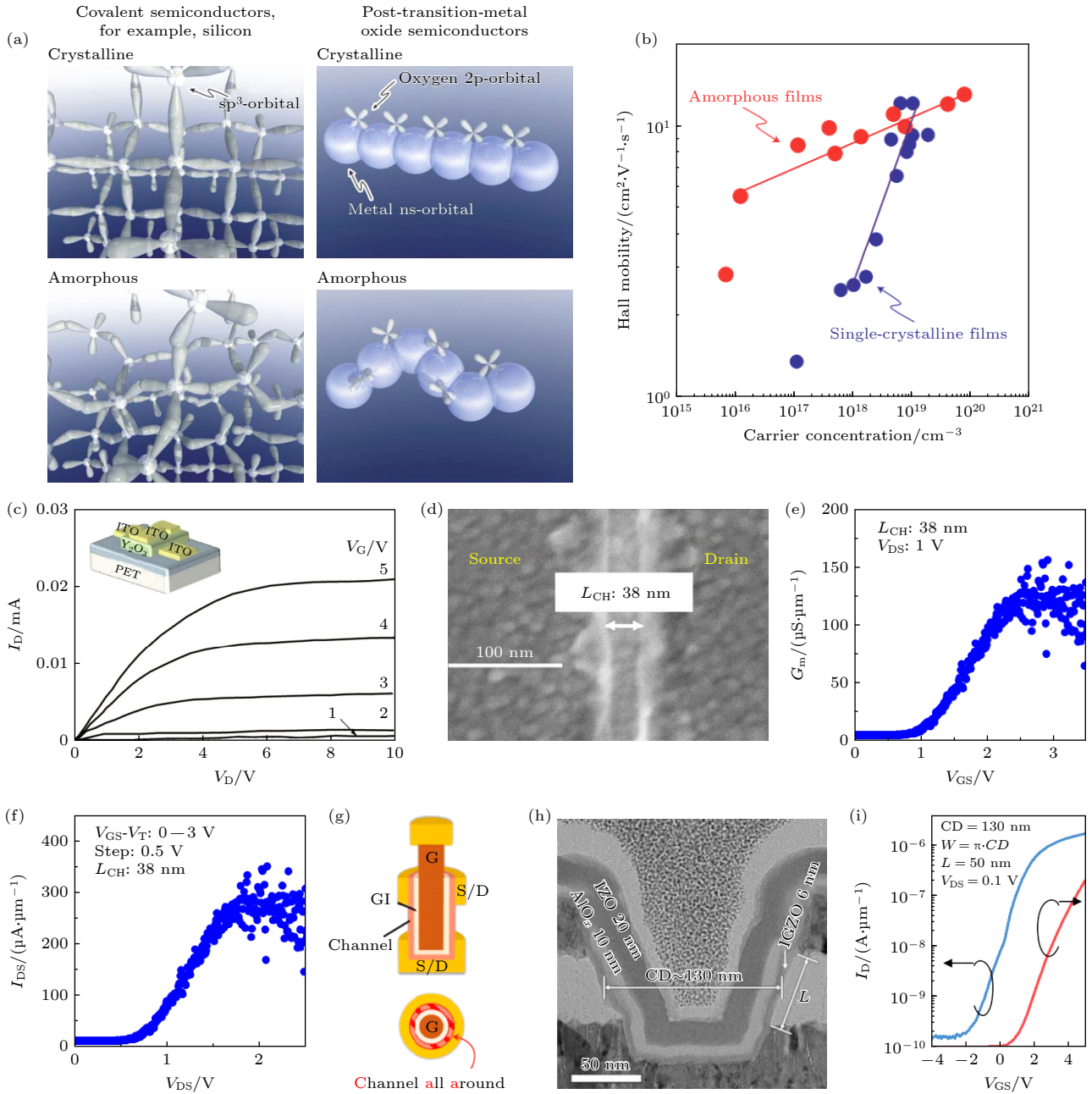


图 1 (a) a-Si:H(左) 和 a-IGZO(右) 的电子云示意图; (b) 晶体和非晶 IGZO 霍尔迁移率示意图; (c) a-IGZO 晶体管的输出曲线; (d) a-IGZO 晶体管的 SEM 图像; (e) IGZO 晶体管的跨导曲线, 最大跨导 $125 \mu\text{S}/\mu\text{m}$ @ $V_{DS} = 1$ V; (f) a-IGZO 晶体管的输出曲线, 导通电流 $350 \mu\text{A}/\mu\text{m}$ @ ($V_{GS} - V_T = 3.0$ V, $V_{DS} = 2.5$ V); (g) CAA-IGZO 晶体管示意图; (h) CAA-IGZO 晶体管截面 TEM 图像; (i) CAA-IGZO 晶体管的转移曲线 ($CD = 50$ nm)^[39-41,45]

Fig. 1. (a) Electron cloud schematics of a-Si:H (left) and a-IGZO (right); (b) schematic of hole mobility in crystalline and amorphous IGZO; (c) output curves of an a-IGZO transistor; (d) SEM image of an a-IGZO transistor; (e) transconductance curve of an IGZO transistor, with a maximum transconductance of $125 \mu\text{S}/\mu\text{m}$ @ $V_{DS} = 1$ V; (f) output curves of an a-IGZO transistor, with an on-current of $350 \mu\text{A}/\mu\text{m}$ @ ($V_{GS} - V_T = 3.0$ V, $V_{DS} = 2.5$ V); (g) schematic of a CAA-IGZO transistor; (h) cross-sectional TEM image of a CAA-IGZO transistor; (i) transfer curve of a CAA-IGZO transistor ($CD = 50$ nm)^[39-41,45].

直 TFT 领域的研究与技术成果, 已显著超越同期短沟道平面 TFT^[42-44]. Duan 等^[45] 在 2021 年创新性地提出了环沟道 (channel-all-around, CAA) 垂直 IGZO TFT(如图 1(g)). 该晶体管的沟道呈垂直方向, 沟道从全方向环绕栅极, 有效增大了沟道宽

度, 从而使晶体管具备更优异的电荷控制能力与电学性能. 图 1(h) 展示了该团队制备的具有 130 nm 关键尺寸和 50 nm 沟道长度的器件的截面 TEM 图像, 器件具有大于 $30 \mu\text{A}/\mu\text{m}$ 的开态电流和低于 $1.8 \times 10^{-17} \text{ A}/\mu\text{m}$ 的极低漏电流(如图 1(i)).

3 双栅 a-IGZO TFT 的沟道长度微缩

晶体管的特征尺寸 λ 可由公式 $\lambda = \sqrt{t_b t_{ox} / \epsilon_b \epsilon_{ox}}$ 表示, 其中 $\varphi(x)$ 是在源漏方向上的电势分布; t_b 是半导体厚度; t_{ox} 是栅氧化层厚度; ϵ_b 是半导体的介电常数; ϵ_{ox} 是栅氧化层的介电常数. 如果想大幅提升 a-IGZO 晶体管的电学性能, 超短的沟道长度是不可或缺且起决定性作用的关键要素. 但是, 如果仅单纯地缩短沟道长度, 而未同步对器件的特征尺寸进行相应的微缩, 则制备出的器件会产生严重的短沟道效应, 其中包括: DIBL 效应、SS 增大、阈值电压卷曲 (V_t roll-off) 等. 所以, 想要实现一个超短沟道的 a-IGZO 晶体管, 就需要尽可能地缩小器件的特征尺寸.

在长沟道器件中, 缺陷态的分布呈现相对均匀的特征. 然而, 当沟道长度缩短至 50 nm 以下时, 由于沟道体积的显著减小, 界面处缺陷态在整体缺陷态中的占比大幅增大. 在强横向电场的的作用下, 缺陷态有可能沿沟道方向呈现出非均匀分布的状态. 具体地, 靠近漏端的高场区域, 缺陷激活能降低, 这会导致陷阱辅助隧穿电流增大. 同时, 漏致势垒降低效应和阈值电压卷曲现象会进一步放大缺陷态对器件电学性能的影响. 特别是深能级陷阱, 在高压条件下会成为载流子的复合中心, 进而加剧器件亚阈值特性的退化. 因此, 当制备的单栅 a-IGZO 晶体管沟道长度微缩至 50 nm 以下时, 通过电学性能测试能够清晰地观察到较为显著的短沟道效应. 这一现象表明, 在沟道长度进入纳米尺度后, 晶体管的电学特性受到短沟道效应的影响较为突出, 对器件性能的优化和稳定控制提出了新的挑战.

为增强栅极对沟道的静电控制能力并抑制短沟道效应, 双栅结构被广泛引入. 采用双栅结构的原因是, 在两个栅极的作用下, a-IGZO 中的电子积累现象不再局限于下表面, 而是会在半导体的上下表面同时形成沟道. 由于半导体厚度相对较薄, 上下沟道会发生交叠, 使得载流子趋向聚集在交叠区域. 这种聚集效应能有效减小界面缺陷、粗糙度及界面态对迁移率的影响, 从而提升器件的开态电流. 同时, 双栅结构可进一步增强栅极的静电控制能力, 有效降低晶体管的亚阈值摆幅、漏致势垒降低效应与关态电流. 基于三维泊松方程

$\frac{dE_x}{d_x} + \frac{dE_y}{d_y} + \frac{dE_z}{d_z} = -\frac{\rho}{\epsilon}$ 可知, 由于该方程左侧为电场梯度之和, 在特定物理条件下可视为一个定值, 因此无论是顶栅、背栅或沟道侧面栅的栅控能力增强都会减弱源漏电压对沟道的影响. 通过对相关物理模型和边界条件分析与计算, 能够推导双栅晶体管的特征尺寸公式 $\lambda_2 = t_b t_{ox} \epsilon_b / (2\epsilon_{ox})$. 与单栅晶体管的特征尺寸相比, 双栅晶体管的特征尺寸是其 $\sqrt{1/2}$ 倍, 这一数学结果从理论上证实了双栅结构在晶体管尺寸微缩方面具有显著优势.

2022 年 Chen 等^[46]报道了一种沟道长度为 30 nm 的超薄双栅 a-IGZO 晶体管 (如图 2(a)). 通过采用的双栅结构, 该晶体管最小亚阈值摆幅仅为 63.4 mV/decade, 接近理论理想值 60 mV/decade, 同时具备 10 mV/V 的低漏致势垒降低及高达 559 $\mu\text{S}/\mu\text{m}$ 的最高跨导. 得益于双栅结构对沟道的增强静电控制, 其跨导和静态导通性能均优于此前报道的单栅器件, 相关电学特性如图 2(b), (c) 所示. 为进一步突破器件微缩极限、提升三维集成密度, Liao 等^[47]在 2024 年提出了一种新型垂直沟道双栅 IGZO TFT 结构 (如图 2(d)), 并将其应用于高密度 DRAM 单元中. 该器件采用 120 nm 沟道长度的垂直结构, 在双栅协同调控下表现出了优异的电学性能: 在 $V_{GS} - V_T = 1.0 \text{ V}$, $V_{DS} = 1 \text{ V}$ 时实现了 45.5 $\mu\text{A}/\mu\text{m}$ 的高开态导通电流和 68 mV/decade 的 SS (如图 2(e), (f)). 上述研究结果不仅验证了垂直双栅结构在纳米尺度下具备良好的栅控能力, 也充分彰显了该技术在推动集成电路向更高集成密度发展以及实现更低功耗运行方面所体现的巨大应用潜力.

4 a-IGZO TFT 的接触长度微缩

在晶体管的整体微缩架构中, 接触间距 (contact pitch, CP) 是决定芯片集成密度的关键参数, 其物理定义为沟道长度 (L_{ch}) 与接触长度 (L_c) 之和 (如图 3(a)). 因此, 要实现晶体管尺寸的根本性微缩, 就必须针对沟道长度与接触长度开展协同优化与同步缩减.

沟道长度的缩短有助于提升载流子输运效率、增大沟道电流密度, 从而改善器件的开关速度与响应特性. 然而, 接触区域的载流子传输高度依赖于金属-半导体界面特性. 当接触长度减小时, 有效接触面积会显著降低, 同时界面散射效应会显著

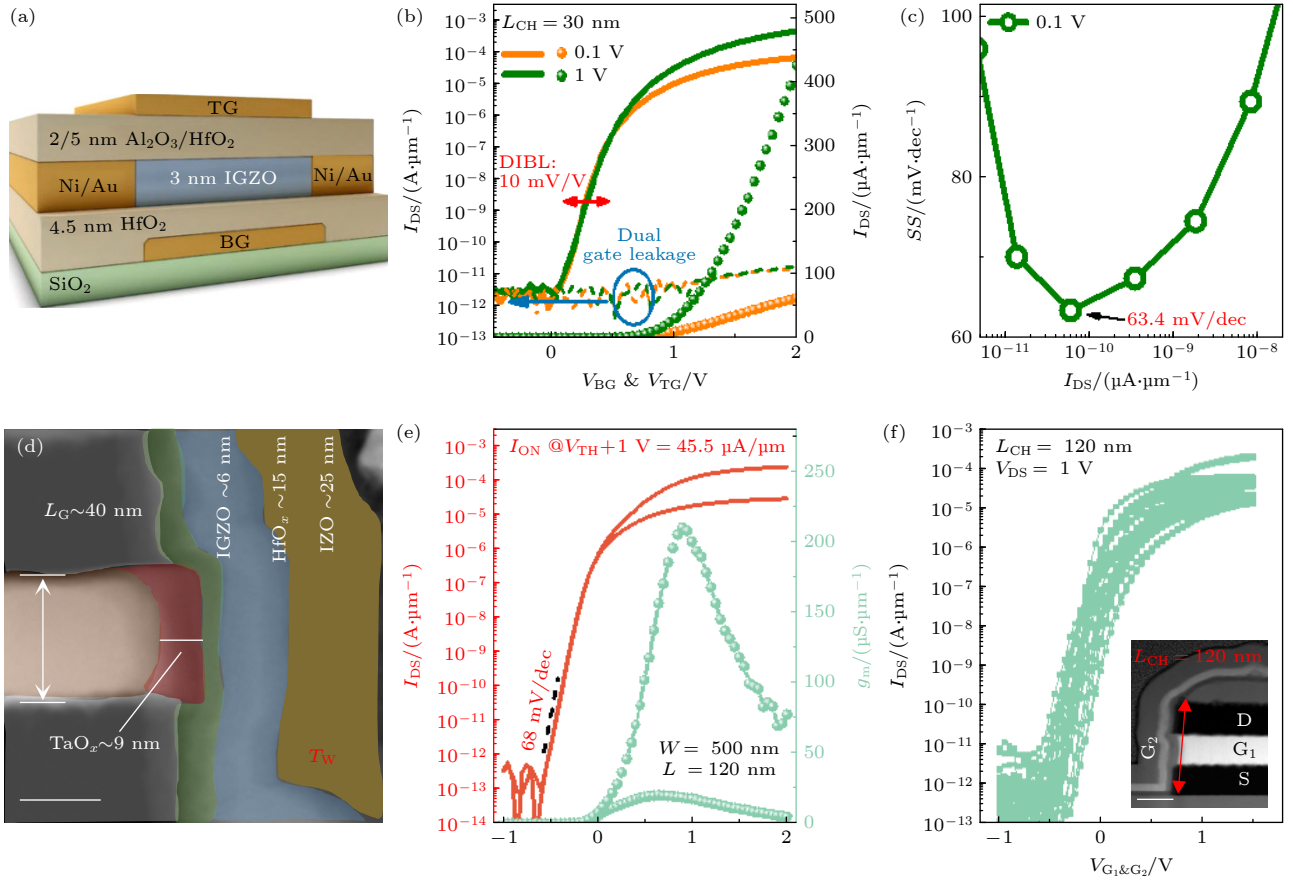


图 2 (a) 双栅 a-IGZO 晶体管的结构示意图; (b), (c) 双栅 a-IGZO 晶体管的转移特性曲线以及亚阈值摆幅 ($L_{ch} = 30$ nm); (d) 垂直双栅 IGZO 晶体管的截面 TEM 图像; (e), (f) 垂直双栅 IGZO 晶体管的转移特性曲线以及跨导, 导通电流为 $45.5 \mu\text{A}/\mu\text{m}$ @ ($V_{th} + 1$) V ($L_{ch} = 120$ nm)^[46,47]

Fig. 2. (a) Schematic diagram of a dual-gate a-IGZO transistor structure; (b), (c) transfer characteristic curve and subthreshold swing of the dual-gate a-IGZO transistor ($L_{ch} = 30$ nm); (d) cross-sectional TEM image of a vertical dual-gate IGZO transistor; (e), (f) transfer characteristic curve and transconductance of the vertical dual-gate IGZO transistor, with an on-current of $45.5 \mu\text{A}/\mu\text{m}$ @ ($V_{th} + 1$) V ($L_{ch} = 120$ nm)^[46,47].

加剧, 进而导致接触电阻呈指数型上升, 最终可能引发器件性能恶化, 甚至在一定程度上部分抵消沟道微缩所带来的性能提升优势. 尽管 a-IGZO TFT 在沟道长度微缩方面已取得显著进展, 其器件尺寸已从微米级逐步推进至数十纳米量级. 然而, 在接触长度缩放、接触电阻有效控制以及界面可靠性维持等关键问题上, 仍缺乏系统性解决方案. 这些挑战已成为制约氧化物晶体管向更高集成密度与更优综合性能方向发展的关键瓶颈.

氧化物 TFT 在尺寸微缩过程中, 接触电阻的问题日益显著, 已成为制约其性能提升的关键. 近年来, 研究人员关注的焦点逐步从沟道结构优化转向接触界面的精细化调控. 2024 年, Wu 等^[48] 针对双栅 IGZO 薄膜晶体管的接触长度微缩展开了深入的实验探究, 通过在超高真空条件下沉积源漏金属, 实现了低至 $340 \Omega \cdot \mu\text{m}$ 的接触电阻 (R_n) 与

$1.72 \times 10^{-7} \Omega \cdot \text{cm}^2$ 的接触电阻率 (ρ_n). 同时, 通过将接触长度 (L_C) 从 300 nm 微缩到 20 nm, 发现长沟道的器件性能无明显退化, 而短沟道的器件在 L_C 小于 30 nm 时性能显著下降 (如图 3(c)). 最终, Wu 等^[48] 制备出了接触间距达 80 nm (其中 L_C 为 40 nm、沟道长度 L_{ch} 为 40 nm) 的高性能短沟道器件 (如图 3(b)), 该器件实现了 $68.4 \mu\text{A}/\mu\text{m}$ 的超高导通电流与 $83.4 \text{ mV}/\text{decade}$ 的低亚阈值摆幅.

为系统性地探究接触长度微缩, 优化接触电阻, 并充分结合双栅结构所具备的高静电控制与氧环境退火的钝化效应, 确保器件在沟道长度与接触长度缩放后仍具备高可靠性与高性能, Zhao 等^[49] 进一步针对单栅和双栅 IGZO 薄膜晶体管开展研究, 探究其在接触长度从 200 nm 微缩至 40 nm 时的性能. 研究表明, 双栅 IGZO 晶体管具有优异的性能 (如图 3(d)): 在室温条件下, 器件实现了

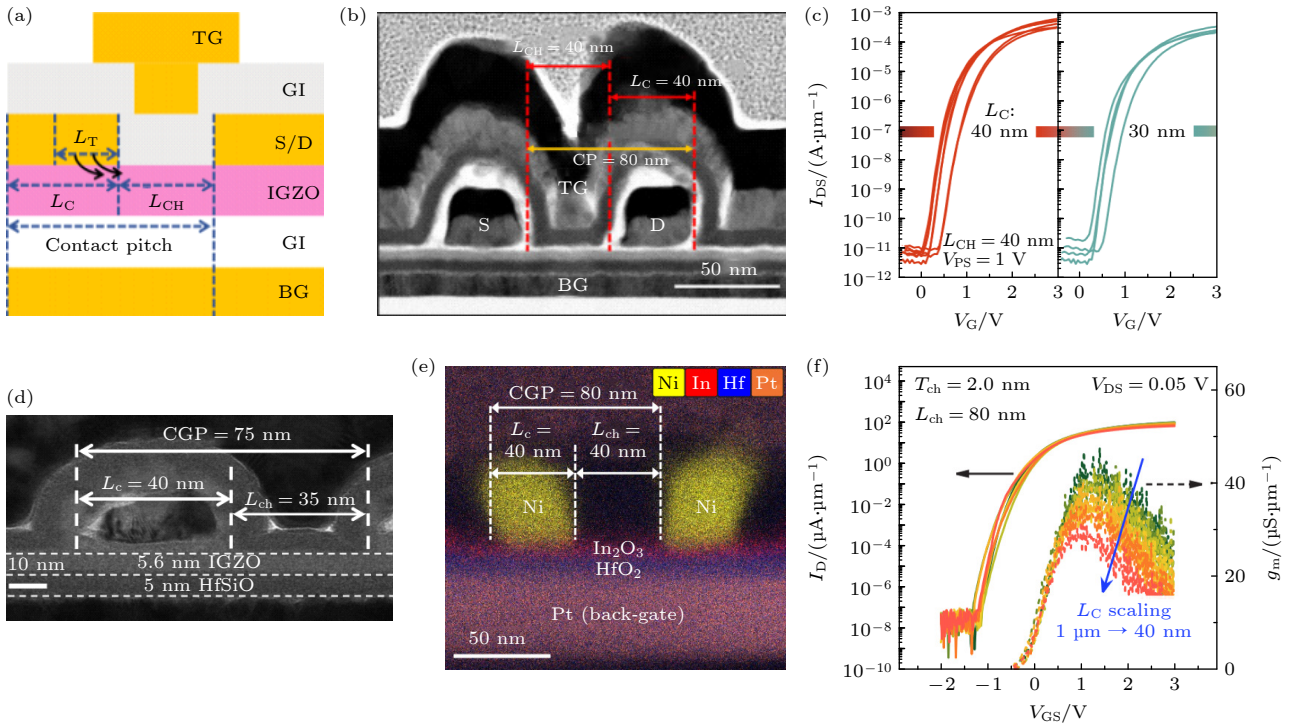


图 3 (a) 接触间距、接触长度以及沟道长度定义示意图; (b) 接触间距为 80 nm 的短沟道器件截面 TEM 图像; (c) 器件接触长度从 40 nm 微缩到 30 nm 时的转移特性曲线 ($L_{\text{ch}} = 40$ nm); (d) 高性能双栅 IGZO 晶体管截面 TEM 图像; (e) 超缩放 CGP 氧化铟晶体管截面 TEM 图像; (f) $L_{\text{ch}} = 80$ nm, 沟道厚度为 2 μm , L_C 从 1 μm 缩放至 40 nm 时晶体管的转移曲线^[48-50]

Fig. 3. (a) Schematic diagram defining contact pitch, contact length, and channel length; (b) cross-sectional TEM image of a short-channel device with a contact pitch of 80 nm; (c) transfer characteristic curves of devices when the contact length is scaled from 40 nm to 30 nm ($L_{\text{ch}} = 40$ nm); (d) cross-sectional TEM image of a high-performance dual-gate IGZO transistor; (e) cross-sectional TEM image of an ultra-scaled CGP indium oxide transistor; (f) transfer curves of transistors with $L_{\text{ch}} = 80$ nm and a channel thickness of 2 μm , as the contact length (L_C) is scaled from 1 μm to 40 nm^[48-50].

60 mV/decade 的低亚阈值摆幅; 当温度升高至 380 K 时, 器件仍能保持 76 mV/decade 的低亚阈值摆幅. 在器件沟道长度为 35 nm、接触长度为 80 nm 的条件下, 其跨导超过 1 mS/ μm , 导通电流高达 1.93 mA/ μm . 进一步微缩接触长度至 40 nm 时, 器件性能仍保持良好, 跨导超过 0.75 mS/ μm 、导通电流超过 1.33 mA/ μm .

在更为广泛的氧化物半导体体系中, 接触微缩研究亦取得重要进展. Lin 等^[50] 针对超薄氧化铟场效应晶体管, 深入探究了接触长度与接触栅距 ($\text{CGP} = L_{\text{ch}} + L_C$) 的缩放特性 (如图 3(e)). 该团队研究发现, 通过将氧化铟沟道厚度从 1.2 nm 增至 2 nm, 能够借助量子限制效应调控金属/氧化铟接触的肖特基势垒高度, 实现其从正到负的转变. 这一转变使传输长度从 76 nm 大幅降低至 36 nm. 基于此优化措施, 所制备的晶体管在 80 nm 超缩放 CGP 条件下, 实现了氧化物半导体场效应晶体管中的最低接触电阻为 140 $\Omega \cdot \mu\text{m}$, 以及最大漏极电流 ($I_{\text{D, max}}$) 为 1.57 mA/ μm (如图 3(f)). 这一成

果为后道兼容的单片三维集成技术提供了关键支撑.

5 总结与展望

氧化物 TFT 以其优异的电学性能、低温制备工艺以及后道工艺 (BEOL) 的良好兼容性, 已成为后摩尔时代集成电路发展的重要方向之一. 特别是在传统硅基 CMOS 器件面临短沟道效应制约、微缩进程趋缓的背景下, a-IGZO TFT 凭借其非晶态结构下的高迁移率、低关态电流和良好的界面特性, 在单片三维集成与高密度存储等领域展现出巨大的应用潜力. 本篇综述主要对 a-IGZO TFT 在尺寸微缩进程中的相关研究进行了系统性概述, 内容涵盖单栅器件、双栅器件以及接触长度微缩等关键领域方面的相关研究.

在单片三维集成领域, 通过在垂直方向上堆叠多层器件, 显著提升了芯片的集成密度与功能多样性. 在结构方面, 垂直沟道 TFT (如 CAA 结构) 通

过“维度重构”突破了平面布局的物理限制,实现了沟道长度的进一步缩短(已达 50 nm 以下),同时保持了优异的栅控能力与电学性能. 双栅结构的引入进一步增强了栅极对沟道的静电控制,有效抑制了短沟道效应,使得 a-IGZO TFT 在 30 nm 沟道长度下仍能实现接近理想值的亚阈值摆幅(63.4 mV/decade)与低 DIBL(10 mV/V). 这些结构创新与工艺优化,为 a-IGZO TFT 在三维集成领域的发展提供了关键技术支持. 在接触微缩方面,随着器件尺寸的不断缩小,接触电阻成为影响性能的关键因素. 通过优化金属/半导体界面、采用超高真空沉积工艺,可实现低至 340 $\Omega \cdot \mu\text{m}$ 的接触电阻,接触长度可微缩至 20—40 nm,接触间距达到 80 nm. 在高密度存储领域,特别是 DRAM 中, a-IGZO TFT 因其极低的关态电流(可低于 10^{-17} A/ μm),被广泛应用于无电容 DRAM 结构. 该结构仅需两个晶体管即可实现存储功能,其中 a-IGZO TFT 同时承担读取与存储作用,从而省去独立电容,大幅提升存储密度.

尽管 a-IGZO TFT 在尺寸微缩方面已取得显著进展,但仍面临若干挑战. 当沟道长度低于 30 nm 时,界面缺陷态的负面效应显著增强,导致亚阈值特性退化与漏电流增大,严重影响器件性能的稳定性. 随着接触长度持续缩小,接触电阻呈指数级上升,并且界面热稳定性以及电迁移可靠性面临严峻考验,成为制约器件进一步微缩的关键. 此外,对于无电容 DRAM 等存储结构,数据保留时间与读写耐久性仍需进一步提升,以满足实际存储应用的需求.

展望未来, a-IGZO TFT 的尺寸微缩技术将继续沿着关键方向持续推进. 一方面,积极探索全环栅(GAA)结构、纳米片结构等新型晶体管结构,通过优化结构设计进一步增强栅控能力,从而有效抑制短沟道效应,提升器件性能. 另一方面,结合电路设计与架构创新,充分发挥 a-IGZO TFT 在三维集成与存储系统中的性能优势,推动其在高密度、高性能存储与集成领域的应用与发展.

参考文献

- [1] Davari B, Dennard R H, Shahidi G G 1995 *Proceed. IEEE* **83** 595
- [2] Dennard R H, Gaensslen F H, Yu H-N, Rideout V L, Bassous E, Leblanc A R 1999 *Proceed. IEEE* **87** 668
- [3] Moore G E 2006 *IEEE Solid-St. Circ. Soc. Newsletter* **11** 37
- [4] Jing W, Lundstrom M *Digest. International Electron Devices Meeting* San Francisco, CA, USA, December 8–11, 2002 p707
- [5] Liu M G, Li Z, Lu W D, Chen K F, Niu J B, Liao F X, Wu Z J, Lu C Y, Li W Z, Geng D, Lu N D, Dou C M, Yang G H, Li L, Liu M 2024 *IEEE Symposium on VLSI Technology and Circuits (VLSI Technology and Circuits)* Honolulu, HI, USA, June 16–20, 2024 p1
- [6] Weber L F 2006 *IEEE Trans. Plasma Sci.* **34** 268
- [7] Li W W, Geng D, Yang G H, Lu N D, Li L 2024 *IEEE Open J. Immers. Displays* **1** 51
- [8] Yan S Z, Cong Z R, Lu N D, Yue J S, Luo Q 2023 *Sci. China Inf. Sci.* **66** 200404
- [9] Lan L F, Zhang P, Peng J B 2016 *Acta Phys. Sin.* **65** 128504 (in Chinese) [兰林锋, 张鹏, 彭俊彪 2016 物理学报 **65** 128504]
- [10] Li S S, Liang C X, Wang X X, Li T H, Song S M, Xin Y Q, Yang T L 2013 *Acta Phys. Sin.* **62** 077302 (in Chinese) [李帅帅, 梁朝旭, 王雪霞, 李延辉, 宋淑梅, 辛艳青, 杨田林 2013 物理学报 **62** 077302]
- [11] Li Y, Zhu L, Chen C S, Zhu Y, Wan C J, Wan Q 2022 *Chin. Phys. Lett.* **39** 118501
- [12] Liu Y, Wang L, Cai S T, Chen Y Y, Chen R, Xiong X M, Geng K W 2018 *Chin. Phys. Lett.* **35** 098502
- [13] Kuo Y 2004 *Thin Film Transistors: Materials and Processes (Vol. 1)* (New York: Springer) pp176–195
- [14] Kamiya T, Nomura K, Hosono H 2010 *Sci. Technol. Adv. Mater.* **11** 044305
- [15] Jang J, Oh J Y, Kim S K, Choi Y J, Yoon S Y, Kim C O 1998 *Nature* **395** 481
- [16] Kimura M, Yudasaka I, Kanbe S, Kobayashi H, Kiguchi H, Seki S I, Miyashita S, Shimoda T, Ozawa T, Kitawada K 1999 *IEEE Trans. Electron Devices* **46** 2282
- [17] Mo Y G, Kim M, Kang C K, Jeong J H, Park Y S, Choi C G, Kim H D, Kim S S 2011 *J. Soc. Inf. Display* **19** 16
- [18] Chen J, Liu C T 2013 *IEEE Access* **1** 150
- [19] Sugimoto A, Ochi H, Fujimura S, Yoshida A, Miyadera T, Tsuchida M 2004 *IEEE J. Sel. Top. Quant.* **10** 107
- [20] Burrows P E, Graff G L, Gross M E, Martin P M, Shi M K, Hall M, Mast E, Bonham C, Bennett W, Sullivan M B 2001 *Displays* **22** 65
- [21] Kina O, Matsubara R, Ito Y, Ishizaki M, Ito M 2011 *J. Imag. Soc. Jpn.* **50** 128
- [22] Suzuki K, Yutani K, Nakashima M, Onodera A, Mizukami S, Kato M, Tano T, Tomono H, Yanagisawa M, Kamyama K 2011 *J. Imag. Soc. Jpn.* **50** 142
- [23] Belmonte A, Oh H, Subhechha S, Rassoul N, Hody H, Dekkers H, Delhougne R, Ricotti L, Banerjee K, Chasin A, Setten M J v, Puliyalil H, Pak M, Teugels L, Tsvetanova D, Vandersmissen K, Kundu S, Heijlen J, Batuk D, Geypen J, Goux L, Kar G S 2021 *IEEE International Electron Devices Meeting (IEDM)* San Francisco, CA, USA, December 11–16, 2021 p10.6.1
- [24] Duan X L, Huang K L, Feng J X, Niu J B, Qin H B, Yin S H, Jiao G F, Leonelli D, Zhao X X, Jing W L, Wang Z G, Chen Q, Chuai X C, Lu C Y, Wang W W, Yang G H, Geng D, Li L, Liu M 2021 *IEEE International Electron Devices Meeting (IEDM)* San Francisco, CA, USA, December 11–16, 2021 p10.5.1
- [25] Chen C K, Duan X L, Yang G H, Lu C Y, Geng D, Li L, Liu M 2022 *International Electron Devices Meeting (IEDM)* San Francisco, CA, USA, December 3–7, 2022 p26.5.1
- [26] Lu W D, Zhu Z Y, Chen K F, Liu M G, Kang B M, Duan X L, Niu J B, Liao F X, Dan W, Wu X S, Son J, Xiao D Y, Wang G L, Yoo A, Cao K Y, Geng D, Lu N D, Yang G H,

- Zhao C, Li L, Liu M 2022 *International Electron Devices Meeting (IEDM)* San Francisco, CA, USA, December 3–7, 2022 p26.4.1
- [27] Tang W J, Liu J L, Sun C, Zheng Z J, Liu Y P, Yang H Z, Jiang C, Ni K, Gong X, Li X 2023 *IEEE Trans. Circuits I* **70** 5166
- [28] Mukhopadhyaya K, Srividya P 2022 *Mater. Today Proceed.* **55** 414
- [29] Luk W K, Demnard R H 2005 *IEEE J. Solid-St. Circ.* **40** 884
- [30] Somasekhar D, Ye Y, Aseron P, Lu S-L, Khellah M M, Howard J, Ruhl G, Karnik T, Borkar S, De V K 2008 *IEEE J. Solid-St. Circ.* **44** 174
- [31] Meinerzhagen P, Teman A, Giterman R, Edri N, Burg A, Fish A 2018 *Gain-cell Embedded DRAMs for Low-Power VLSI Systems-on-Chip* (Springer) pp13–46
- [32] Garzón E, Greenblatt Y, Harel O, Lanuzza M, Teman A 2021 *IEEE Trans. VLSI Syst.* **29** 1319
- [33] Bonetti A, Golman R, Giterman R, Teman A, Burg A 2020 *IEEE Trans. VLSI Syst.* **28** 646
- [34] Chun K C, Jain P, Kim T-H, Kim C H 2011 *IEEE J. Solid-St. Circ.* **47** 547
- [35] Kim W, Kih J, Kim G, Jung S, Ahn G 1994 *IEEE J. Solid-St. Circ.* **29** 978
- [36] Giterman R, Bonetti A, Bravo E V, Noy T, Teman A, Burg A 2020 *IEEE Trans. Circuits I* **67** 1207
- [37] Chun K C, Jain P, Lee J H, Kim C H 2011 *IEEE J. Solid-State Circ.* **46** 1495
- [38] Hosono H 2018 *Nat. Electron.* **1** 428
- [39] Nomura K, Ohta H, Takagi A, Kamiya T, Hirano M, Hosono H 2004 *Nature* **432** 488
- [40] Fortunato E, Barquinha P, Martins R 2012 *Adv. Mater.* **24** 2945
- [41] Samanta S, Han K Z, Sun C, Wang C K, Thean A V Y, Gong X 2020 *IEEE Symposium on VLSI Technology* Honolulu, HI, USA, June 16–19, 2020 p1
- [42] Hwang C-S, Park S-H K, Oh H, Ryu M-K, Cho K-I, Yoon S-M 2014 *IEEE Electron Device Lett.* **35** 360
- [43] Ahn H-M, Moon S-H, Kwon Y-H, Seong N-J, Choi K-J, Hwang C-S, Yang J-H, Kim Y-H, Yoon S-M 2022 *IEEE Electron Device Lett.* **43** 1909
- [44] Baek Y J, Kang I H, Hwang S H, Han Y L, Kang M S, Kang S J, Kim S G, Woo J G, Yu E S, Bae B S 2022 *Sci. Rep.* **12** 3094
- [45] Duan X L, Huang K L, Feng J X, Niu J B, Qin H B, Yin S H, Jiao G F, Leonelli D, Zhao X X, Wang Z G, Jing W L, Wang Z B, Wu Y, Xu J, Chen Q, Chuai X, Lu C Y, Wang W W, Yang G H, Geng D, Li L, Liu M 2022 *IEEE Trans. Electron Devices* **69** 2196
- [46] Chen K F, Niu J B, Yang G H, Liu M G, Lu W D, Liao F X, Huang K L, Duan X L, Lu C Y, Wang J W, Wang L F, Li M M, Geng D, Zhao C, Wang G L, Lu N D, Li L, Liu M 2022 *IEEE Symposium on VLSI Technology and Circuits (VLSI Technology and Circuits)* Honolulu, HI, USA, June 12–17, 2022 p298
- [47] Liao F X, Zhu Z Y, Chen K F, Yang G H, Liu M G, Lu W D, Wu Z J, Niu J B, Lu C Y, Kang B M, Shi J, Wu X S, Yu R S, Zhang W D, Zhang J, Wang G L, Yue J S, Wang J W, Wang L F, Geng D, Lu N D, Zhao C, Nathan A, Li L, Liu M 2024 *IEEE International Electron Devices Meeting (IEDM)* San Francisco, CA, USA, December 7–11, 2024 p1
- [48] Wu Z J, Niu J B, Lu C Y, Bai Z H, Chen K F, Wu Z H, Lu W D, Liu M G, Liao F X, Geng D, Lu N D, Yang G H 2024 *IEEE Electron Device Lett.* **45** 408
- [49] Zhao W J, Zhu S W, Li Q J, Hu Q L, Liu H G, Tong A Y, Zeng M, Huang R, Wu Y Q 2024 *IEEE International Electron Devices Meeting (IEDM)* San Francisco, CA, USA, December 7–11, 2024 p1
- [50] Lin J Y, Niu C, Lin Z H, Liu C, Lu J J, Wang H Y, Ye P D 2025 *Symposium on VLSI Technology and Circuits (VLSI Technology and Circuits)* Kyoto, Japan, June 8–12, 2025 p1

SPECIAL TOPIC—Semiconductor physics and devices

Research progress on scaling technology of amorphous indium gallium zinc oxide thin-film transistors^{*}

HAN Yuenan YANG Guanhua LU Nianduan[†] LI Ling[‡]

(State Key Laboratory of Fabrication Technologies for Integrated Circuits, Institute of Microelectronics of Chinese Academy of Sciences, Beijing 100029, China)

(Received 19 December 2025; revised manuscript received 20 January 2026)

Abstract

In the post-Moore era, oxide thin-film transistors (TFTs), particularly wide-bandgap semiconductor transistors represented by amorphous indium gallium zinc oxide (a-IGZO), have attracted significant attention due to their low-temperature fabrication process, excellent compatibility with back-end-of-line (BEOL) processes, and outstanding electrical performance. These devices have been widely applied in fields such as displays, monolithic three-dimensional (3D) integration, and memory technologies. This article focuses on the dimensional scaling technology of a-IGZO TFTs, especially two key dimensions—channel length (L_{ch}) and contact length (L_{C})—to enhance density and performance. For channel scaling, architectural innovations such as dual-gate structures have been instrumental in mitigating short-channel effects, enabling devices with L_{ch} scaled down to 30 nm to achieve a near-ideal subthreshold swing of 63.4 mV/decade and a high transconductance of 559 $\mu\text{S}/\mu\text{m}$. Concurrently, vertical transistor designs, like channel-all-around architectures, have successfully pushed L_{ch} to 50 nm while maintaining excellent gate control and leakage currents below 10^{-17} A/ μm . Regarding contact scaling, interface engineering and optimized deposition processes have reduced the contact length to 20–40 nm, achieving a minimal contact pitch of 80 nm and a low specific contact resistivity. These developments highlight the strong potential of scaled a-IGZO TFTs. This article also summarizes and prospects their application potential in monolithic 3-dimensional integration and high-density memory fields.

Keywords: amorphous indium gallium zinc oxide thin-film transistors, scaling, single gate, dual gate, contact resistance

DOI: [10.7498/aps.75.20251737](https://doi.org/10.7498/aps.75.20251737)

CSTR: [32037.14.aps.75.20251737](https://cstr.cn/32037.14.aps.75.20251737)

^{*} Project supported by the National Key Research and Development Program of China (Grant No. 2023YFB3611600).

[†] Corresponding author. E-mail: lunianduan@ime.ac.cn

[‡] Corresponding author. E-mail: lingli@ime.ac.cn

非晶铟镓锌氧化物薄膜晶体管的尺寸微缩技术研究进展

韩岳男 杨冠华 卢年端 李泠

Research progress on scaling technology of amorphous indium gallium zinc oxide thin-film transistors

HAN Yuenan YANG Guanhua LU Nianduan LI Ling

引用信息 Citation: *Acta Physica Sinica*, 75, 080801 (2026) DOI: 10.7498/aps.75.20251737

CSTR: 32037.14.aps.75.20251737

在线阅读 View online: <https://doi.org/10.7498/aps.75.20251737>

当期内容 View table of contents: <http://wulixb.iphy.ac.cn>

您可能感兴趣的其他文章

Articles you may be interested in

喷墨打印高迁移率铟镓锡氧化物薄膜晶体管

Inkjet printing high mobility indium-zinc-tin oxide thin film transistor

物理学报. 2024, 73(12): 128501 <https://doi.org/10.7498/aps.73.20240361>

N₂O处理对背沟刻蚀金属氧化物薄膜晶体管性能的影响

Effect of N₂O treatment on performance of back channel etched metal oxide thin film transistors

物理学报. 2022, 71(5): 058503 <https://doi.org/10.7498/aps.71.20211350>

低温快速制备基于溶液工艺的高性能氧化铟薄膜及晶体管

Low-temperature rapid preparation of high-performance indium oxide thin films and transistors based on solution technology

物理学报. 2024, 73(9): 096802 <https://doi.org/10.7498/aps.73.20240082>

钝化层对背沟道刻蚀型IGZO薄膜晶体管的影响

Effect of passivation layer on back channel etching InGaZnO thin film transistors

物理学报. 2023, 72(8): 087302 <https://doi.org/10.7498/aps.72.20222272>

蛋壳膜电解质栅控氧化物神经形态晶体管

Egg shell membrane based electrolyte gated oxide neuromorphic transistor

物理学报. 2023, 72(15): 157302 <https://doi.org/10.7498/aps.72.20230411>

高负偏光照稳定性的溶液法像素级IZTO TFT

Sol-gel indium-zinc-tin-oxide thin film transistor pixel array with superior stability under negative bias illumination stress

物理学报. 2022, 71(13): 138502 <https://doi.org/10.7498/aps.71.20220154>