

低压 N 型横向双扩散金属氧化物半导体场效应管的热载流子退化机理与优化设计*

邹明洋 乔明† 张波

(电子科技大学, 电子薄膜与集成器件全国重点实验室, 成都 611731)

(2026 年 1 月 22 日收到; 2026 年 3 月 27 日收到修改稿)

研究了一种 20 V 硅基横向双扩散金属氧化物半导体场效应管在热载流子注入效应下的退化机理, 提出了具有孔场板的抑制热载流子注入 (hot-carrier injection, HCI) 结构以增强器件可靠性. 孔场板位于器件漂移区的上方, 旨在阻止漂移区表面出现电场尖峰, 避免局部高碰撞电离使热电子或热空穴注入氧化层, 有效抑制电学参数退化. 对于本文研究的低压器件进行片上 HCI 退化测试, 不同应力条件下热载流子退化机制不同, 低 V_{gs} 下, 场氧化层中的热空穴注入和栅氧化层中的热电子注入共同导致退化; 高 V_{gs} 下, 热空穴的影响明显减弱. 随着应力时间延长, 热载流子注入逐渐饱和, 界面态 (N_{it}) 增加成为退化的主要因素. 通过器件工艺仿真软件, 研究了器件在热载流子注入前后的电学特性. 孔场板结构优化后, 得到在热点 A, C 附近 0.1 μm 范围内, 吸收 $1 \times 10^9 \text{ cm}^{-2}$ 剂量的电子 100000 s 后的比导通电阻 ($R_{on, sp}$) 退化率相较于常规 LDMOS 分别降低了 64.9% 和 79.4%. 孔场板结构有助于漂移区完全耗尽, 可以在满足耐压的基础上实现更高浓度的漂移区掺杂, 且工艺相容性高. 流片测试显示, 孔场板结构 LDMOS 在 10000 s 之后的 I_{din} 退化量较常规结构降低 62.2%, 击穿电压 BV 为 34 V, $R_{on, sp}$ 为 $6.9 \text{ m}\Omega \cdot \text{mm}^2$, 其 FOM 值约为常规结构的 1.6 倍. 不仅实现了 BV 和 $R_{on, sp}$ 的良好折中, 而且展现出了更好的 HCI 可靠性.

关键词: 热载流子效应, 横向双扩散金属氧化物半导体场效应管, 阈值电压退化, 界面态**DOI:** 10.7498/aps.75.20260115**CSTR:** 32037.14.aps.75.20260115

1 引言

横向双扩散金属氧化物半导体场效应管 (lateral double-diffused metal-oxide-semiconductor field-effect transistor, LDMOS) 因其高击穿电压 (breakdown voltage, BV)、低比导通电阻 (specific on-resistance, $R_{on, sp}$) 及与 CMOS 工艺的兼容特性^[1-3], 已经成为智能功率集成电路中的核心功率开关器件, 广泛应用于汽车电子、显示驱动器、人工智能、数字音频设备及电源管理等应用场景中^[4-9]. 随着器件尺寸持续缩小至深亚微米范围, 而电源电

压的缩小速率低于器件沟道的缩小速率, 导致器件漂移区出现较强的电场^[10,11]. 加之大多数功率集成电路将 LDMOS 作为线性区域中的开关来操作, 在开关转换期间器件的高漏源电压会进一步诱发强电场, 发生严重的热载流子注入可靠性问题, 使阈值电压 (threshold voltage, V_{th})、线性区漏极电流 (linear region drain current, I_{din}) 及关态漏电流 (off-state leakage current, I_{off}) 等关键参数退化^[12-17]. 热载流子造成的损伤会随着时间累积, 直接缩短器件寿命, 给电路带来可靠性问题. 因此 HCI 可靠性是 LDMOS 器件的设计中不可忽视的问题. LDMOS 热载流子可靠性表征的主要测试方

* 国家自然科学基金 (批准号: 62174024) 资助的课题.

† 通信作者. E-mail: qiaoming@uestc.edu.cn

法是施加直流应力, 即对栅极、源极和漏极接触点施加恒定电压^[18]. 本文对常规 LDMOS 结构器件进行晶圆测试, 确定影响退化的热点, 并在常规 LDMOS 的基础上, 研究了一种高 HCI 可靠性的孔场板 (contact field plate, CFP) LDMOS 器件.

2 器件结构与原理

2.1 器件结构

本文所研究的常规 LDMOS 元胞结构示意图如图 1 所示, 该器件的工作电压为 $V_{ds} = 20$ V 和 $V_{gs} = 3.6$ V, 采用高温氧化层 (high temperature oxide, HTO) 结构, HTO 工艺的高温退火过程能使 Si—H 键断裂、氢原子脱附, 可以有效去除氧化层中的氢原子, 减小 Si/SiO₂ 界面的陷阱密度与界面态密度, 得到质量更优的界面^[19]. LDMOS 的导通电阻主要由沟道电阻和漂移区电阻组成, 通常低压 LDMOS 的漂移区长度较短, 沟道电阻占比较大. 为缩短沟道长度以降低沟道电阻, 工艺上采取两项优化措施: 一是将 Pbody 注入工艺延后至栅氧化层热生长之后, 减小 Pbody 区的热扩散距离; 二是采用 15°斜角注入 P 型离子, 既避免 P 型高能离子注入破坏栅氧化层, 又防止注入角度过大导致沟道长度增大.

本文对 LDMOS 存在高电场区域和漂移区取点进行仿真分析, 具体包括: 沟道 (A)、多晶硅栅底部 (B)、多晶硅栅场板边缘下方 (C)、漂移区 (D, E).

这些区域碰撞电离率较大, 对 HCI 效应敏感, 可能导致器件性能退化.

针对本文研究的 20 V LDMOS, 在室温 (25 °C) 下使用 Cascade 11000 探针台和 Keithley 4200A-SCS 半导体参数分析仪进行退化实验. 为了减小自热效应对器件特性提取的影响, 本文采用晶圆级测试, 相较于封装后测试, 该方法可以缩短散热路径、降低热阻, 实验采用的片上测试平台如图 2 所示. 施加应力时设置 V_{ds} 为漏极工作电压 20 V, V_{gs} 分别取 1.3 V, 1.5 V, 1.8 V, 2.7 V 和 3.6 V, 总时间约为 70000 s. 在整个应力测试过程中, 源极和体极电极接地, 并通过定期中断退化过程来监测线性区漏极电流 (测试条件: $V_{gs} = 3.6$ V, $V_{ds} = 0.1$ V) 以评估 HCI 退化情况. 此处的相对退化率是通过 $[Y(t) - Y(0)]/Y(0)$ 计算得出的, 其中 $Y(t)$ 指在应力时间点 t 监测到的性能参数值, $Y(0)$ 指在应力前的性能参数值. 为了获取更加丰富的实验数据, 每组条件测试 5 个平行样品以保证数据重复性, 数据以均值 ± 标准差表示 ($n = 5$), 实验测试结果如图 3 所示. 值得注意的是, 当 $V_{gs} = 1.3$ V 时, I_{dlin} 在初始阶段先增大, 直到 200 s 后开始减小, 400 s 后回到初始值退化为零.

器件沟道处发生热载流子注入将导致栅氧化层中的电荷量逐步积累, V_{th} 发生漂移. V_{ds} 固定为 20 V, V_{gs} 取 1.5 V, 1.8 V 和 3.6 V, 图 4 为基于最大跨导法得到的 V_{th} 退化情况. 在不同 V_{gs} 下均观察到 V_{th} 增大, 且 V_{gs} 越高 V_{th} 漂移越明显. 在 $V_{ds} = 20$ V,

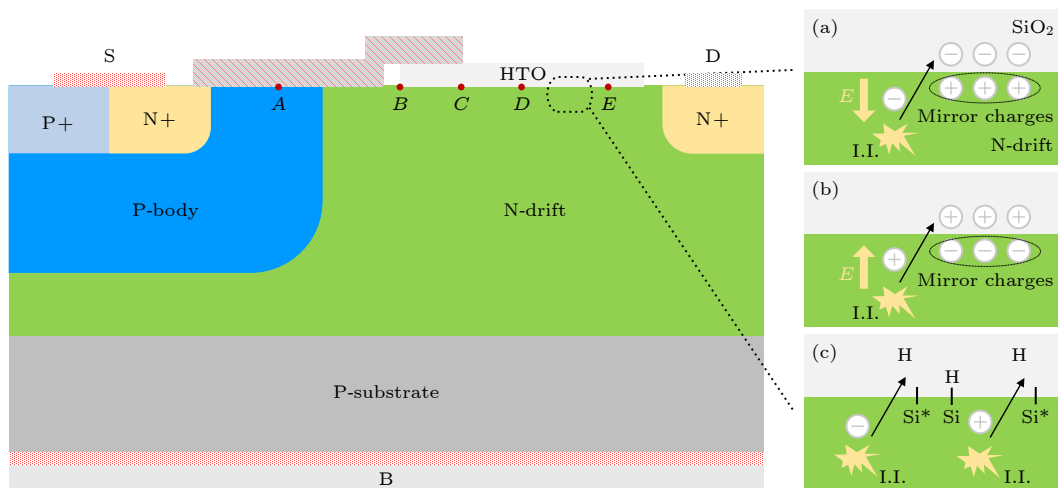


图 1 常规 20 V LDMOS 器件结构和热载流子注入机制 (a) 热电子注入并在漂移区表面吸引镜像电荷; (b) 热空穴注入; (c) 热载流子引起界面态生成

Fig. 1. Conventional 20 V LDMOS structure and the mechanism of hot carrier injection: (a) Hot electrons injection, attracting mirror charges at the surface of N-Drift; (b) hot holes injection; (c) generation of N_{it} caused by hot carrier.

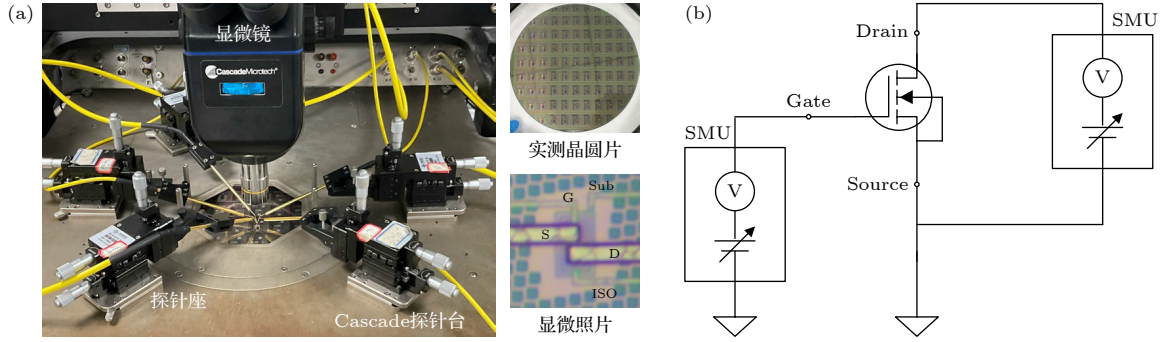


图 2 LDMOS 器件测试平台 (a) Cascade 探针台、实测晶圆片和器件显微照片; (b) 测试原理电路图

Fig. 2. LDMOS measurement setup: (a) Cascade probe station, wafer under test and device micrograph; (b) schematic diagram of the measurement circuit.

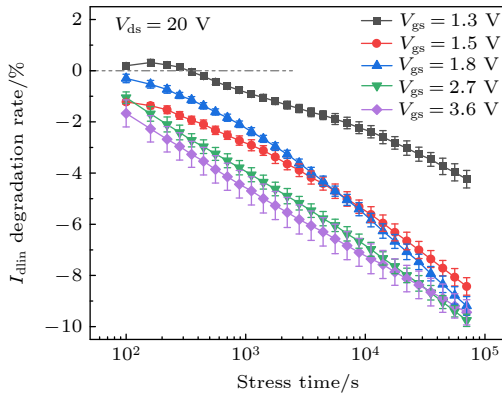


图 3 不同栅极应力条件下对常规 20 V HTO-LDMOS 器件实验所得的 I_{dlin} 随时间退化测试曲线

Fig. 3. Experimental time dependent I_{dlin} degradation curves obtained from conventional 20 V HTO-LDMOS devices at different gate stress conditions.

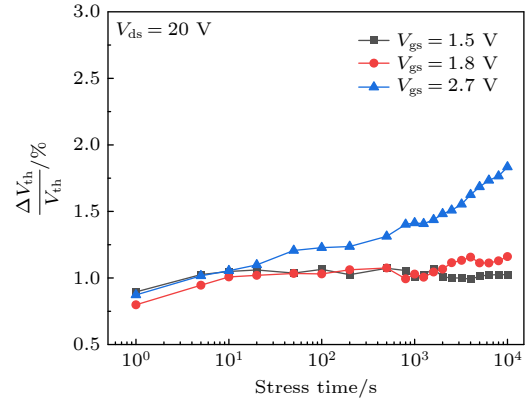


图 4 不同栅极应力条件下对常规 20 V HTO-LDMOS 器件实验所得的 V_{th} 随时间退化测试曲线

Fig. 4. Experimental time dependent V_{th} degradation curves obtained from conventional 20 V HTO-LDMOS devices at different gate stress conditions.

$V_{gs} = 2.7$ V, 应力时间 10000 s 后, V_{th} 增大 1.85%, 这表明在栅氧化层界面处存在负电荷积累或受主界面态增加, 阻碍沟道反型, 说明沟道区热电子注入是导致上述器件退化的关键机制. 对比图 3 和图 4 可见, 经过同样的应力时间 I_{dlin} 减小约 6.98%, 退化程度大于 V_{th} 的 1.85%, 说明漂移区受到的损伤甚至超过沟道.

2.2 热载流子注入效应原理

当 LDMOS 器件工作时, 载流子在漂移区强电场中加速获得高动能. 随着能量的累积, 这些高能载流子不再与晶格保持热平衡状态, 而是成为能量远高于晶格热能的热载流子^[20]. 当能量超过碰撞电离的临界阈值时, 热载流子会与晶格原子发生非弹性碰撞, 碰撞电离产生的电子空穴对在强电场中发生雪崩效应, 使更多载流子获得高能态. 图 1 展示了热电子、热空穴注入氧化层和 Si—H 键断裂

生成界面态的物理过程. 当载流子能量达到或超过 Si/SiO₂ 界面势垒 (对电子注入为 3.2 eV, 对空穴注入为 4.5 eV^[21]) 时便会注入到氧化层中, 被本征陷阱或工艺造成的陷阱俘获形成固定电荷, 削弱栅极对沟道的控制能力, 造成跨导和 V_{th} 漂移, 部分碰撞电离产生的热载流子通过非弹性碰撞断裂 Si/SiO₂ 界面处的 Si—H 键, 释放的 H 原子扩散后留下 Si 悬挂键, 即界面态 (N_{it})^[22-24]. 还有研究表明, 热空穴大量生成时 Si/SiO₂ 界面处或紧邻界面区域的 Si—O 键断裂也会提供界面态^[25]. 这些界面态作为散射中心, 降低漂移区的载流子迁移率, 直接导致表面导电路径上的电流减小, 比导通电阻增大.

热载流子注入主要包括 4 种机制^[26]: 漏极雪崩热载流子注入、沟道热电子注入、衬底热电子注入和二次激发热电子注入. 其中, 漏极雪崩热载流子注入在常温下对器件影响最大, 通常发生于漏极施加高电压时漏极横向电场最强的区域. 沟道热电

子注入发生在栅极电压和漏极电压均较高的情况下, 沟道电子在横向电场中积累足以克服界面势垒的能量并在纵向电场的作用下越过势垒注入氧化层中. 衬底热电子注入易在衬底反向偏置电压较大时发生, 耗尽区内的电子在纵向电场的作用下克服界面势垒注入氧化层, 产生的空穴生成衬底电流, 因此, 过大的衬底电流可以作为衬底热载流子效应发生的标志. 二次激发热电子注入指热载流子中含有前一次碰撞电离产生的二次载流子.

为从根源上避免载流子动能积累, 减弱漏极附近的强电场, 使最大电流路径远离峰值电场位置, 本文通过在漂移区上方靠近漏极处增加金属孔场板结构, 削弱表面电场尖峰, 降低沟道表面到漂移区的碰撞电离率并将碰撞电离区深入体硅内部, 避免局部高碰撞电离生成界面缺陷, 减少热载流子到达 Si/SiO₂ 界面的概率以延缓器件电学参数退化.

3 结果与讨论

3.1 常规器件退化分析

为了探究器件 V_{th} 漂移和 I_{dlin} 漂移的机理, 使用 Sentaurus TCAD 软件进行仿真模拟来解释实验结果, 首先根据前期的流片结构对仿真中的器件漂移区注入剂量、退火时间、推结深度和栅氧化层厚度等参数进行校准, 再通过仿真模型的参数校准使仿真和实测的电学特性曲线一致. 仿真模型包含迁移率模型 (enormal, doping dependence, HighFieldSaturation)、雪崩击穿模型 (unibo avalanche generation)、能带模型 (OldSlotboom) 和热力学传输模型 (thermodynamic) 等. 仿真和测试的特性曲线对比如图 5 所示, 仿真得到器件的 V_{th} 到为 1.29 V, 与测试结果一致; 仿真得到 $V_{ds} = 20$ V, $V_{gs} = 3.6$ V 时的饱和电流为 16.02 mA, 与测试值 16.1 mA 基本一致; 仿真得到器件的关态耐压值为 30.12 V, 测试值为 30 V, 搭建的器件仿真模型与实测数据具有较好的一致性, 能够为后续的器件热载流子退化机理分析提供可靠的仿真支撑.

图 6 展示了在不同电压和不同位置下的载流子能量分布. 在低 V_{gs} 时, 电子在栅场板末端 C 点和漂移区 D , E 点具有高能尾部, 而空穴仅在栅场板末端 C 点存在. 在高 V_{gs} 时, 高能电子主要分布在漂移区 D , E 点, 而高能空穴则相对较少.

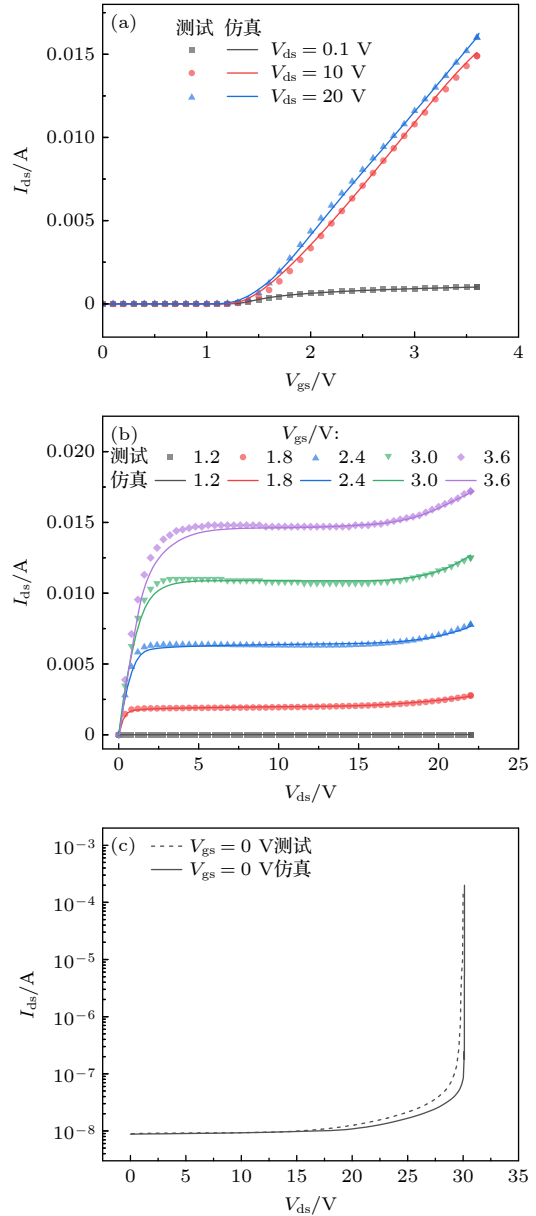


图 5 LDMOS 器件仿真和测试的特性曲线对比 (a) 转移特性; (b) 输出特性; (c) 击穿特性

Fig. 5. Comparison of simulated and measured characteristics of LDMOS: (a) Transfer characteristics; (b) output characteristics; (c) breakdown characteristics.

载流子注入和界面态生成的驱动力主要是垂直于 Si/SiO₂ 界面的电场, 图 7 展示了在不同 V_{gs} 应力条件下 Si/SiO₂ 界面的垂直电场 (E_y) 分布情况. 在 V_{gs} 较低时, C 点栅场板末端处的垂直电场为负 (方向由器件内部指向器件表面), 有利于热空穴注入到氧化层区域, 与图 6(c) 低 V_{gs} 下 C 点处存在高能空穴的情况相符. 热空穴注入到氧化层后被陷阱俘获成为固定电荷, 吸引漂移区表面的镜像电子, 增大漂移区有效掺杂浓度, 导致 I_{dlin} 增大. 固定正

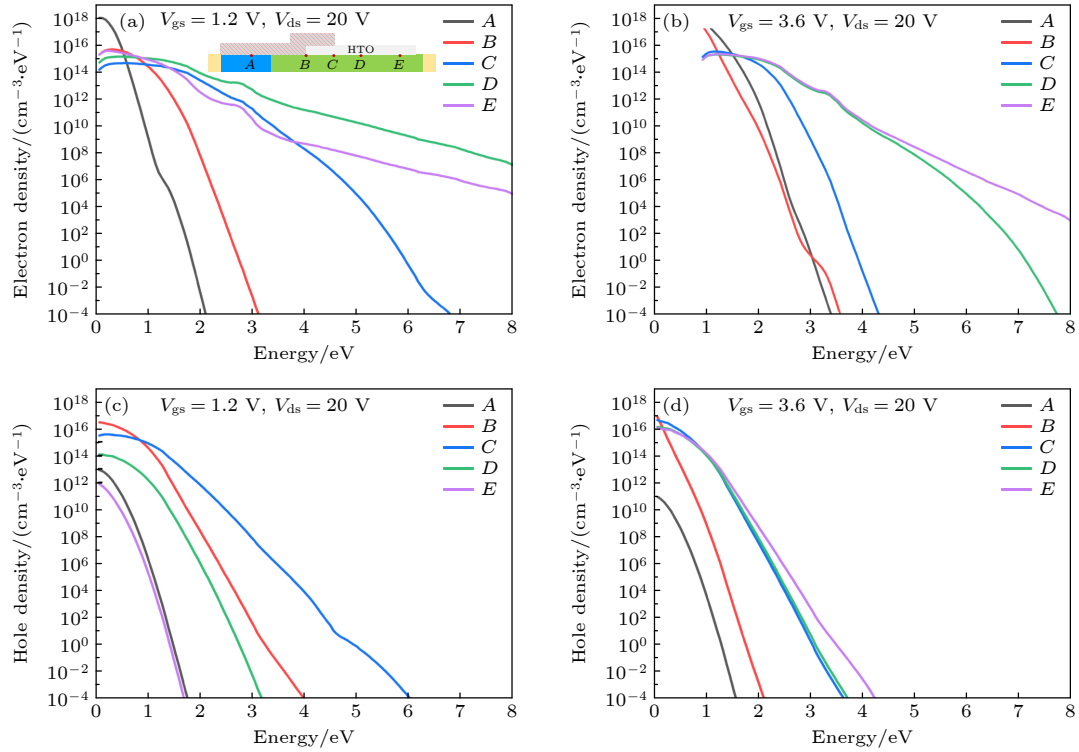


图6 $V_{ds} = 20$ V时各点(见图1)处载流子能量分布的仿真曲线 (a) $V_{gs} = 1.2$ V时电子; (b) $V_{gs} = 3.6$ V时电子; (c) $V_{gs} = 1.2$ V时空穴; (d) $V_{gs} = 3.6$ V时空穴

Fig. 6. Simulated carrier energy distribution at different locations (defined in Fig. 1) under $V_{ds} = 20$ V for: (a) Electrons at $V_{gs} = 1.2$ V; (b) electrons at $V_{gs} = 3.6$ V; (c) holes at $V_{gs} = 1.2$ V; (d) holes at $V_{gs} = 3.6$ V.

电荷会削弱电场,阻碍空穴的进一步注入,存在饱和趋势.这也解释了图3实测数据中低 V_{gs} 时 I_{dlin} 先增后减的现象.这种低栅压下负向垂直电场带来的场氧热空穴注入,在SOI SJ LDMOS和更高电压等级的STI LDMOS中均被报道[27-29],并进行了相关的电荷泵实验,通过施加栅极脉冲使器件表面在积累状态与反型状态之间变化,对比应力前后的电荷泵电流,实验观察到漂移区的电荷泵电流在应力后出现左移,即在漏极区域存在碰撞电离峰和热空穴注入,使应力初始阶段 $R_{on,sp}$ 不发生漂移或出现 $R_{on,sp}$ 减小,与本文实验规律相符. A点沟道处垂直电场的值始终为正(方向由器件表面指向器件内部),这有利于沟道热电子越过Si/SiO₂势垒注入到上方的氧化层区域.当 V_{gs} 增大时, A点处垂直电场增大,加剧沟道热电子注入,与实验中观察到的 V_{th} 正向漂移现象一致.栅氧化层中的电子不断积累产生反向电场,阻碍电子的进一步注入,也存在饱和趋势[30].界面态的产生源于Si—H键和Si—O键断裂,其生成量随时间相关,遵循方程: $N_{it} = PN_0(1 - e^{-kt})$ [31,32],其中 P 为界面态生成概率, N_0 为界面最多可断裂键数量(即界面态最大

容量), k 为反应速率系数.随着应力时间延长,氧化层初始陷阱都被载流子占据之后,注入的载流子无法被捕获,界面态开始发挥作用[33],通过库仑散射使载流子迁移率降低, I_{dlin} 持续下降.结合上述高能载流子分布情况和电场强度,可以得出结论,不同应力条件下热载流子退化机制不同:低 V_{gs} 下,同时发生热空穴注入和电子注入,高 V_{gs} 下空

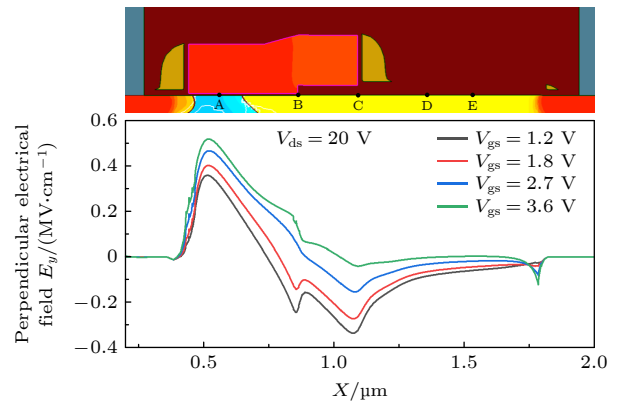


图7 $V_{ds} = 20$ V, $V_{gs} = 1.2, 1.8, 2.7$ 和 3.6 V时沿Si/SiO₂界面垂直电场分布的仿真曲线

Fig. 7. Simulated perpendicular electric fields distributions along Si/SiO₂ interface under $V_{ds} = 20$ V and $V_{gs} = 1.2, 1.8, 2.7$, and 3.6 V, respectively.

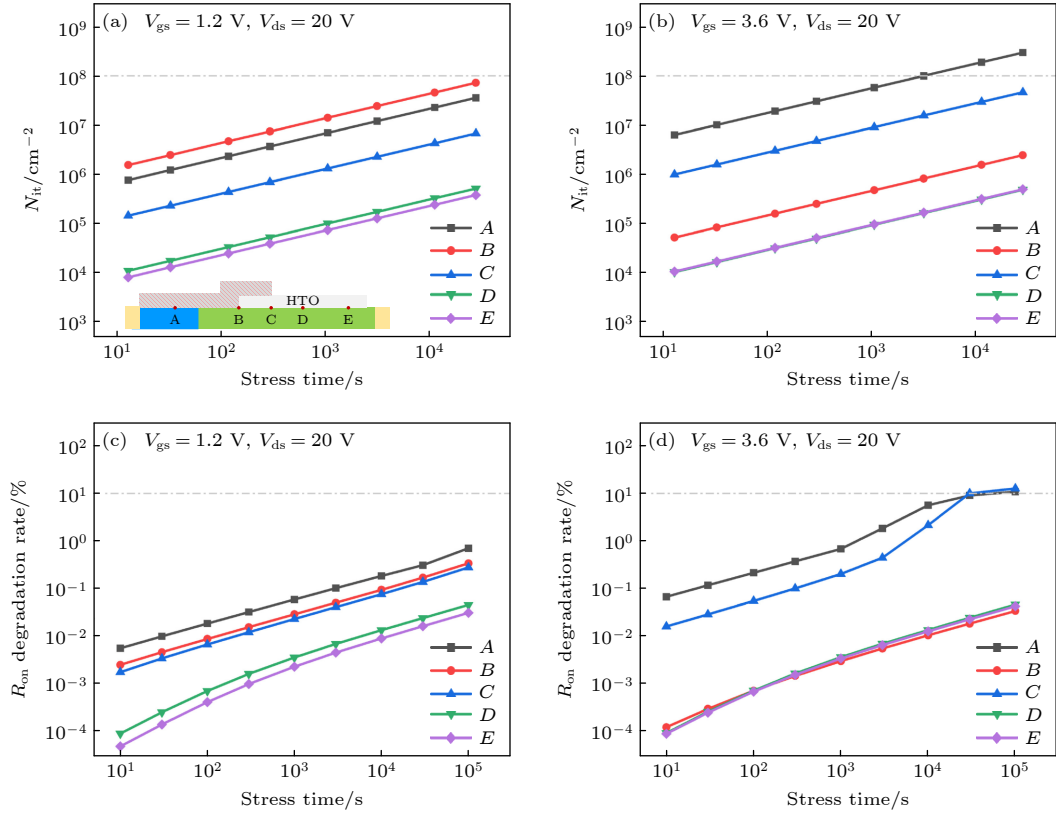


图 8 在 $V_{ds} = 20$ V 和 V_{gs} 分别为 (a) 1.2 V 和 (b) 3.6 V 的条件下, 仿真沿 Si/SiO₂ 界面 A, B, C, D 和 E 点处生成的 N_{it} 与应力时间的关系, 以及在 V_{gs} 分别为 (c) 1.2 V 和 (d) 3.6 V 的条件下, A, B, C, D 和 E 点处由 N_{it} 引起的 $\Delta R_{on, sp}/R_{on, sp}$ 与时间的关系
Fig. 8. Simulated generation of N_{it} versus stress time at points A, B, C, D and E along the Si/SiO₂ interface, stressed at $V_{ds} = 20$ V and $V_{gs} = 1.2$ V (a) and 3.6 V (b); the corresponding $\Delta R_{on, sp}/R_{on, sp}$ caused by N_{it} generation versus stress time at points A, B, C, D and E, stressed at $V_{gs} = 1.2$ V (c) and 3.6 V (d), respectively.

穴注入减弱, 电子注入成为退化的主要原因. 随着应力时间延长, 这种电子和空穴的注入机制达到饱和, 由界面陷阱主导退化过程.

为了进一步验证这一结论, 使用 Sentaurus Sdevice 中的陷阱退化模型来追踪界面态密度 (N_{it}) 生成情况, 分析热载流子与 Si—H 键相互作用并引入悬挂键的过程. 在 $V_{ds}=20$ V 和 $V_{gs}=1.2$ V, 3.6 V 时, 器件不同位置处 N_{it} 随应力时间变化曲线如图 8(a), (b) 所示. 在上述条件下, D, E 点退化后的 N_{it} 数量均低于其他点两个数量级, 对 $R_{on, sp}$ 退化影响较小. 接下来在 Si/SiO₂ 界面上分别引入相同数量的界面陷阱评估由 N_{it} 生成引起的 $R_{on, sp}$ 退化. 在 $V_{ds} = 20$ V 和 $V_{gs} = 1.2$ V, 2.4 V, 3.6 V 的条件下, 不同位置处由 N_{it} 生成引起的 $\Delta R_{on, sp}/R_{on, sp}$ 随应力时间变化曲线如图 8(c), (d) 所示. 仅有 A, C 点生成的 N_{it} 对 $R_{on, sp}$ 退化的影响大于 1%. 特别是在 $V_{gs} = 3.6$ V 时, C 点处生成的 N_{it} 小于 A 点, 但 $R_{on, sp}$ 退化量却与 A 点相当, 说明 C 点的界面态增加对退化的影响更大, 是后续 HCI 优化的重点.

3.2 优化方法

本文采用 CFP 结构优化器件的 HCI 可靠性, 器件结构如图 9 所示. 场板通过金属连线与源极短接, 在器件正常工作时为零电位, 降低漂移区表面电势, 增强表面局部耗尽, 使场板下方的电子电流路径向远离表面的方向弯曲, 漂移区电流密度分布如图 10 所示. 此外, 由于场板辅助漂移区充分耗尽, 可以在耐压达到器件设计要求的基础上, 增大漂移区注入剂量降低 $R_{on, sp}$. 仿真结果图 11 展示了器件的碰撞电离, 受 Kirk 效应影响, 两种结构的碰撞电离峰值均随着 V_{gs} 的增大从栅极侧向漏极移动. CFP 的引入明显使碰撞电离区远离硅表面, 减小了靠近漏极侧漂移区表面的碰撞电离率, 有效提高 HCI 可靠性. 此外, CFP 还能缓解 HCI 与正偏压温度不稳定性 (positive bias temperature instability, PBTI) 的耦合退化, 避免 V_{th} 漂移与亚阈值摆幅恶化 [34]. 在工艺方面, 自对准硅化物阻挡层 (self-aligned block, SAB) 在刻蚀孔场板时起阻挡作用,

避免在漏极有源区形成低阻的金属硅化物, 减少因接触孔收缩导致的电阻激增问题. CFP 刻蚀工艺与接触孔刻蚀工艺相兼容, 不需要额外的掩模或工艺修改.

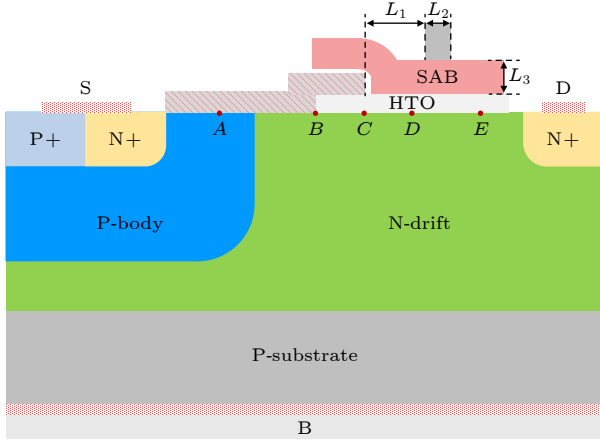


图 9 CFP LDMOS 器件结构

Fig. 9. CFP LDMOS structure.

CFP 结构通过调制漂移区表面电场提升耐压, 图 12 展示了不同孔场板位置下漂移区表面电场分布. 当 CFP 靠近栅场板末端时, CFP 引入的电场峰值与栅场板末端电场峰值重合, 对表面电场的调制作用较小; 随着 CFP 远离栅场板末端, CFP 会在栅场板末端与漏极之间引入一个新的电场峰值, 抬高电场, 有利于增大 BV; 当 CFP 逐渐靠近漏端时会引入明显的电场尖峰, 容易提前击穿. 因此随着 CFP 与栅末端距离的增大, 器件 BV 先上升后下降, 仿真得到不同孔场板位置下的 BV 与 $R_{on, sp}$ 如图 13 所示. 由于 CFP 与器件的源极相连, 器件开启时是零电位, CFP 对器件漂移区表面载流子浓度影响较小, $R_{on, sp}$ 几乎不受影响, 综合仿真结果, CFP 与栅场板末端间距 $L_1 = 0.3 \mu m$ 时器件性能最优.

CFP 的宽度同样影响漂移区表面电场, 图 14 展示了不同场板宽度 (L_2) 下漂移区表面电场分布,

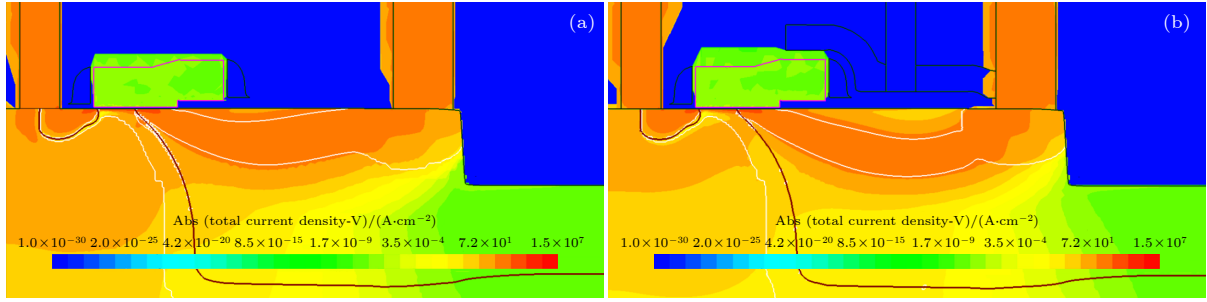


图 10 模拟 $V_{gs} = 1.2 \text{ V}$, $V_{ds} = 20 \text{ V}$ 时, (a) 常规 LDMOS 和 (b) CFP LDMOS 的漂移区电流密度分布

Fig. 10. Simulated current density distribution at $V_{gs} = 1.2 \text{ V}$, $V_{ds} = 20 \text{ V}$ of (a) conventional LDMOS and (b) CFP LDMOS.

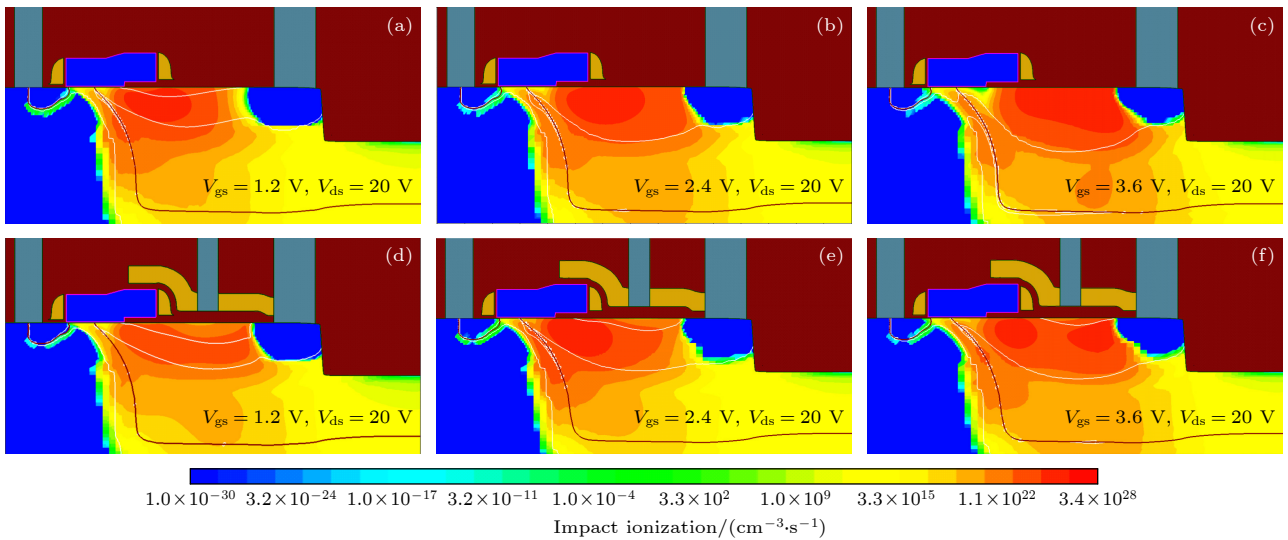


图 11 模拟 (a)–(c) 常规 LDMOS 和 (d)–(f) CFP LDMOS 的二维碰撞电离 (a), (d) $V_{gs} = 1.2 \text{ V}$; (b), (e) $V_{gs} = 2.4 \text{ V}$; (c), (f) $V_{gs} = 3.6 \text{ V}$

Fig. 11. Simulated 2D impact ionization rate distribution of (a)–(c) conventional LDMOS and (d)–(f) CFP LDMOS: (a), (d) $V_{gs} = 1.2 \text{ V}$; (b), (e) $V_{gs} = 2.4 \text{ V}$; (c), (f) $V_{gs} = 3.6 \text{ V}$.

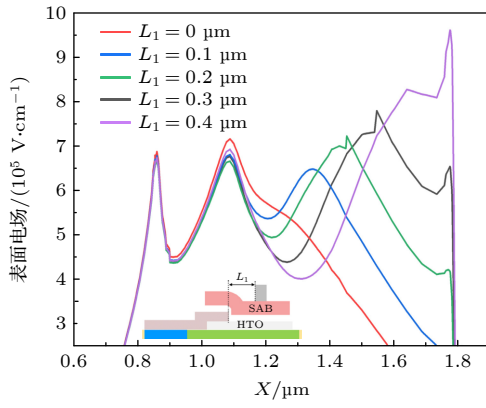


图 12 不同孔场板位置下漂移区表面电场分布图

Fig. 12. Simulated surface electric field distribution in the drift region under different CFP positions.

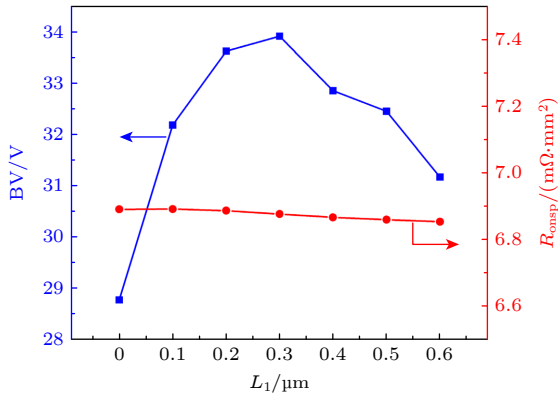


图 13 不同孔场板位置下击穿电压和比导通电阻变化曲线
Fig. 13. Simulated BV and $R_{on,sp}$ under different CFP positions.

当 CFP 较窄时, 场板对漂移区表面电场较小; 随着宽度增大, 漂移区电场分布更均匀; 宽度增大到使场板靠近漏极时, 会引入明显的电场尖峰, 容易提前击穿. 因此随着 CFP 宽度的增大, 器件 BV 先上升后下降, 仿真得到不同场板宽度下的 BV 与 $R_{on,sp}$ 如图 15 所示, $L_2 = 0.15 \mu\text{m}$ 时漂移区电场分布较为均匀, BV 在 34 V 左右, 器件性能最优. CFP 下方的 SAB 层厚度需要兼顾电场调制与工艺可靠性, 过薄会导致电场集中易发生击穿, 过厚则会超出工艺平台的台阶覆盖能力, 使侧壁介质变薄增加漏电风险. 基于工艺平台约束, 本文 SAB 层厚度 L_3 取 $0.13 \mu\text{m}$.

不同位置的缺陷对器件电学特性的影响能力不同, 在器件 Si/SiO₂ 界面写入类受主缺陷 (捕获电子) 和类施主缺陷 (捕获空穴), 将每个位置的缺陷范围长度设置为 $0.1 \mu\text{m}$ 以控制变量. 图 16 展示了 Si/SiO₂ 界面处 5 个点在电荷密度从 -1×10^9 — $1 \times 10^9 \text{ cm}^{-2}$ 范围内变化时 $R_{on,sp}$ 退化率的仿真结

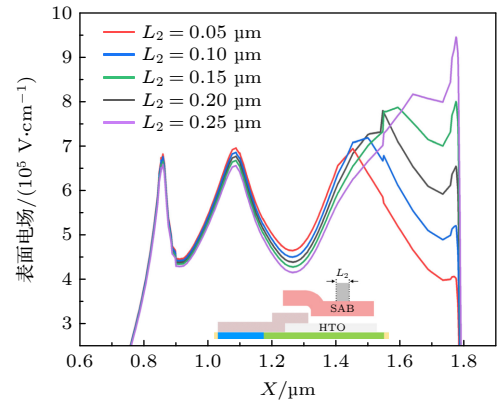


图 14 不同孔场板宽度下漂移区表面电场分布图

Fig. 14. Simulated surface electric field distribution in the drift region under different CFP widths.

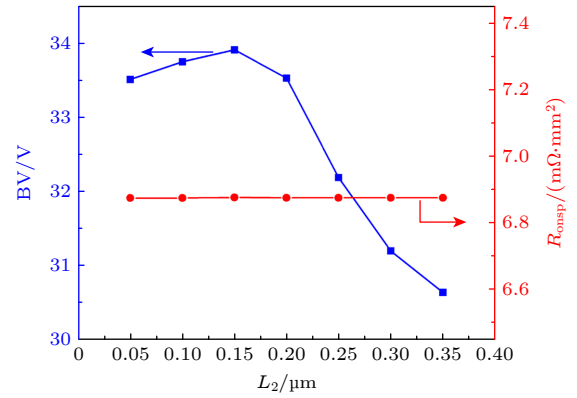


图 15 不同孔场板宽度下击穿电压和比导通电阻变化曲线
Fig. 15. Simulated BV and $R_{on,sp}$ under different CFP widths.

果, 负电荷密度和正电荷密度分别对应于陷阱捕获电子和空穴. 仿真得到在热点 A, C 点附近 $0.1 \mu\text{m}$ 范围内吸收 $1 \times 10^9 \text{ cm}^{-2}$ 剂量的电子时常规 LDMOS 在 100000 s 后 $R_{on,sp}$ 分别增大 11.1% 和 14.6%, 而 CFP LDMOS 增大 3.9% 和 3.0%, 即分别降低了 64.9% 和 79.4%, 展现出了更好的 HCI 可靠性.

表 1 展示了测试得到的常规 LDMOS 与 CFP LDMOS 参数, CFP LDMOS 的 FOM (figure of merit, $\text{FOM} = \text{BV}^2 / R_{on,sp}$) 值约为常规结构的 1.6 倍, 实测的特性曲线对比如图 17 所示, CFP 结构实现了 BV 和 $R_{on,sp}$ 的良好折中, 匹配 20 V 应用场景的设计要求. 图 18 展示了实验条件 $V_{ds} = 20 \text{ V}$, $V_{gs} = 3.6 \text{ V}$, 应力时间 10000 s 后 I_{dlin} 的退化情况. CFP 结构的 I_{dlin} 退化约 2.77%, 与常规 LDMOS 退化约 7.32% 相比, CFP 结构的退化率降低了 62.2%, 实验结果与仿真结论一致, CFP 结构表现出了更好的 HCI 可靠性.

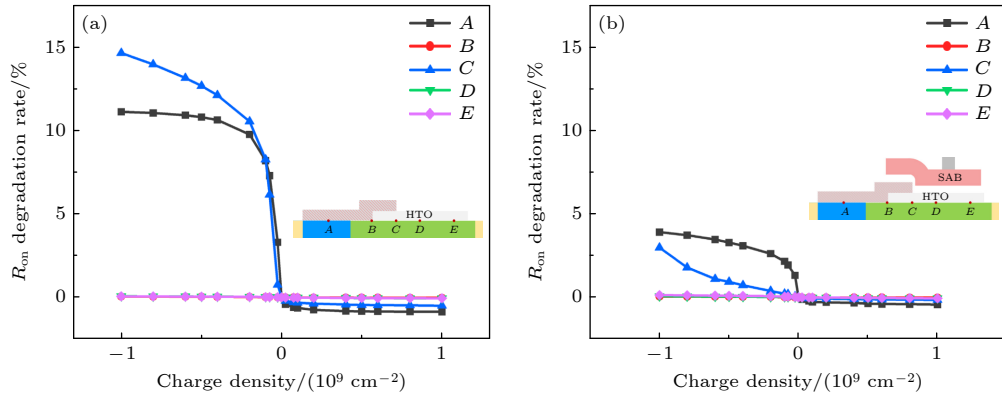


图 16 模拟 Si/SiO₂ 界面各点处不同密度缺陷引起的 $R_{on,sp}$ 变化量 (a) 常规 LDMOS; (b) CFP LDMOS

Fig. 16. Simulated $R_{on,sp}$ degradation at different locations related to different trap doping densities along the Si/SiO₂ interface: (a) Conventional LDMOS; (b) CFP LDMOS.

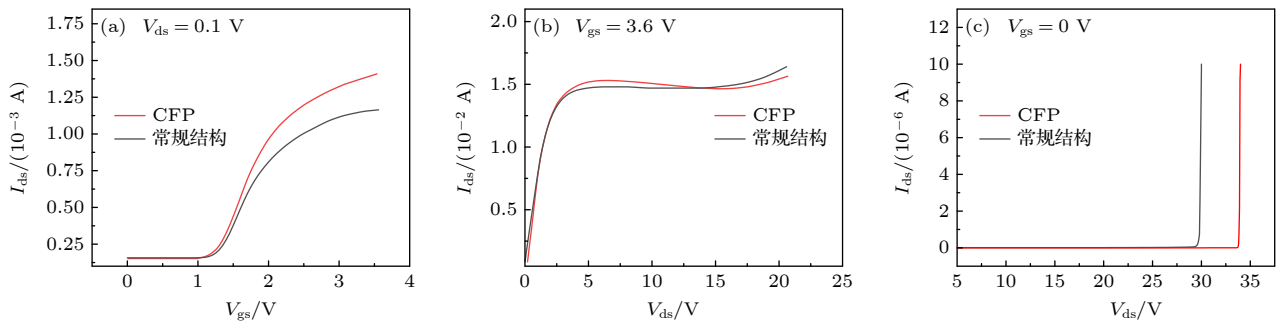


图 17 实测常规 LDMOS 和 CFP LDMOS 器件性能对比 (a) 转移特性; (b) 输出特性; (c) 击穿特性

Fig. 17. Measured characteristics comparison between conventional LDMOS and CFP LDMOS: (a) Transfer characteristics; (b) output characteristics; (c) breakdown characteristics.

表 1 实测常规 20 V LDMOS 与 CFP LDMOS 的 V_{th} , $R_{on,sp}$, BV, FOM 比较

Table 1. Measured performance comparison of V_{th} , $R_{on,sp}$, BV, and FOM between conventional 20 V LDMOS and CFP LDMOS.

	V_{th}/V	$R_{on,sp}/(m\Omega \cdot mm^2)$	BV/V	FOM/(MW · mm ⁻²)
Conventional LDMOS	1.29	8.6	30	0.105
CFP LDMOS	1.16	6.9	34	0.168

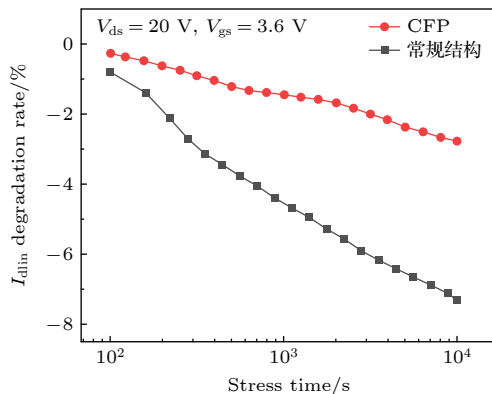


图 18 实测常规 LDMOS 和 CFP LDMOS 在 $V_{ds} = 20$ V 和 $V_{gs} = 3.6$ V 时的 I_{dlin} 随时间退化测试曲线

Fig. 18. Measured time dependent I_{dlin} degradation curves obtained from conventional LDMOS and CFP LDMOS at $V_{ds} = 20$ V and $V_{gs} = 3.6$ V.

4 结 论

本文研究了 20 V 硅基 LDMOS 在热载流子注入效应下的退化机理, 不同应力条件下热载流子退化机制不同: 低 V_{gs} 下, 场氧化层中的热空穴注入和栅氧化层中的热电子注入共同导致退化; 高 V_{gs} 下, 热空穴的影响明显减弱. 随着应力时间延长, 热载流子注入逐渐饱和, 界面态增多成为退化的主要因素. 仿真得到在热点 A, C 点附近 $0.1 \mu m$ 范围内吸收 $1 \times 10^9 cm^{-2}$ 剂量的电子后, CFP 结构在 100000 s 应力后的 $R_{on,sp}$ 退化率相较于常规 LDMOS 分别降低了 64.9% 和 79.4%. CFP LDMOS 在 10000 s 后 I_{dlin} 退化量较常规结构降低 62.2%,

BV 为 34 V, $R_{\text{on, sp}}$ 为 $6.9 \text{ m}\Omega \cdot \text{mm}^2$, FOM 值约为常规结构的 1.6 倍. 不仅实现了 BV 和 $R_{\text{on, sp}}$ 的良好折中, 而且展现出了更好的 HCI 可靠性. CFP 结构与 $0.18 \mu\text{m}$ BCD 工艺兼容, 无需额外掩膜, 可拓展至更高电压等级的 LDMOS 设计中.

参考文献

- [1] Li M, Koo J M, Purakh R V 2015 *IEEE International Conference on Electron Devices and Solid-State Circuits (EDSSC)* Singapore, June 1–4, 2015 p820
- [2] Zunarelli L, Rotorato S, Gnani E, Reggiani S, Sankaralingam R, Dissegna M, Boselli G 2025 *Microelectron. Reliab.* **168** 115664
- [3] Ye R, Bian J J, Luo H, Kang Q, Liu S Y, Zhang L, Sun W F, Lu L, Xu C Q, Xu P L, Lin F 2025 *IEEE Trans. Electron Devices* **72** 577
- [4] Cimino S, Singh J, Johnson J B, Zheng W, Chen Y, Liu W, Srinivasan P, Gonzales O, Hauser M, Koskinen M, Nagahiro K, Liu Y, Min B, Nigam T, Saquib N 2022 *IEEE International Reliability Physics Symposium (IRPS)* Dallas, TX, USA, March 27–31, 2022 p57
- [5] Chen W Z, Pjencak J, Agam M, Janssens J, Jerome R, Menon S, Griswold M 2021 *33rd International Symposium on Power Semiconductor Devices and ICs* Nagoya, Japan, May 30–June 3, 2021 p287
- [6] Hébert F, Parvarandeh P, Li M, Zhang G W, Li P C, Mo K J 2021 *33rd International Symposium on Power Semiconductor Devices and ICs* Nagoya, Japan, May 30–June 3, 2021 p11
- [7] Pjencak J, Janssens J, Agam M, Seliga L, Chen W Z 2020 *32nd International Symposium on Power Semiconductor Devices and ICs* Vienna, Austria, September 13–18, 2020 p400
- [8] Chen S Y, Liao B, Dong J C, Wang T, Wang S L, Yang H Y, Peng Y W, Huang S C, Gan J Y 2022 *IEEE Trans. Electron Devices* **69** 878
- [9] Lu L, Ma S L, Xiao J Y, Lin F, Chen S X, Shao H, Zhang S, Xiao K, Dai Y X, Zhu Z H, Ma J, Wei J X, Zhang L, Liu S Y, Sun W F 2023 *35th International Symposium on Power Semiconductor Devices and ICs* Hong Kong, China, May 28–June 1, 2023 p266
- [10] Song Y X, Cai H, Gao D W, Xu K 2025 *Microelectron. Eng.* **300** 112377
- [11] Spessot A, Parvais B, Rawat A, Miyaguchi K, Weckx P, Jang D, Ryckaert J 2020 *IEEE BiCMOS and Compound Semiconductor Integrated Circuits and Technology Symposium (BCICTS)* Monterey, CA, USA, November 16–19, 2020 p1
- [12] Ren H X, Hao Y, Xu D G 2000 *Acta Phys. Sin.* **49** 1241 (in Chinese) [任红霞, 郝跃, 许冬岗 2000 物理学报 **49** 1241]
- [13] Ma G, Sun H, Tang L, Yang Y, Shi X, Lee B, Liao M, Yu T 2018 *China Semiconductor Technology International Conference* Shanghai, China, March 11–12, 2018 p1
- [14] Liu S Y, Sun W F, Qian Q S, Wei J X, Fang J, Li T, Zhang C, Shi L X 2018 *IEEE Trans. Device Mater. Reliab.* **18** 298
- [15] Zheng Z Q, Qiao M, Liu W L, Long X R, Xu P L, Ma C X, Lin F, Zhang B 2023 *35th International Symposium on Power Semiconductor Devices and ICs*, Hong Kong, China, May 28–June 1, 2023 p258
- [16] You H L, Lan J C, Fan J P, Jia X Z, Zha W 2012 *Acta Phys. Sin.* **61** 108501 (in Chinese) [游海龙, 蓝建春, 范菊平, 贾新章, 查薇 2012 物理学报 **61** 108501]
- [17] Lei X Y, Liu H X, Zhang Y, Ma X H, Hao Y 2014 *Chin. Phys. B* **23** 057305
- [18] Wu H, Sun W F, Yi Y, Li H, Shi L 2008 *26th International Conference on Microelectronics*, Nis, Serbia, May 11–14, 2008 p595
- [19] Morillon D, Pribat C, Julien F, Cherault N, Goy J, Gourhant O, Ogier J L, Masson P, Ghezzi G, Kempf T, Delalleau J, Villaret A, Grenier J C, Niel S 2017 *IEEE International Integrated Reliability Workshop*, South Lake Tahoe, CA, USA, October 8–12, 2017 p1
- [20] Moens P, Mertens J, Bauwens F, Joris P, De Ceuninck W, Tack M 2007 *45th IEEE International Reliability Physics Symposium Proceedings*, Phoenix, AZ, USA, April 15–19, 2007 p492
- [21] Zhang R J 2014 *Nanoscale Integrated Circuits-The Manufacturing Process* (2nd Ed.) (Beijing: Tsinghua University Press) p385 (in Chinese) [张汝京 2014 纳米集成电路制造工艺 (第2版) (北京: 清华大学出版社) 第385页]
- [22] Moens P, Vandenbosch G, Groeseneken G 2004 *IEEE Trans. Electron Devices* **51** 623
- [23] Brisbin D, Lindorfer P, Chaparala P 2006 *IEEE International Reliability Physics Symposium Proceedings*, San Jose, CA, USA, March 26–30, 2006 p329
- [24] Cho K, Ko S, Machida F, Kim J, Jang J, Kwon U, Lee K H, Park Y 2015 *IEEE 27th International Symposium on Power Semiconductor Devices & IC's*, Hong Kong, China, May 10–14, 2015 p69
- [25] Saha D, Varghese D, Mahapatra S 2006 *IEEE Electron Device Lett.* **27** 188
- [26] Jiang L J 2007 *Ph. D. Dissertation* (Orlando: University of Central Florida)
- [27] Sun W F, Zhang C W, Liu S Y, Shi L X, Su W, Zhang A J, Wang S R, Ma S L 2015 *IEEE Trans. Device Mater. Reliab.* **15** 458
- [28] Liu S Y, Li S, Li Z C, Sun W F, Su W, Ma S L, Lin F, Liu Y W, Sun G P 2017 *IEEE Trans. Device Mater. Reliab.* **17** 780
- [29] Xia C, Cheng X H, Wang Z J, Cao D, Jia T T, Yu Y H, Shen D S 2013 *IEEE Trans. Electron Devices* **60** 1279
- [30] Prigann S, Feil M W, Reisinger H, Bissinger J, Strasser M, Waltl M, Schlipf J, Kaya T, Bartholomäus L, Gustin W, Basler T 2024 *36th International Symposium on Power Semiconductor Devices and ICs*, Bremen, Germany, June 2–6, 2024 p394
- [31] Varghese D, Kufluoglu H, Reddy V, Shichijo H, Mosher D, Krishnan S, Alam M A 2007 *IEEE Trans. Electron Devices* **54** 2669
- [32] Reggiani S, Barone G, Poli S, Gnani E, Gnudi A, Baccarani G, Chuang M Y, Tian W, Wise R 2013 *IEEE Trans. Electron Devices* **60** 691
- [33] Chen J F, Lee J R, Wu K M, Huang T Y, Liu C M, Hsu S L 2007 *IEEE Electron Device Lett.* **28** 1033
- [34] Hung W C, Tu Y F, Chang T C, Tai M C, Chen K H, Jin F Y, Yeh C H, Hung W C, Chang C H, Kuo H M, Lien C H 2023 *IEEE Trans. Electron Devices* **70** 3419

Hot-carrier degradation mechanism and optimization design of low-voltage N-channel lateral double-diffused metal-oxide-semiconductor field-effect transistors^{*}

ZOU Mingyang QIAO Ming[†] ZHANG Bo

(The State Key Laboratory of Electronic Thin Films and Integrated Devices, University of Electronic Science and Technology of China, Chengdu 611731, China)

(Received 22 January 2026; revised manuscript received 27 March 2026)

Abstract

In this work, the hot carrier injection (HCI) induced degradation mechanism of a 20 V silicon-based Lateral double-diffused metal-oxide-semiconductor field-effect transistor (LDMOS) is investigated. A contact field plate (CFP) structure compatible with the 0.18 μm BCD process is proposed to suppress HCI and enhance the device's HCI reliability. The CFP is positioned atop the drift region to suppress surface electric field spikes, avoid hot electron and hot hole injection into the oxide layer caused by localized high impact ionization, and effectively mitigate the degradation of device electrical parameters. For the proposed low-voltage device, wafer-level HCI degradation tests are performed. Hot carrier injection in the channel region causes charge accumulation in the gate oxide, leading to a positive shift in V_{th} . Experimental results show that V_{th} increases under all stress conditions, and the V_{th} shift becomes more significant at higher V_{gs} . Meanwhile, I_{dlin} decreases gradually; notably, I_{dlin} exhibits a slight positive shift at the initial stress stage under low V_{gs} , followed by a continuous reduction. Sentaurus TCAD is used to analyze the electric field and impact ionization rate, investigate the HCI degradation mechanism, optimize the CFP structure parameters, and verify the performance advantages. Based on experimental data, the hot-carrier degradation mechanism differs under different stress conditions. At low V_{gs} , degradation is dominated by both hot hole injection into the field oxide and hot electron injection into the gate oxide. At high V_{gs} , the influence of hot holes is significantly weakened. With increasing stress time, hot carrier injection gradually saturates, and the generation of interface states (N_{it}) becomes the main cause of device degradation. In this work, trap charges are introduced at the Si/SiO₂ interface in the TCAD simulation to investigate the electrical characteristics of the device before and after hot carrier injection. After optimizing the CFP structure, simulations show that the specific on-resistance ($R_{\text{on,sp}}$) degradation rate at hot spots of A and C (within a 0.1 μm range, subjected to an injected electron charge of $1 \times 10^9 \text{ cm}^{-2}$ for 100000 s) is reduced by 64.9% and 79.4%, respectively, compared with the conventional LDMOS. The CFP structure assists the drift region in achieving full depletion, enabling a higher drift region doping concentration while meeting the target breakdown voltage requirement. In terms of fabrication, the CFP etch process is fully compatible with the standard contact etch process in the 0.18 μm BCD platform, requiring no additional masks or process modifications. Tape-out test results demonstrate that the I_{dlin} degradation of the CFP LDMOS after 10000 s of stress is reduced by 62.2% relative to the conventional structure, with a breakdown voltage (BV) of 34 V and a $R_{\text{on,sp}}$ of 6.9 $\text{m}\Omega \cdot \text{mm}^2$. The figure of merit (FOM) of the proposed device is approximately 1.6 times that of the conventional structure, demonstrating an excellent trade-off between BV and $R_{\text{on,sp}}$ alongside superior HCI reliability.

Keywords: hot-carrier injection, lateral double-diffused metal-oxide-semiconductor field-effect transistor, threshold voltage degradation, interface states

DOI: [10.7498/aps.75.20260115](https://doi.org/10.7498/aps.75.20260115)

CSTR: [32037.14.aps.75.20260115](https://cstr.cn/32037.14.aps.75.20260115)

^{*} Project supported by the National Natural Science Foundation of China (Grant No. 62174024) .

[†] Corresponding author. E-mail: qiaoming@uestc.edu.cn

低压N型横向双扩散金属氧化物半导体场效应管的热载流子退化机理与优化设计

邹明洋 乔明 张波

Hot-carrier degradation mechanism and optimization design of low-voltage N-channel lateral double-diffused metal-oxide-semiconductor field-effect transistors

ZOU Mingyang QIAO Ming ZHANG Bo

引用信息 Citation: *Acta Physica Sinica*, 75, 150708 (2026) DOI: 10.7498/aps.75.20260115

CSTR: 32037.14.aps.75.20260115

在线阅读 View online: <https://doi.org/10.7498/aps.75.20260115>

当期内容 View table of contents: <http://wulixb.iphy.ac.cn>

您可能感兴趣的其他文章

Articles you may be interested in

不同栅压下Si-n型金属氧化物半导体场效应管总剂量效应的瞬态特性仿真

Transient characteristics simulation of total ionizing dose effect on Si n-metal-oxide-semiconductor field effect transistor under different gate voltage

物理学报. 2023, 72(13): 138501 <https://doi.org/10.7498/aps.72.20230207>

双沟槽SiC 金属-氧化物-半导体型场效应管重离子单粒子效应

Heavy ion single event effect in double-trench SiC metal-oxide-semiconductor field-effect transistors

物理学报. 2024, 73(2): 026103 <https://doi.org/10.7498/aps.73.20231440>

超薄屏蔽层300 V SOI LDMOS抗电离辐射总剂量仿真研究

Simulation study on radiation hardness for total ionizing dose effect of ultra-thin shielding layer 300 V SOI LDMOS

物理学报. 2022, 71(10): 107301 <https://doi.org/10.7498/aps.71.20220041>

10 nm金属氧化物半导体场效应晶体管中的热噪声特性分析

Analysis of thermal noise characteristics in 10 nm metal oxide semiconductor field effect transistor

物理学报. 2023, 72(22): 227303 <https://doi.org/10.7498/aps.72.20230661>

具有超低比导通电阻的双漂移区双导通路径新型横向双扩散金属氧化物半导体

A novel LDMOS with dual-drift region and dual-conduction path with ultra-low specific on-resistance

物理学报. 2025, 74(8): 087301 <https://doi.org/10.7498/aps.74.20241554>

功率金属-氧化物半导体场效应晶体管静电放电栅源电容解析模型的建立

Establishment of analytical model for electrostatic discharge gate-to-source capacitance of power metal-oxide-semiconductor field-effect transistor

物理学报. 2024, 73(11): 118501 <https://doi.org/10.7498/aps.73.20240144>