

专题: 半导体物理与器件

宽禁带半导体复合衬底研究进展*

臧嘉琪¹⁾²⁾ 王鑫华^{1)†} 邢湘杰¹⁾²⁾ 雷依培¹⁾²⁾ 邓可心¹⁾ 蒋文静¹⁾
岑立昭¹⁾ 孙兵¹⁾ 常虎东¹⁾ 魏珂¹⁾ 黄森¹⁾²⁾
刘福超³⁾ 母凤文³⁾ 刘新宇¹⁾

1) (中国科学院微电子研究所, 高频高压器件与集成中心, 北京 100029)

2) (中国科学院大学, 北京 100049)

3) (青禾晶元半导体科技有限责任公司, 天津 300451)

(2026 年 4 月 17 日收到; 2026 年 5 月 27 日收到修改稿)

随着宽禁带半导体器件向高功率密度、高频、高压、高温及高可靠性方向持续发展, 传统单一材料衬底在导热性、导电性、制造成本及大尺寸制备等方面难以同时满足新一代器件应用需求, 复合衬底由此成为提升器件性能的重要解决方案. 复合衬底通过薄膜转移、异质集成与界面重构等手段, 将高质量功能层与具备特定支撑功能的衬底材料进行复合, 从而实现热学性能、电学性能以及工艺兼容的协同优化. 本文围绕复合衬底这一主题, 系统综述了其制备技术路线与关键技术难点, 重点分析了高质量功能薄膜剥离、表面活化键合以及转移后表面高精度平坦化等核心环节. 在此基础上, 分别总结了 SiC/SiC 复合衬底、AlN 陶瓷复合衬底及 SiC/Diamond 复合衬底的典型结构、关键制备方法、界面特性及器件应用研究进展. 最后, 本文对复合衬底在大尺寸均匀制备、界面调控、长期可靠性等面临的挑战进行了总结, 并对其未来发展方向进行了展望.

关键词: 复合衬底, 键合, 异质集成, 宽禁带半导体

DOI: 10.7498/aps.75.20260540

CSTR: 32037.14.aps.75.20260540

1 引言

宽禁带半导体材料以其卓越的物理化学特性, 成为支撑新一代电力电子、射频通信、光电子等领域技术突破的重要基础. 其中, 碳化硅 (SiC) 凭借宽禁带、高热导率以及高击穿电场, 在新能源汽车逆变器、智能电网功率模块等高温高压场景中展现出显著优势^[1,2]; 氮化镓 (GaN) 的禁带宽度达 3.4 eV, 兼具高电子迁移率与饱和漂移速度, 是 5G 基站射频器件、微波功率放大器的理想材料^[3,4], 此

外, 氮化铝 (AlN)、金刚石等材料也凭借超宽禁带特性, 在电网级高压器件、极端环境传感器等场景中崭露头角. 这些材料的应用场景正朝着更高功率密度、更高工作温度、更低能耗的方向演进, 例如新能源汽车充电桩要求功率器件在缩短充电时间的同时降低能耗, 智能电网需要电力电子器件实现高效电能传输与分配, 航空航天电子设备则需在强辐射、宽温域环境下保持稳定工作, 而器件性能的持续提升对衬底提出了多维度的严苛要求, 不仅需要具备优异的导热性、绝缘性、机械稳定性, 还需兼顾低成本、大尺寸、可规模化制备等产业需求^[5,6].

* 国家自然科学基金 (批准号: 62427814, U2530203, 62074161, 62504246)、国家高层次青年拔尖人才支持计划、中国博士后科学基金 (批准号: 2025M780552)、中国科学院微电子研究所-香港科技大学微电子联合实验室 (批准号: JLFS/E-601/24)、北京氮化物宽禁带半导体材料与器件重点实验室、中国科学院微电子研究所青苗计划和中国科学院大学资助的课题.

† 通信作者. E-mail: wangxinhua@ime.ac.cn

随着宽禁带半导体器件对高功率、高频率、高散热及大尺寸制造能力需求的不断提升,复合衬底逐渐成为实现多材料性能协同与工程化应用的重要支撑. 如图 1 所示,复合衬底的发展经历了由硅基绝缘集成向宽禁带半导体复合化、工程化和产业化演进的过程: 早期以蓝宝石上硅 (silicon-on-sapphire, SOS)、直接覆铜 (direct bonded copper, DBC) 以及绝缘体上硅 (silicon-on-insulator, SOI) 衬底为代表, 主要满足绝缘隔离和功能集成需求. 在 20 世纪 80 年代, Cu-Mo/W, Al/SiC, SiC/SiC 等复合衬底进一步面向热膨胀匹配、结构支撑和热管理应用发展. 进入 20 世纪 90 年代后, Smart Cut™-SOI, SiCOI 以及 SOI 规模产业化推动了复合衬底制备工艺的成熟. 近年来, POI, QST, AlN/SiC, SmartSiC™, SiC/Diamond 以及 3C-SiC/4H-SiC 等新型复合衬底不断涌现, 并逐步进入量产和产业化推进阶段. 这一发展脉络表明, 复合衬底已由早期功能集成平台逐渐转变为支撑宽禁带半导体器件性能提升和产业化应用的重要基础材料体系.

在这一技术发展背景下, 对于 SiC, GaN, AlN 和金刚石等宽禁带或超宽禁带材料而言, 单一材料衬底已难以满足这种多性能协同的需求: SiC 衬底虽导热性优异, 但制备成本高昂且大尺寸单晶生长难度大^[1]; GaN 多依赖异质外延生长, 衬底与外延层的性能匹配矛盾突出^[4,5], 因此开发兼具多元功

能的工程化复合衬底, 成为突破宽禁带半导体器件性能上限的关键路径. 异质集成是实现衬底功能多元化的核心思路, 其本质是将不同特性的材料通过特定工艺复合, 实现“1+1>2”的性能协同, 但传统异质集成主要依赖的外延生长技术存在难以克服的根本性缺陷——不同材料间的晶格常数与热膨胀系数失配会引发严重的界面应力问题. 外延生长对材料体系的兼容性要求极高, 许多具有优异特性的异质组合无法通过直接外延实现, 极大地限制了衬底功能的拓展空间^[5,6].

为了解决外延生长的固有局限, 低温键合技术因其无需高温过程、材料兼容性广的特点, 成为异质集成的理想替代方案, 其可在避免材料热损伤的前提下, 实现不同体系材料的紧密结合, 有效保留各组分的本征性能, 目前主流的常温/低温键合技术包括亲水性键合、阳极键合、金属键合及表面活化键合 4 类^[5,7].

1) 亲水性键合是通过化学处理使材料表面形成羟基 (—OH), 利用羟基间的氢键作用实现室温下的初步结合, 后续经退火处理使氢键转化为共价键以增强键合强度. 该技术工艺简单、成本较低, 在硅基微机电系统 (MEMS) 和绝缘体上硅 (SOI) 衬底制备等领域具有广泛应用. 例如, SOI 衬底制备中的 Smart Cut™ 工艺即结合了亲水直接键合与离子注入层转移技术, 通过键合供体硅片与支撑衬底实现高质量 SOI 材料的规模化制造, 已成为 SOI

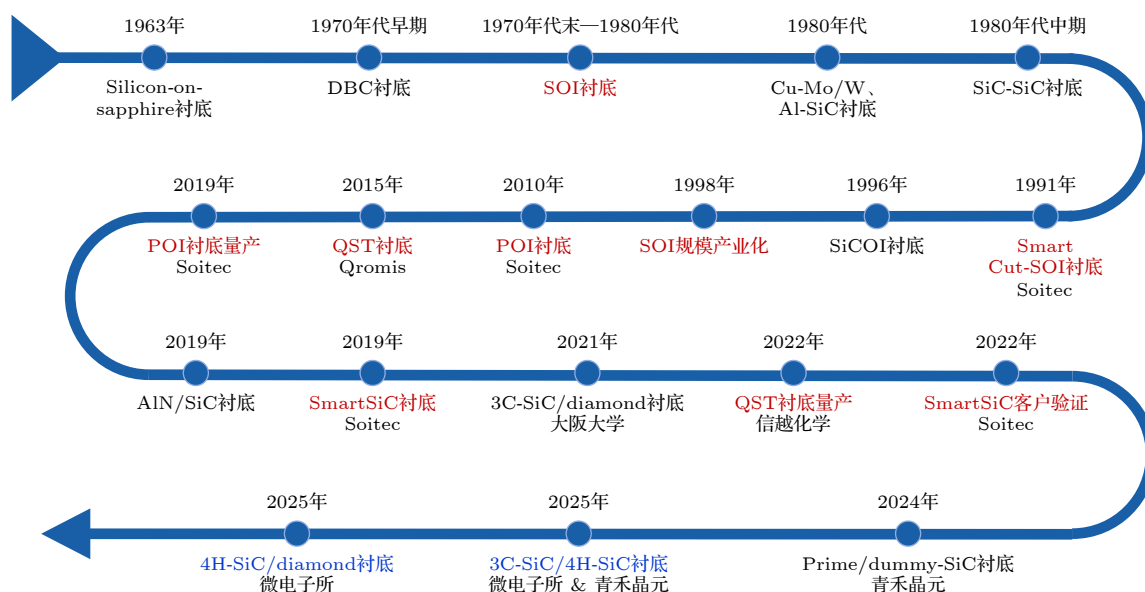


图 1 复合衬底发展历程

Fig. 1. Development history of composite substrates.

产业化的代表性技术路线. 但亲水性键合的键合强度相对较低, 且界面易形成氧化层或吸附水汽, 导致热导率、电绝缘性等关键性能下降, 难以满足某些宽禁带半导体和超硬材料与器件在高温、高压工况下的应用要求^[8]. 2) 阳极键合主要用于玻璃与金属或半导体的连接, 其原理是在低温 (300—500 °C) 和高压电场作用下, 玻璃中的钠离子迁移形成耗尽层, 通过静电引力与化学键合的协同作用实现界面接合, 该技术虽键合强度高、密封性好, 适用于需要绝缘封装的器件场景, 但适用材料体系狭窄, 仅能实现特定玻璃与硅、金属的键合, 通常难以直接适用于 SiC、GaN、氧化镓等宽禁带半导体材料, 且高温高压过程会导致材料产生热应力与电损伤, 难以满足功率器件对衬底电阻率一致性的要求^[7,9]. 金属键合则通过在待键合表面沉积金属层 (如 Au, Al, Cu), 利用金属原子的扩散作用实现界面连接, 常见工艺包括热压键合、超声键合等, 其优点是键合强度高、工艺成熟, 在射频器件封装、三维集成电路 (3D IC) 中应用广泛, 但金属中间层会引入额外的接触电阻和热阻, 削弱 SiC、金刚石等材料的高导热优势, 影响器件散热效率, 且金属层的扩散会导致界面元素互混, 形成金属化合物杂质相, 破坏半导体材料的晶格完整性, 同时键合过程通常需要施加较大压力或高温, 易导致脆性宽禁带半导体材料产生裂纹, 降低衬底成品率^[10,11].

与前 3 种键合技术相比, 表面活化键合 (surface activation bonding, SAB) 作为新一代低温键合技术, 通过等离子体、离子束或紫外照射等方式对材料表面进行活化处理, 打破表面原子的化学键, 形成高活性的悬挂键或自由基, 在室温下即可实现原子级别的紧密结合, 在异质材料集成中展现出显著优势^[12,13]. 此外 SAB 工艺灵活性高, 可通过调控活化参数 (如离子束能量、等离子体类型) 优化界面性能, 适配散热衬底、低成本衬底、高阻衬底等不同功能需求, 为工程化复合衬底的定制化制备提供可能^[6,12].

复合衬底的应用领域已覆盖宽禁带半导体器件的核心场景: 在功率电子领域, SiC/SiC, SOI 复合衬底可用于新能源汽车逆变器、智能电网换流阀, 实现更高功率密度与更低能耗; 在射频通信领域, GaN/AlN 陶瓷、GaN/Diamond 衬底^[14,15]、QST 衬底可提升 5G 基站功率放大器的输出功率与效率; 在极端环境电子领域, SOI, SOS 复合衬底

适用于航空航天、核工业等强辐射、高温环境下的传感器与功率模块. 本文以宽禁带半导体复合衬底为主线, 围绕薄膜转移、表面活化键合、界面调控及转移后表面平坦化等关键技术, 系统梳理复合衬底的主要制备路线与技术难点. 重点总结表面活化键合技术在异质材料低温集成中的作用机制、工艺优化方法及界面调控策略, 并进一步分析其在复合衬底制备中的应用进展. 第 3—5 节将结合不同材料体系, 讨论典型复合衬底的结构设计、键合工艺、界面特性及器件应用等内容, 并总结当前技术在大尺寸均匀制备、界面物性调控和长期可靠性等方面面临的挑战, 展望宽禁带半导体复合衬底未来的发展方向, 为高性能宽禁带半导体器件的工程化应用提供参考.

2 复合衬底制备技术路线与技术难点

复合衬底的制备是宽禁带半导体异质集成的核心环节, 其核心目标是实现“高质量功能层转移-异质界面稳定键合-转移层高精度平坦化”的全流程优化, 最终获得兼具多元功能与优异性能的复合衬底. 对于薄膜转移型复合衬底而言, 主流技术路线以“功能层剥离-表面活化键合-转移层高精度平坦化”为核心逻辑: 首先通过特定剥离技术从原始衬底上获取厚度均匀、结构完整的宽禁带半导体功能薄膜 (如 SiC、GaN、氧化镓); 随后采用表面活化键合技术将功能薄膜与目标衬底 (如 Si、金刚石、AlN) 实现低温紧密结合; 最后通过高精度抛光技术消除剥离过程引入的表面缺陷, 使功能层表面粗糙度与平整度满足器件外延或制备要求. 该技术路线需突破多环节关键瓶颈, 其中高质量薄膜的完整均匀剥离、高强度高温稳定的键合界面构建、剥离后薄膜的高精度平坦化处理是制约复合衬底性能与产业化应用的三大核心难点.

2.1 高质量功能薄膜的完整均匀剥离技术挑战

功能薄膜的剥离质量直接决定复合衬底的核心性能, 其关键要求是获得厚度均匀、无裂纹、晶格完整性好的宽禁带半导体薄膜, 且剥离过程不对薄膜的电学、热学特性造成损伤^[16–18]. 仅依赖外延生长或直接薄膜沉积虽然能够获得目标材料层, 但往往难以同时兼顾材料质量、厚度可控性、成本以

及异质集成需求. 尤其对于宽禁带半导体材料, 受晶格失配、热膨胀系数差异、生长温度高及大尺寸高质量晶体来源受限等因素影响, 单纯依靠薄膜生长难以从根本上获得高质量功能薄膜.

近年来, 基于腐蚀剥离的薄膜制备与转移方法受到关注, 如电化学剥离、有机腐蚀辅助剥离或范德瓦耳斯剥离等技术路线. 这类方法通常通过在特定界面或牺牲层处引入选择性腐蚀, 使功能薄膜与衬底分离, 从而获得可转移的薄膜层. 与直接生长相比, 该类方法在降低材料损耗、实现薄膜转移以及保留原始晶体质量方面具有一定优势, 尤其适用于部分层状结构或存在可选择性去除中间层的材料体系. 然而, 电化学或化学腐蚀方法对腐蚀界面的选择性、反应速率以及应力释放行为高度敏感, 仍然难以稳定获得大面积、厚度均匀且无损伤的宽禁带半导体薄膜. 一方面, 腐蚀过程容易受局部反应不均、界面粗糙度波动及缺陷富集影响, 导致薄膜厚度起伏、边缘破损甚至局部开裂; 另一方面, 对于 SiC、氧化镓等硬脆材料, 剥离过程中应力集中更加显著, 极易诱发碎裂或表面损伤, 从而影响后续键合质量与器件性能. 因此, 这类方法在实验室尺度具有一定可行性, 但在大尺寸、高一致性和高成品率制备方面仍面临明显瓶颈.

相比之下, Smart Cut™ 技术通过离子注入形成剥离层、键合辅助分离的方式实现薄膜转移, 已成为目前主流的薄膜剥离方案, 但其在宽禁带半导体材料中的应用仍面临多重挑战^[19]. 首先, 宽禁带半导体材料的化学键能高、晶体结构致密, 离子注入过程中易产生大量晶格缺陷^[17,18]. 注入离子的能量、剂量与注入温度需精准匹配, 否则会导致剥离层分布不均, 引发薄膜厚度波动, 或因缺陷过度累积造成薄膜开裂、碎裂. 其次, 离子注入后的退火激活过程需严格控制温度与升温速率, 宽禁带半导体的热稳定性虽优, 但过高温度仍可能导致注入层

与基体的结合力异常, 或引发薄膜表面氧化、组分偏离, 影响后续键合效果与器件性能^[20,21]. 此外, 针对大尺寸晶圆 (6 英寸及以上 (1 英寸 = 2.54 cm)) 的剥离, 离子注入的均匀性控制难度显著增加, 边缘区域易出现剥离不完全或薄膜破损, 导致成品率下降, 这也是制约 Smart Cut™ 技术规模化应用的关键因素^[22]. 同时, 对于氧化镓 (Ga_2O_3) 等脆性极强的宽禁带半导体, 剥离过程中的机械应力控制更为严苛, 轻微的外力作用即可能引发薄膜碎裂, 进一步提升了技术难度^[18].

2.2 高强度、高温稳定的表面活化键合技术挑战

表面活化键合是一种能够在室温或低温条件下实现材料之间直接键合的技术, 其基本原理是在真空或超高真空环境中, 利用离子束、快原子束等手段去除材料表面的天然氧化层和吸附污染物, 使表面形成高活性悬挂键, 随后在较低外加压力下实现两片晶圆表面的直接接触与原子级结合, 具体工艺流程如图 2 所示^[12,23]. 相较于传统的高温熔融键合、阳极键合等键合工艺, SAB 具有热预算低、界面层薄、适用于热膨胀失配材料以及温度敏感器件集成等优势, 因此在三维集成、MEMS 封装、异质材料集成、功率器件、光电子器件及先进封装领域受到广泛关注^[24-26].

然而, 在 SAB 技术的核心活化环节中, Ar 等离子体轰击对晶圆表面化学键的具体作用机制 (如键断裂路径、结合能演变规律) 及悬挂键的生成效率、分布特征等关键问题仍不明确. 传统研究中, 晶圆经键合设备活化后需转移至 XPS 表征设备进行测试, 在此过程中, 活化后的高活性表面不可避免地会与空气接触, 吸附水汽、碳氢杂质或重新生成薄氧化层, 导致表征结果无法真实反映键合瞬间的表面化学态, 给机理分析带来显著误差. 为分析 Ar

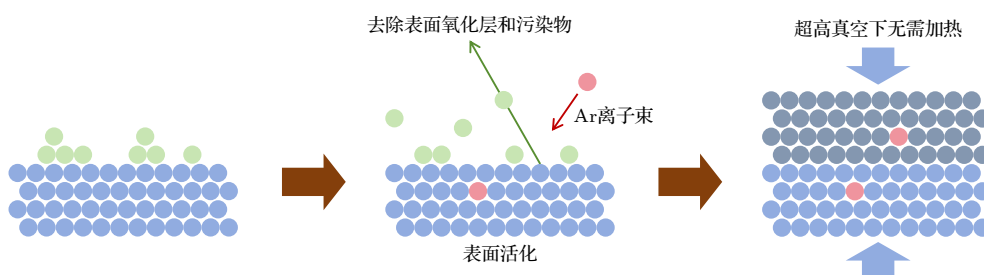


图 2 标准表面活化键合工艺原理示意图

Fig. 2. Schematic diagram of the standard surface activation bonding process principle.

等离子体活化对晶圆表面的影响, 本团队开展了 XPS 真空下原位 Ar 等离子体轰击实验: 在 10^{-5} Pa 的高真空环境下, 采用与实际键合设备相近功率条件的 Ar 等离子体对 SiC 晶圆进行表面活化, 活化后无需转移样品, 直接在同一真空腔体内完成 XPS 全谱与特征峰细扫测试. 该方案有效避免了外部环境 (空气、杂质) 对高活性表面的干扰, 使化学键态与元素组成的表征结果更具科学性与准确性, 为活化参数优化提供工艺窗口和依据.

测试结果表明, Ar 等离子体轰击对 SiC 晶圆表面天然氧化层的去除效果显著: 未处理样品的 O 1s 原子占比高达 19.12%, 经不同功率 Ar 等离子体处理后, O 元素占比均急剧降至 3% 以下, 且随轰击功率提升呈现逐步降低趋势, 证实了高能离子物理溅射对氧化层的高效剥离作用. 更重要的是, 图 3 所示的 XPS 特征峰拟合分析显示, Ar 处理有效去除表面天然氧化层: 未处理 SiC 样品 (图 3(a)) 的 Si 2p 谱可拟合为两个特征峰, 即结合能 100.63 eV 处对应 SiC 本征的 Si—C 键, 结合能 102.38 eV 处对应表面天然氧化层的 Si—O 键, 证实未处理 SiC 表面存在明显的氧化污染. 经 Ar⁺等离子体活化后 (图 3(b)), Si—O 键特征峰完全消失, 谱图仅保留 Si—C 键单峰, 表明 Ar⁺的高能物理溅射作用可有效去除 SiC 表面的天然氧化层与污染物, 获得高洁净的 SiC 本征表面, 为后续表面活化键合提供了无氧化层阻碍的界面基础. Ar 处理导致表面化学键态的演变与悬挂键生成, 对比活化前后 Si—C 键的结合能: 新鲜样品 Si—C 键结合能为 100.63 eV, 活化后 Si—C 键结合能偏移至 101.72 eV, 发生显著的高结合能方向偏移. 该偏移源于 Ar⁺轰击对

SiC 表面 Si—C 共价键的打断: 高能离子轰击使表层 Si—C 键断裂, 生成大量带正电的 Si 悬挂键; Si 原子因失去成键电子, 核外电子云屏蔽效应减弱, 核心电子结合能升高, 最终表现为 Si—C 特征峰向高结合能方向移动. 这一结果表明 Ar⁺等离子体活化可有效提升 SiC 表面悬挂键密度, 显著增强表面化学反应活性, 为低温下实现高强度共价键合提供了核心驱动力.

对于金属材料和部分半导体材料而言, 标准表面活化键合通常能够取得较好的效果. 这是因为金属在去除氧化层后, 表面原子容易通过电子重排形成新的金属键, 而部分共价半导体材料在活化后也能够形成较多悬挂键, 从而实现直接成键^[12,23]. 然而, 对于玻璃、氧化物、氮化物、碳化物等材料, 标准 SAB 的适用性明显下降^[27]. 其主要原因在于, 这类材料表面化学稳定性高, 表面键型饱和度高, 简单去除污染物和氧化层并不能显著提升其成键能力. 同时, 异质材料之间还经常存在表面能差异大、晶格结构差异明显等问题, 导致两片晶圆表面即使经过活化, 也难以在室温下快速形成连续、牢固且稳定的界面结合.

为了解决上述问题, 改进型表面活化键合技术逐渐发展起来. 与传统 SAB 技术主要关注表面污染去除和活性位点产生不同, 改进型 SAB 技术更强调界面的可设计性, 即通过调控界面区域的化学组成、原子排列和过渡层结构, 降低成键势垒, 提高界面的稳定性和可键合性. 在改进型 SAB 工艺中, 首先同样对晶圆表面进行常规清洗和 Ar 离子束活化, 以去除原生氧化物和污染物. 随后, 在活化步骤之后、晶圆贴合之前, 利用腔体内溅射源在

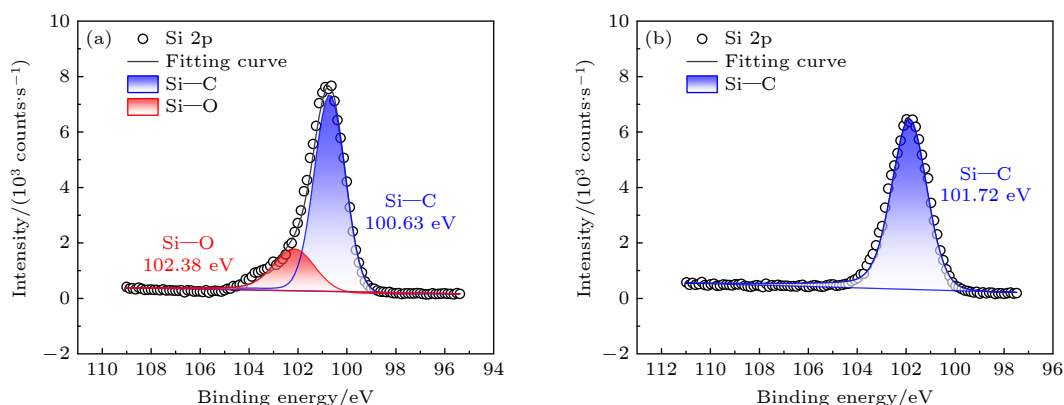


图 3 Ar⁺处理前后 Si 2p XPS 细扫图谱 (a) 处理前; (b) 处理后

Fig. 3. Si 2p XPS spectra before and after Ar⁺ treatment: (a) Before treatment; (b) after treatment.

两片晶圆的活化表面原位沉积一层极薄的纳米中间层. 这一中间层可以是导电性优异的金属、合金、硅化物或其他功能性材料, 其厚度、均匀性和成分均可精确调控^[28-30]. 紧接着, 两片沉积纳米层的晶圆在超高真空环境中完成贴合. 这层纳米级薄膜起到了多重关键作用: 其一, 可隔绝残余气体吸附, 抑制活化表面在贴合前发生二次氧化或污染; 其二, 可在外加压力下发生一定塑性变形, 更好地贴合表面微观起伏, 并缓冲 Ar 离子轰击造成的亚表层损伤^[26,31]; 其三, 可作为理想的键合介质, 在贴合后通过界面原子扩散与成键形成牢固的冶金结合^[32]. 通过中间层材料的合理选择 (如纳米 Si 或 Fe), 还可在后续低温热处理中进一步转化为导电性良好的硅化物或其他导电相, 从而在抑制绝缘氧化层形成的同时, 实现较低的界面电阻和热阻^[32].

总体而言, SAB 技术为复合衬底制备和异质集成提供了一条低温、高兼容性的技术路径, 能够有效避免高温工艺带来的热损伤和应力累积. 然而, 要进一步获得高强度、低缺陷且物性稳定的高质量键合界面, 仅依赖表面活化和直接键合仍存在一定局限. 特别是在材料体系差异较大的异质集成中, 界面粗糙度、晶格常数不匹配等因素, 均可能对键合质量和器件性能产生不利影响. 因此, 通过在功能薄膜与支撑衬底之间引入功能中间层, 对界面结构、应力分布及物理性能进行协同调控, 已成为提升复合衬底界面质量的重要研究方向.

2.3 基于功能中间层的界面特性调控技术挑战

在复合衬底制备过程中, 功能薄膜与支撑衬底之间通常存在晶格常数、热膨胀系数、弹性模量和热导率等方面的差异. 若采用直接键合技术, 界面处容易出现键合强度不足、热失配应力集中、元素互扩散以及电学、热学或声学性能退化等问题. 为了提升复合衬底界面质量, 研究人员提出在功能薄膜与目标衬底之间引入中间层, 通过中间层对界面结构、应力分布和物理性能进行协同调控. 中间层既可以作为键合黏附层, 也可以作为应力缓冲层、扩散阻挡层等, 是实现高质量异质集成的重要技术手段.

首先, 中间层能够改善异质材料界面的表面化学活性, 提高低温甚至室温下的键合能力. 对于表面化学活性较低、难以直接形成高密度活性基团的异质材料体系, 直接键合往往面临界面键合强度

低、键合率不足以及界面空洞等问题. 已有亲水晶圆键合研究表明^[33], 键合界面的初始结合通常与表面羟基、吸附水层以及氢键作用有关, 而后续退火过程中, 界面羟基可进一步发生脱水缩合反应, 形成更稳定的 Si—O—Si 等共价键结构. 因此, 提高键合表面的羟基密度、表面能和反应活性, 是增强界面键合强度和稳定性的关键途径.

基于上述机理, 在功能薄膜与支撑衬底之间引入氧化物、氮化物、非晶硅、金属或其他介质中间层, 可以有效调控异质界面化学状态和键合活性. 以 Al₂O₃ 中间层为例, Sahoo 等^[34] 研究指出, ALD 制备的 Al₂O₃ 薄膜具有较高的羟基密度和良好的厚度可控性, 可作为异质材料低温键合的中间层, 从而降低键合过程对材料本身表面化学性质的依赖. Takakura 等^[35] 利用 ALD-Al₂O₃ 薄膜在室温下实现了 Si—Si 的高质量键合, 透射电子显微镜结果显示 Al₂O₃ 薄膜可作为纳米级黏附层, 在 SiO₂/Si 晶圆之间形成致密的键合界面. 相关研究进一步说明^[34], Al₂O₃ 中间层有助于在不同材料体系之间构建相对统一的键合界面, 使键合机制更多地由中间层表面化学状态决定, 而非完全受限于功能薄膜或支撑衬底的表面活性.

除 Al₂O₃ 外, SiO₂ 也是复合衬底制备中常用的界面调控中间层. Wang 等^[36] 对 SiO₂ 中间层辅助硅片直接键合展开了研究, 结果表明, SiO₂ 层的制备方式、厚度和表面粗糙度会显著影响键合强度. 较低的表面粗糙度有利于增大材料间的接触面积, 促进界面形成更强的化学键合. Takeuchi 等^[37] 提出通过聚硅氮烷在界面处转化形成 SiO₂ 的方法, 在室温条件下实现 Si—Si 晶圆键合, 获得高于 5 J/m² 的键合强度, 同时界面未观察到明显空洞. 上述结果表明, 氧化物中间层不仅能够提高界面的反应活性, 还可以改善界面连续性和致密性, 为低温直接键合提供有利条件.

除氧化物中间层外, 非晶 Si 或 Si 富集型超薄层也被证明能够提高介质界面的反应活性. He 等^[38] 采用 Si 的 Ar 束对晶圆表面进行活化, 在低温条件下实现了 Cu—Cu, SiO₂—SiO₂ 和 SiO₂—SiN_x 的晶圆级键合. 相关研究表明, 含 Si 的 Ar 束轰击可使 SiO₂ 表面形成 Si 富集层, 产生更多 Si 悬挂键与 Si—Si 键, 增加了可反应 Si 位点, 使其更易吸附 OH 基团, 并促进低温退火过程中 Si—OH 脱水缩合形成 Si—O—Si 共价键, 从而提高 SiO₂—

SiO₂ 以及 SiO₂-SiN_x 等界面的键合强度.

Utsumi 等^[39]报道了利用 Si 超薄薄膜在室温条件下实现了 SiO₂-SiO₂ 高质量键合. 研究指出对于 SiO₂, SiN 等绝缘材料, 使用 SAB 技术实现键合较为困难, 而引入 Si 超薄层后可显著改善界面键合能力. 该团队后续 Cu/SiO₂ 混合键合研究也表明^[40], Si 超薄层可用于金属/介质混合界面的室温键合, 且 SEM/TEM 观察显示键合界面未出现明显空洞或间隙. Mu 等^[41]在 SiC-SiO₂ 体系中也发现, 在 SiO₂ 表面引入 Si 纳米中间层能够明显提高界面键合强度和键合率. 上述研究结果说明, 对于化学活性不足或材料晶格常数差异较大的异质界面, 可以通过引入中间层来增加可反应键合位点, 改善界面连续性和致密性, 从而提高低温甚至室温键合质量.

其次, 引入界面功能中间层能够有效缓解异质材料之间的热膨胀失配和弹性失配, 是提升复合衬底力学稳定性的重要手段. 复合衬底在键合退火、薄膜剥离、外延生长及后续器件制程中通常会经历温度变化. 由于功能薄膜与支撑衬底在热膨胀系数、弹性模量及厚度比例等方面存在差异, 升降温过程中容易在界面附近产生残余应力积累. 若该应力无法得到有效释放, 可能进一步诱发晶圆翘曲、薄膜开裂、界面解键合等问题. 因此, 在异质集成中引入具有适当弹性模量、热膨胀系数的界面中间层, 可在功能薄膜与支撑衬底之间形成应力过渡区域, 降低界面应力集中, 并提高复合衬底在后续加工过程中的可靠性.

以 LNOI/Si 异质晶圆为例, Takigawa 等^[42]指出, LN 薄膜中的残余应力主要来源于多层结构热膨胀系数差异. 通过在 LN 与 Si 衬底之间引入 SiO₂ 中间层, 并采用低温表面活化键合工艺制备 LN/SiO₂/Si 结构, 可在降低热预算的同时获得足以承受后续减薄工艺的键合强度. 该结果说明, 界面中间层不仅能够提供绝缘隔离和键合界面, 还可以作为热-力学缓冲层, 有效减小由 LN 与 Si 之间热膨胀失配引起的应力积累. 类似地, 在氧化物或纳米中间层辅助键合的异质集成体系中, 中间层可通过弹性形变、界面黏附增强和热膨胀过渡等机制释放或分散残余应力, 从而降低薄膜开裂和界面解键合风险.

然而, 中间层的引入也会带来新的技术挑战. 一方面, 中间层材料需要同时满足键合兼容性、热

稳定性、化学稳定性和功能性能要求, 其材料选择和工艺窗口较窄; 另一方面, 中间层厚度、致密性、均匀性、缺陷密度和残余应力会直接影响界面质量. 中间层的物相与物性存在多物理量耦合调控的问题. 中间层过薄, 可能无法有效发挥应力缓冲、扩散阻挡作用; 中间层过厚, 可能增大热阻、电阻、介质损耗、光学吸收或声学损耗等, 削弱功能薄膜与支撑衬底之间的有效耦合. 已有 SiO₂ 界面层研究表明^[36], SiO₂ 厚度和表面粗糙度会显著影响键合强度. Jia 等^[43]在 SiN_x 中间层辅助 GaN/Diamond 键合研究中也表明, SiN_x 中间层虽然缓解了 GaN 与 Diamond 的晶格失配, 但其低热导率会增大热阻; LNOI 和 SAW 复合衬底研究则表明^[44,45], 中间层残余应力和厚度会影响晶圆翘曲、声学传播和器件稳定性. 因此, 需要对中间层材料体系、沉积方法、厚度控制、表面粗糙度、退火工艺进行协同优化, 为高质量复合衬底的规模化制备提供支撑.

2.4 剥离后薄膜的高精度抛光技术挑战

宽禁带半导体薄膜经 Smart CutTM 技术剥离后, 表面会残留剥离过程引入的粗糙度、微裂纹、晶格畸变等缺陷^[46], 无法直接满足器件外延或制备要求, 需通过高精度抛光技术将表面粗糙度降低至亚纳米级 (理想值 $Ra < 0.5$ nm), 同时保证薄膜厚度均匀性与晶格完整性^[18,47]. 在宽禁带半导体表面精密加工领域, 化学机械抛光 (chemical mechanical polishing, CMP) 目前仍是实现外延级表面的经典技术路线之一. 通过化学反应软化表层并结合磨料的机械去除作用, CMP 能够显著降低表面粗糙度与亚表层损伤, 使 Si, SiC 等材料达到满足后续外延生长和器件制备要求的高平整度状态. 因此, 对于体 SiC 衬底而言, CMP 在降低表面损伤、改善表面形貌和提升外延质量方面具有明显优势, 是当前 SiC 晶片加工中的关键工艺之一.

然而, 对于经 Smart CutTM 等薄膜转移工艺获得的超薄 SiC 功能层, CMP 的局限性也十分突出. 其一, SiC、金刚石材料莫氏硬度高、化学稳定性强, 抛光过程中材料去除速率较低, 工艺窗口窄, 容易出现去除不均和局部损伤; 其二, CMP 本质上属于接触式去除方法, 虽然可以获得较低表面粗糙度, 但对转移薄膜的厚度和均匀性进行精确控制较为困难, 尤其当功能层厚度已降低至亚微米级甚至更薄时, 过抛或局部厚度波动都可能直接影响器

件设计与热管理性能. 因此, CMP 更适合较厚衬底或预留足够加工余量的材料表面处理, 而不完全适用于对厚度保持要求极高的超薄转移层.

团簇离子束技术 (gas cluster ion beam, GCIB) 作为新一代高精度抛光技术, 凭借低损伤、高平整性的优势成为该领域的核心选择^[48-50]. GCIB 是一种重要的低损伤表面加工与表面改性技术, 其基本思想是将数百至数千个原子或分子凝聚形成团簇, 并在电离后作为整体加速轰击材料表面^[48,51]. 与传统单原子离子束相比, GCIB 在保持较高总束流能量的同时, 可将入射团簇的总能量分散到大量原子上, 使单个原子的平均能量显著降低, 因此能够在材料表面产生高能量密度但浅层、低损伤的作用效果^[51,52]. 因此, GCIB 技术在超光滑表面制备、表面清洗、低损伤刻蚀等方面表现出明显优势.

从作用机理分析, 团簇离子束入射到材料表面后, 会在极短时间和极小空间范围内发生多体协同碰撞, 与单离子逐级传递能量的过程不同, GCIB 更容易在表层形成局部高温、高压和高密度碰撞区, 从而引发表面原子的协同溅射、重排与局部流动^[53]. 由于组成团簇的单个原子平均能量较低, 团簇离子束的作用深度通常局限于材料近表层, 因此可以有效降低深层注入损伤和晶格位移损伤^[51,52]. 这一特征使 GCIB 特别适用于对表面粗糙度、表层缺陷和界面状态要求较高的半导体、光学和精密功能材料加工.

GCIB 技术一般包括团簇生成、电离、加速、质量筛选与束流轰击等几个基本过程, 其典型装置原理如图 4 所示^[48]. 首先, 将 Ar 等气体在高压条件下

经喷嘴绝热膨胀形成中性团簇; 随后通过电子轰击等方式使其中一部分团簇带电, 并在电场中加速形成团簇离子束; 最后利用该束流对样品表面进行轰击处理. 通过调节团簇种类、团簇尺寸、加速电压、入射角和束流剂量等参数, 可以实现对表面溅射去除、平滑修饰、浅层注入和表面化学改性的精确调控^[48,50].

随着技术的发展, GCIB 已从早期的表面平滑加工逐步扩展到半导体表面修饰、精密刻蚀、薄膜处理及复合材料加工等多个方向. 对于半导体材料而言, 团簇离子束技术的优势主要体现在低损伤和高表面质量两方面. 一方面, 由于其作用深度浅、损伤层薄, GCIB 可用于 Si, SiC 及其他半导体表面的污染去除、氧化层调控和表面平坦化处理; 另一方面, 其协同溅射效应有利于在较低损伤条件下实现纳米级表面整形, 因此在先进器件制造、超薄层加工及高质量界面制备中具有较高应用价值^[47,53].

不过, 团簇离子束技术也存在一定局限. 其设备系统相对复杂, 对材料表面初始洁净度、束流稳定性、团簇尺寸分布和真空条件要求较高; 同时, 不同材料对团簇轰击的响应差异明显, 工艺窗口需要针对具体材料体系进行优化. 此外, 在大面积均匀性控制、加工效率和工艺成本方面, GCIB 仍需进一步改进^[50]. 尽管如此, 随着先进半导体制造对低损伤表面处理需求的持续提升, 团簇离子束技术仍被认为是超精密表面工程与新型器件制造中的重要候选方法之一.

复合衬底的制备不是单一键合工艺的优化问题, 而是薄膜转移、界面重构与表面平坦化等工艺

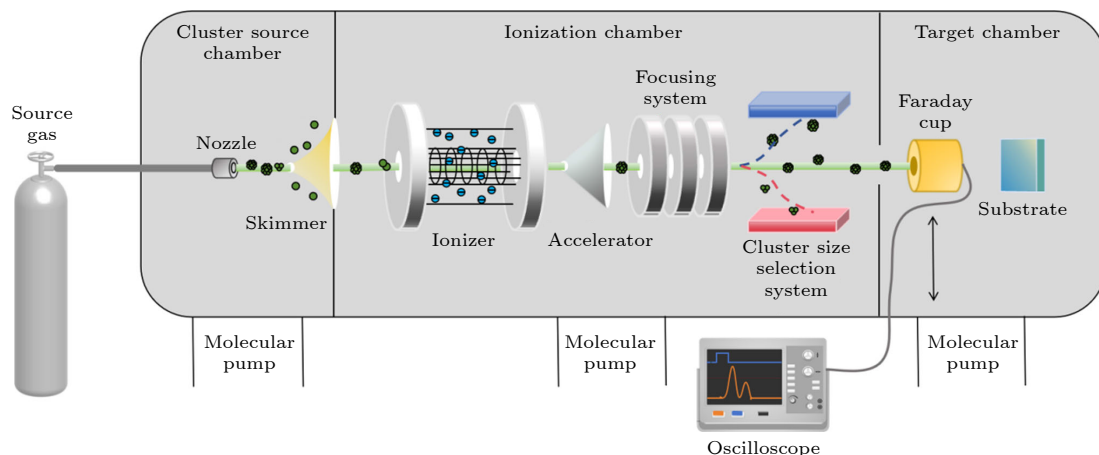


图 4 气体团簇离子束装置示意图^[48]

Fig. 4. Schematic diagram of the gas cluster ion beam device^[48].

的协同优化^[54]. 其中, 薄膜剥离决定了转移层的厚度均匀性、初始缺陷分布以及界面损伤深度, 键合决定了异质界面的键合强度以及热流、电流跨界面传输的连续性, 后续表面平坦化处理则决定了功能层能否恢复到外延级表面状态. 因此, 复合衬底质量不能仅以是否完成键合来判断, 而应评估剥离损伤深度、界面非晶层厚度、界面热边界电阻以及转移后表面粗糙度等指标.

为了进一步比较不同制备方案在上述关键环节中的适用性, 表 1 总结了薄膜剥离、晶圆键合以及表面平坦化等关键环节的典型技术路线, 并对其主要优势、局限性方面进行了归纳整理.

由表 1 可见, 不同工艺路线在薄膜质量、界面性能、工艺兼容性和规模化成本方面各有侧重. Smart Cut™ 适合高精度晶圆级薄膜转移, 但需要严格控制离子注入损伤和剥离应力; 化学剥离工艺相对简单、成本较低, 但大面积均匀性和可重复性仍受限制. 在键合环节中, 亲水键合、阳极键合和金属键合各自适用于特定材料体系和应用场景, 而表面活化键合因其低热预算和异质材料兼容性, 在宽禁带半导体复合衬底中更具应用潜力, 但对表面粗糙度、洁净度和界面活性要求较高, 部分难直接键合体系仍需借助纳米中间层或改进型 SAB 工艺. 对于转移后的功能层, CMP 适合成熟的晶圆级平坦化处理, 而 GCIB 更适用于超薄转移层的低损伤精密修整. 总体而言, 复合衬底制备应围绕“高质量剥离-稳定界面键合-低损伤平坦化”进行全流程协同优化, 而不是孤立地评价某一项工艺的优劣.

3 SiC/SiC 复合衬底的制备和研究现状

SiC/SiC 复合衬底通常指在支撑衬底与功能层均采用 SiC 体系, 但两者在晶体形态、电阻率、厚度或制备方式上不同的一类复合衬底. 主要包括单晶 4H-SiC 薄层+多晶 SiC 衬底结构、prime 级 SiC 薄层+dummy 级 SiC 衬底结构以及 4H-SiC+3C-SiC 衬底结构.

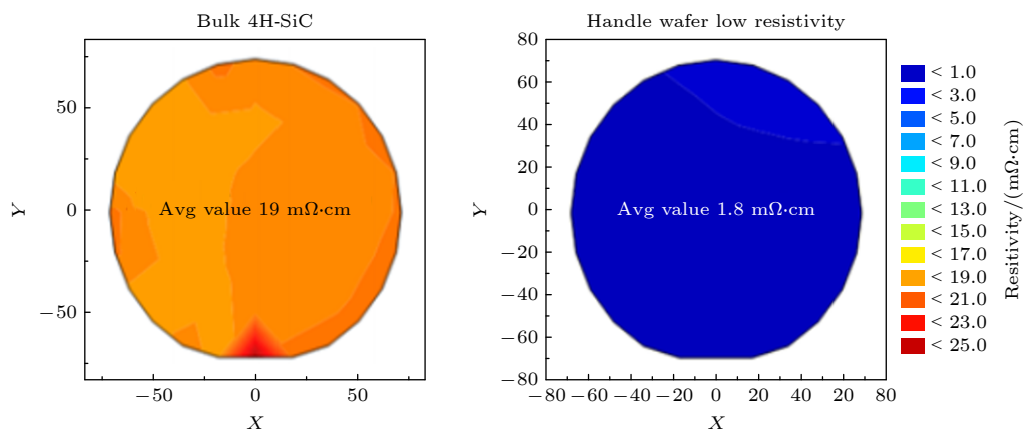
3.1 单晶 4H-SiC 薄层/多晶 SiC 衬底结构

单晶 4H-SiC 薄层与多晶 SiC 支撑衬底构成的复合衬底, 是近年来 SiC 复合衬底研究中最具产业化特征的一条路线^[55,56]. 其基本思路是保留器件所需的高质量单晶 4H-SiC 表层, 同时引入厚的、超低电阻率的多晶 SiC 作为机械支撑和导电支撑层, 从而兼顾单晶 4H-SiC 的优异器件性能与多晶 SiC 在成本、导电性上的优势^[57,58]. 因此, 该结构不是简单的材料替代, 而是一种兼顾材料利用效率、器件电学性能的复合衬底方案.

这一技术路线最早由法国原子能委员会电子与信息技术实验室 (CEA-Leti) 研发, 并由 Soitec 公司成功实现商业化推广^[55,56]. SOI 材料取得巨大成功之后, 研究者逐渐认识到基于 Smart Cut™ 的薄层转移思想同样可拓展至 SiC 材料体系. Joly 等^[59] 和 Di Cioccio 等^[60] 较早开展了相关探索, 通过大剂量的氢离子或氦离子注入, 并结合亲水性键合技术, 成功将 4H-SiC 和 6H-SiC 不同晶型的单晶碳化硅超薄层剥离并转移至硅或多晶 SiC 支撑

表 1 复合衬底关键制备方案对比
Table 1. Comparison of key preparation schemes for composite substrates.

类型	技术方案	主要优势	主要局限性
薄膜剥离	Smart Cut™	薄膜厚度控制精确, 适合晶圆级转移, 供体衬底可重复利用, 适合大规模生产	工艺复杂, 对界面洁净度、材料热膨胀匹配等要求高
	化学剥离	成本低, 工艺简单, 材料利用率较高	大面积均匀性较差, 材料质量和可控性较低
晶圆键合	亲水键合	工艺成熟, 成本较低	初始键合强度较低, 需退火工艺, 对表面形貌要求较高
	阳极键合	键合强度高, 气密性好, 工艺成熟	适用材料体系窄, 需要电场和较高温度
	金属键合	键合强度高, 导电性好, 工艺兼容性较强	金属层可能引入热阻、电阻和扩散问题; 高温/高压过程易损伤硬脆材料
	标准SAB	热预算低, 界面层薄, 异质材料集成兼容性好	对表面粗糙度和洁净度要求高, 部分氧化物、氮化物、碳化物直接成键困难
	改进型SAB	通过原位纳米中间层提高键合率和键合强度	工艺复杂度提高, 可能引入额外热阻或电阻
表面平坦化	CMP	工艺成熟, 可显著降低表面粗糙度, 适合晶圆级大规模制造	对超薄转移层厚度控制难度大, 可能产生过抛或局部损伤
	GCIB	损伤层浅, 适合低损伤表面修复, 平坦化精度高	设备复杂, 效率较低, 大面积均匀性要求高

图5 体4H-SiC衬底与SmartSiC™复合衬底电阻率对比^[55]Fig. 5. Comparison of resistivity between 4H-SiC substrate and SmartSiC™ composite substrate^[55].

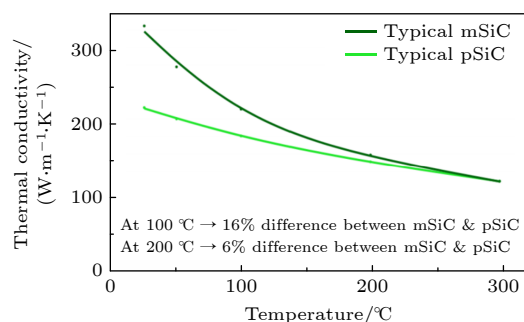
衬底上, 从实验上验证了 SiC 薄膜剥离与转移的可行性, 为后续单晶 4H-SiC 薄层+多晶 SiC 衬底结构的发展奠定了关键技术基础.

近年来 Soitec 公司团队开展了更系统的工艺开发与验证工作. Rouchier 等^[55,56]在相关研究中指出, SmartSiC™ 复合衬底已经由早期概念验证阶段逐步发展为面向 150 mm 和 200 mm 晶圆的工程化平台. 其基本结构通常由厚度约 350—800 nm 的高质量单晶 4H-SiC 薄层与厚度约 350 μm 的多晶 SiC 支撑层组成, 其中支撑层电阻率可控制在 5 $\text{m}\Omega\cdot\text{cm}$ 以下, 平均值达到 1.8 $\text{m}\Omega\cdot\text{cm}$, 如图 5 所示. 这一结果表明, 复合衬底的研究重点不仅是实现薄层转移, 而是进一步转向降低衬底串联电阻、提升器件载流能力以及支撑大尺寸制造等应用需求. 与此同时, 研究还指出, 由于单晶 4H-SiC 供体衬底在薄层转移后具有重复利用潜力, 因此同一晶圆所对应的有效晶圆产出量可显著提高, 从而为降低 SiC 衬底成本提供了新的路径.

为了实现上述工程化目标, 研究者进一步对多晶 SiC 支撑衬底本身的材料特性进行了系统研究. Biard 等^[57]围绕多晶 SiC 的电学、热学和力学行为开展了系统表征, 研究表明, 通过高浓度氮掺杂, 多晶 SiC 支撑衬底的掺杂浓度可超过 $10^{20} \text{ at}/\text{cm}^3$, 体电阻率能够稳定控制在 1.1—2.4 $\text{m}\Omega\cdot\text{cm}$ 范围内. 同时, m-SiC/p-SiC 复合界面的面积比电阻可进一步降低至 3×10^{-6} — $1\times 10^{-5} \Omega\cdot\text{cm}^2$. 上述结果说明, 该结构不仅支撑层本身具备优异的低电阻特性, 而且在界面导电方面 also 具有良好的实现基础.

除电学特性外, 多晶 SiC 支撑层的热学与力学性能也是复合衬底研究中的重要内容. Biard 等^[57]

的研究表明, 虽然多晶 SiC 在室温下的热导率低于传统单晶 4H-SiC, 但随着温度升高, 二者之间的差异逐渐缩小, 在约 200 $^{\circ}\text{C}$ 时其热导率差异已缩小至约 6%, 如图 6 所示. 同时, m-SiC/p-SiC 界面本身也表现出较好的热传导能力, 这说明在高温功率器件工作条件下, 引入多晶 SiC 支撑层并不会显著削弱整体衬底的散热性能. 另一方面, 多晶 SiC 的杨氏模量平均低于单晶 SiC 约 7%, 在实际器件封装中有助于缓解热-机械应力集中, 对芯片互连与模块级可靠性产生积极影响.

图6 采用激光闪光分析(LFA)技术对标准 m-SiC 块体及超低电阻率 p-SiC 进行热导率测量^[57]Fig. 6. Thermal conductivity measurement using laser flash analysis (LFA) technique for standard m-SiC bulk and ultra-low resistivity p-SiC^[57].

材料层面的可行性最终需要通过器件层面的验证来体现其实际意义. 在器件层面, 单晶 4H-SiC 薄层/多晶 SiC 支撑衬底的优势已逐步得到验证, Guiot 等^[56]在 SmartSiC™ 复合衬底与常规单晶 4H-SiC 衬底上同步制备了 650 V SiC MOSFET. 实验结果表明, 采用复合衬底后, 器件的导通电阻 R_{DSon} 平均降低约 24%, 如图 7 所示. 研究者认为,

这一性能提升主要来源于两个方面: 首先, 多晶 SiC 支撑层具有更低的体电阻率, 可显著减小器件纵向导电路径中的衬底电阻贡献; 其次, 高掺杂多晶 SiC 更有利于实现低接触电阻背面欧姆接触, 从而进一步降低总串联电阻. 该结果说明, 复合衬底能够通过优化器件电流传输路径, 提升器件的导电性能.

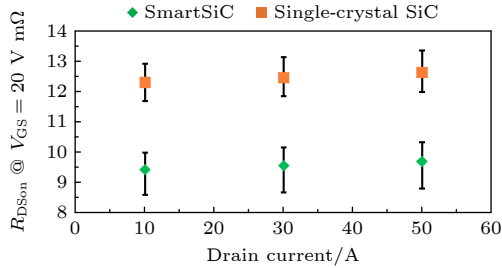


图 7 采用 4H-SiC 和 SmartSiC™ 制造的 13 mOhm/650 V SiC MOSFET 的 R_{on} 比较^[56]

Fig. 7. R_{on} comparison for a 13 mOhm/650 V Gen2 SiC MOSFET manufactured with 4H-SiC and SmartSiC™^[56].

除 MOSFET 外, 该结构在二极管器件上的应用也取得了积极进展. 如图 8 所示, Guiot 等^[56]制备的 1200 V 结势垒肖特基 (JBS) 二极管和混合 PIN 肖特基 (MPS) 二极管实验表明, 在保持反向阻断性能稳定的前提下, 基于复合衬底的 MPS 器件在额定 9 A 电流下, 其正向压降可降低约 12%. 进一步分析表明, 提取得到的动态正向导通电阻改善幅度约为 $0.9 \text{ m}\Omega\cdot\text{cm}^2$, 甚至略高于仅由衬底电阻率差异所预测的结果. 这表明该类复合衬底对器件的改善并非局限于衬底体电阻的降低, 还可能涉及背面接触、电流扩展方式以及整体纵向导电路径的协同优化.

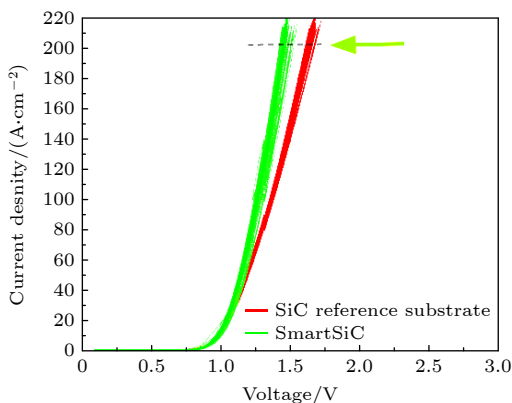


图 8 标准 SiC 和 SmartSiC™ 衬底制备的 $2.5 \text{ mm} \times 2.5 \text{ mm}$, 10 A 额定 MPS 二极管的正向电阻^[56]

Fig. 8. Forward resistance of standard SiC and SmartSiC™ for $2.5 \text{ mm} \times 2.5 \text{ mm}$, 10 A rated MPS diodes^[56].

随着器件性能优势逐渐明确, 相关研究也进一步扩展到了可靠性层面. Guiot 等^[56]在后续工作中指出, Smart Cut™ 工艺中引入的质子注入过程, 除了实现薄层转移外, 还可能对抑制双极退化产生积极影响. 研究人员通过紫外诱导方法比较了常规 4H-SiC 衬底与复合衬底外延层中的 Shockley 堆垛层错扩展行为, 如图 9 所示, 结果发现, 复合衬底中层错数量及其扩展尺寸均明显更低. 结合已有研究可知, 质子注入可能在一定程度上限制位错运动, 而位错运动恰恰是双极退化的重要诱因之一. 因此, 这一结果具有双重意义: 一方面说明复合衬底并未因引入转移与复合界面而削弱材料可靠性; 另一方面也提示, 薄层转移工艺本身可能成为调控位错行为和提升器件鲁棒性的一种附加手段.

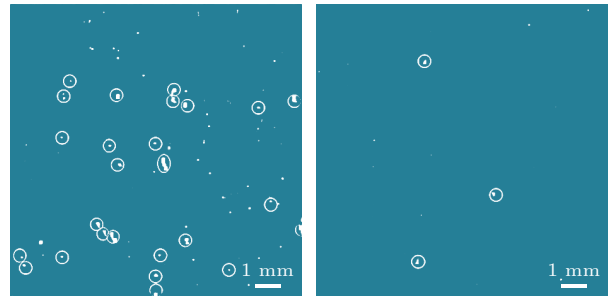


图 9 典型 $10 \text{ mm} \times 10 \text{ mm}$ 观察区域在紫外光照下, 单晶 SiC+10 μm 外延 (左) 与 SiC 复合衬底+外延 (右) 的双极退化严重程度对比^[56]

Fig. 9. Comparison of the severity of bipolar degradation in a typical $10 \text{ mm} \times 10 \text{ mm}$ observation area under ultraviolet light illumination, for single-crystal silicon carbide + 10 μm epitaxial layer (left) and silicon carbide composite substrate + epitaxial layer (right)^[56].

3.2 prime 级 SiC 薄层/dummy 级 SiC 衬底结构

除单晶 4H-SiC 薄层/多晶 SiC 支撑衬底结构外, SiC 复合衬底领域还提出了 prime 级 SiC 薄层/dummy 级 SiC 衬底结构. 该结构的提出主要源于 SiC 衬底制造过程中成本较高的问题. 在晶体生长和晶圆加工过程中, 能够直接用于高性能功率器件制造要求的 prime 级 SiC 衬底比例相对有限, 很多单晶 SiC 晶圆则因翘曲、表面缺陷或局部晶体质量不好被归为 dummy 级材料. 传统工艺中, 这类 dummy 级衬底大多只能作为陪片, 材料价值没有得到充分利用.

为了提高高质量 SiC 材料的利用率并降低衬

底成本, 中国科学院微电子研究所和天津青禾集团 Wang 等^[61]提出了一种基于 150 mm 单晶 SiC 复合衬底方案, 其基本思路是结合表面活化键合与薄层转移工艺, 将 prime 级单晶 SiC 的高质量表层转移到 dummy 级单晶 SiC 衬底上, 从而实现高质量表层与低成本支撑衬底的集成. 与采用多晶 SiC 支撑层的复合衬底相比, 该结构上下两部分均属于单晶 SiC 体系, 因此在热膨胀、热传导等方面更有优势, 既保留了 prime 级 SiC 作为器件表层和外延模板的优势, 又利用 dummy 级 SiC 承担支撑和散热功能, 实现不同等级单晶 SiC 材料的重新利用.

prime 级 SiC 薄层/dummy 级 SiC 复合衬底的制备过程包括离子注入、表面活化键合和薄层转移等步骤. 具体制备流程如图 10 所示, 首先在 prime 级 SiC 中进行 H⁺离子注入, 在约 90 keV, $6 \times 10^{16} \text{ cm}^{-2}$ 条件下形成预分离层. 随后对 prime 级和 dummy 级衬底进行离子束表面活化, 并在真空环境中进行室温键合. 经过约 870 °C 退火后形成剥离界面, 将约 410 nm 厚的单晶 SiC 薄层转移到 dummy 级衬底上. 随后通过 1700 °C 以上高温退火修复键合界面并改善表面质量, 从而获得适用于外延生长的复合衬底.

prime 级 SiC 薄层/dummy 级 SiC 衬底结构不仅能够提高 dummy 级单晶 SiC 的利用率, 同时也能显著提高高质量 SiC 材料的利用率. 研究结果表明, 每片 prime 级 SiC 衬底可重复使用 30 次以上,

即一片高质量单晶 SiC 衬底能够连续提供 30 层以上的单晶薄层. 通过该方法, prime 级 SiC 材料得到循环利用, 而原本难以投入生产的 dummy 级衬底也被转化为有效支撑材料. 如表 2 所列, 归一化数值的成本分析表明, 该方案有望使衬底成本降低约 40%, 显著降低了 SiC 功率器件制造成本, 同时减少 SiC 制造过程的碳排放.

由于功率器件在高压、大电流工作条件下通常伴随显著自热效应, 若键合界面热边界电阻过高, 将削弱 SiC 材料本身的高热导优势. 针对这一问题, Wang 等^[61]通过瞬态热反射测试系统对 prime 级 SiC 薄层与 dummy 级 SiC 衬底之间的界面热阻进行测量. 结果如图 11 所示, 该 SiC/SiC 键合界面的热边界电阻约为 $2.8 \text{ m}^2 \cdot \text{K}/\text{GW}$, 且在 300—750 K 范围内基本保持稳定, 属于已报道 SiC 键合界面中较低水平, 说明该复合界面不会限制器件散热能力.

对于复合衬底而言, 外延质量决定了器件的最终性能和可靠性, Wang 等^[61]在 150 mm 复合衬底上进一步完成了 SiC 外延生长验证, 结果表明其外延层的无致命缺陷良率达到 99.2%, 如图 12(a) 所示. 这说明转移后的 prime 级 SiC 薄层能够作为高质量外延模板使用, 而底部 dummy 级单晶 SiC 支撑衬底对外延层的完整性和均匀性没有明显影响. 因此, 该团队进一步在该复合衬底上完成了 1200 V 平面栅 SiC MOSFET 的制备, 其器件截面结构如图 12(b) 所示.

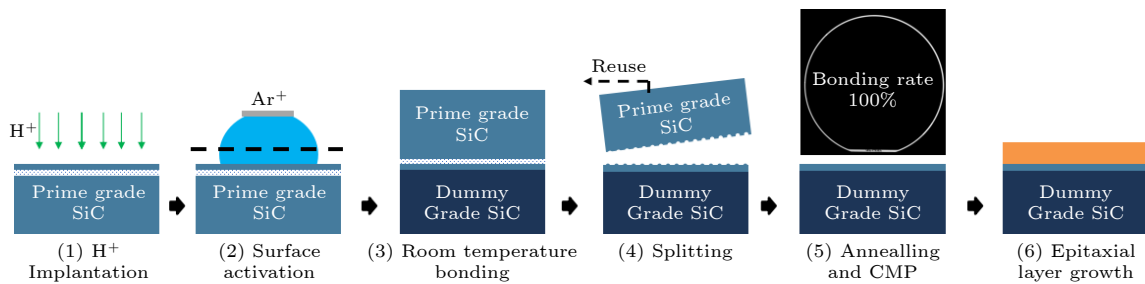


图 10 6 英寸 SiC/SiC 键合工艺的主要步骤^[61]

Fig. 10. Main steps in the fabrication process for 6-inch SiC/SiC bonding^[61].

表 2 不同衬底技术的标准化衬底成本分析

Table 2. Normalized substrate cost analysis for various substrate technologies.

衬底技术路线	衬底成本		工艺成本	总成本	废料回收利用	额外材料需求
	供体衬底	承载衬底				
Prime	1		N/A	1	否	否
Prime+多晶	1/50—1/30	1/5—1/4	1/3	0.55—0.62	否	是
Prime+Dummy	1/50—1/30	1/4—1/3	1/3.4	0.56—0.66	是	否

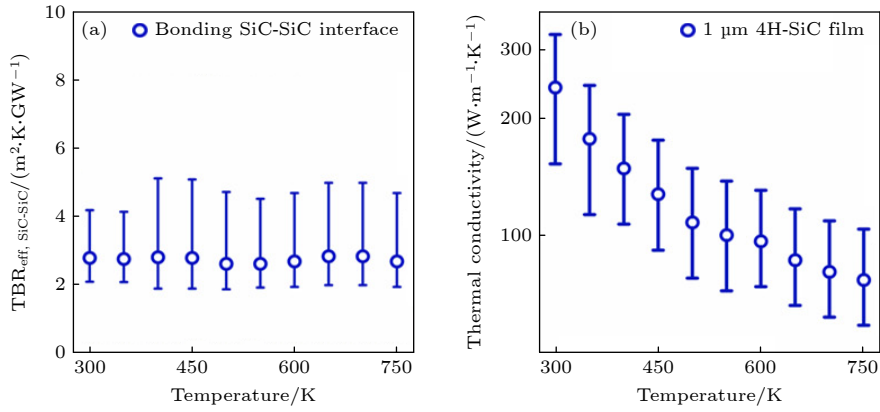

 图 11 (a) SiC/SiC 键合界面的 TBR; (b) 1 μm 4H-SiC 薄膜在 300—750 K 不同温度下的碳化硅热导率^[61]

Fig. 11. Measured temperature-dependent: (a) TBR of SiC/SiC bonding interface; (b) SiC thermal conductivity of 1 μm 4H-SiC film at various temperatures from 300 K to 750 K^[61].

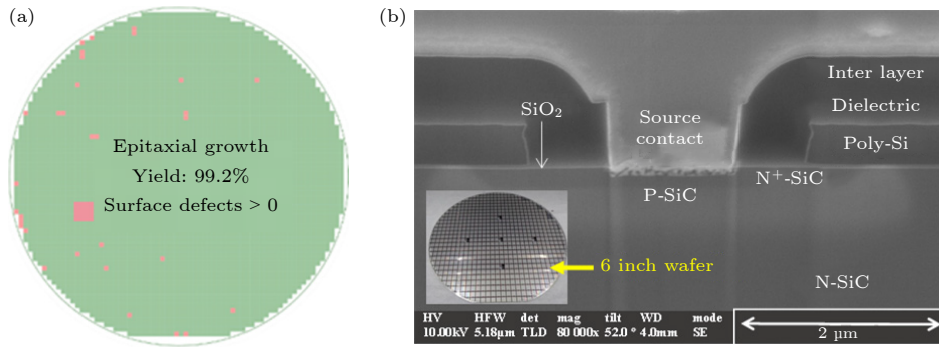

 图 12 (a) 缺陷分布情况; (b) 6 英寸复合衬底及外延层上制备的碳化硅 MOSFET 沟道区域的横截面 HRTEM 图像^[61]

Fig. 12. (a) Defect distribution; (b) cross-sectional HRTEM image of the silicon carbide MOSFET channel region fabricated on a 6-inch composite substrate and its epitaxial layer^[61].

进一步地,从器件静态电学特性来看,该衬底上制备的 1200 V 平面栅 SiC MOSFET 表现出良好的导通与关断性能^[61]。如图 13(a) 所示,器件在 25 °C 和 125 °C 下均呈现出典型的 MOSFET 输出特性,在不同栅压条件下漏极电流随漏源电压增加而稳定上升,并在较高栅压下实现较大的电流输出,表明转移后的 prime 级 SiC 薄层及其外延层能够支撑正常沟道调制和载流子输运。即使在 125 °C 条件下,器件仍保持良好的输出能力,说明该 prime 级 SiC 薄层/dummy 级 SiC 衬底结构并未因键合界面引入明显的电流传输障碍,界面及衬底整体仍具有较好的高温导通稳定性。

与此同时,器件的关断特性也验证了该复合衬底对高质量外延和低缺陷器件制造的支撑能力。如图 13(c) 所示,在 25—175 °C 范围内,器件在关断状态下的漏电流整体保持在较低水平。即使在 175 °C 高温条件下,其漏源漏电流在 800 V 以内仍约为 10⁻⁸ A 量级,体现出优异的高温阻断性能

和较低的漏电水平。该结果说明,转移后的 SiC 表层及后续外延层具有较低缺陷密度,器件边缘终端和体区未因复合衬底结构而产生显著的额外泄漏通道,也进一步表明该复合衬底在高温高压功率器件应用中具有良好的电学可靠性基础。

在器件可靠性方面,研究者通过高温反偏应力测试进一步评估了器件的稳定性,相关结果如图 13(b) 所示^[61],在 $V_{DS} = 960$ V、温度 175 °C,持续 168 h 的应力条件下,器件的导通电阻、阈值电压、击穿电压和栅漏电流等关键参数在测试前后仅发生轻微变化,其中 R_{on} , V_{TH} 和 BV 的漂移均小于 1.3%, I_{GSS} 的变化小于 10%。这一结果说明,prime 级 SiC 薄层+dummy 级 SiC 衬底结构不仅能够支持高质量外延和 MOSFET 制造,而且在长期高温高场应力作用下仍保持了较好的参数稳定性。

针对功率器件实际应用中的大电流冲击情况,研究团队还通过浪涌电流测试对该复合衬底器件的鲁棒性进行了评估^[61]。相关结果如图 14 所示,

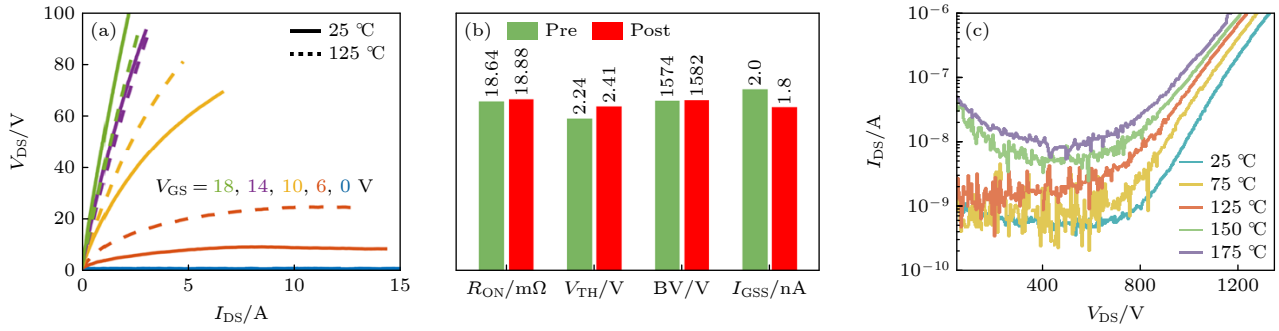


图 13 (a) 在 25 °C 和 125 °C 下, 不同栅极电压条件下复合衬底上 SiC MOSFETs 的输出特性; (b) 高温反向偏置测试前后的关键器件参数; (c) 在 25—175 °C 不同温度下, 复合衬底上 SiC MOSFETs 在 1 μA 电流限值下的关态 I_{DS} - V_{DS} 特性^[61]

Fig. 13. (a) Output characteristics of SiC MOSFETs on composite substrate under various gate voltage at 25 °C and 125 °C; (b) key device metrics before and after the high-temperature reverse bias test; (c) off-state I_{DS} - V_{DS} characteristic up to 1 μA current compliance of SiC MOSFETs on composite substrate at various temperature of 25–175 °C^[61].

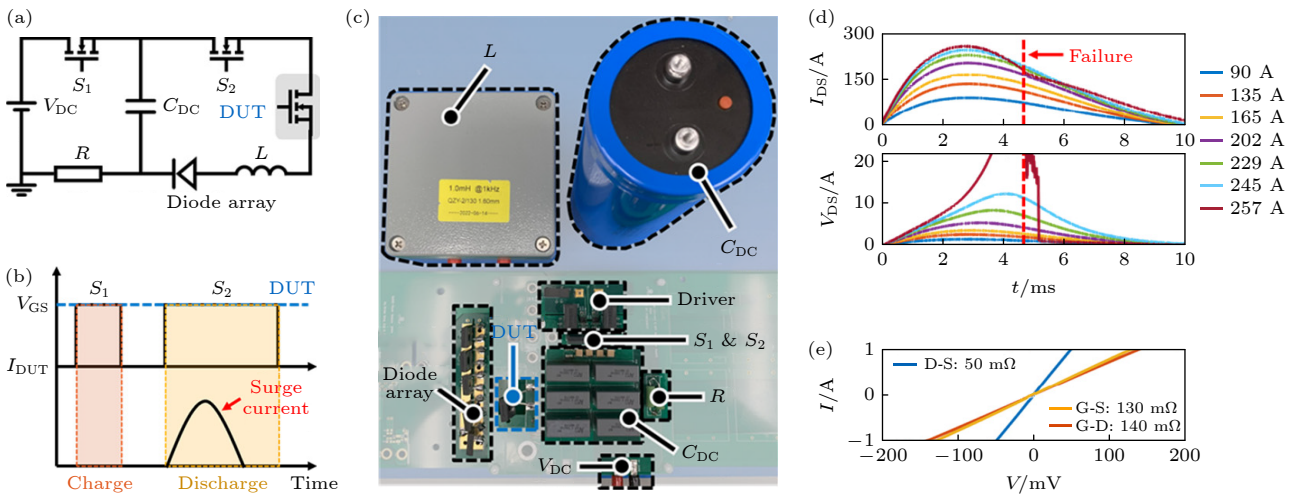


图 14 (a) 电路示意图; (b) 理想波形; (c) 过流测试装置照片; (d) 不同过流水平下 DUT 的电流与电压波形; (e) 故障 DUT 的引脚间电阻^[61]

Fig. 14. (a) Circuit schematic diagram; (b) ideal waveform; (c) photo of the overcurrent test device; (d) current and voltage waveforms of the DUT under different overcurrent levels; (e) resistance between pins of the faulty DUT^[61].

该 MOSFET 能够在 245 A 的浪涌电流下保持无退化工作, 并在 257 A 条件下失效. 对失效器件的引脚间电阻分析显示, 其主要失效形式为栅源短路, 而漏源和漏栅之间仍保持欧姆导通特性. 因此可以说明, 在大电流冲击条件下, 复合衬底中的键合界面仍保持了较好的稳定性, 在大电流工作条件下同样具备较好的应用潜力.

总体来看, prime 级 SiC 薄层/dummy 级 SiC 衬底结构为 SiC 复合衬底提供了一种新的实现路径. 该结构不仅能够降低 SiC 材料成本和提升资源利用率, 也能够支持高质量外延生长和晶圆级 MOSFET 制造.

3.3 4H-SiC/3C-SiC 衬底结构

在前述单晶 4H-SiC 薄层/多晶 SiC 支撑衬底

结构以及 prime 级 SiC 薄层/dummy 级 SiC 衬底结构中, 研究重点主要集中在通过薄层转移和键合技术, 在保留高质量 4H-SiC 表层的同时, 实现衬底成本、导电性能与材料利用率的协同优化. 随着 SiC 复合衬底研究的不断深入, 相关工作开始由同质 SiC 复合逐步拓展到不同晶型单晶 SiC 之间的集成, 即在保持 4H-SiC 优异外延模板和器件层特性的基础上, 引入电阻率更低的 3C-SiC 作为支撑衬底, 进一步降低传统 4H-SiC 衬底在低压器件中的串联电阻. 传统 4H-SiC 衬底的电阻率通常在 15—20 m Ω ·cm 范围, 在低压单极型器件中对总比导通电阻的贡献可超过 50%; 而 3C-SiC 衬底电阻率可低至 0.58 m Ω ·cm 量级, 因此将 4H-SiC 薄膜与 3C-SiC 低阻衬底结合, 是突破低压 SiC 器件导通性能瓶颈的重要技术路线.

本团队基于这一思路,提出了将高质量 4H-SiC 薄膜与超低阻 3C-SiC 衬底相结合的技术路线. 联合天津青禾公司等^[62]采用表面活化键合与离子注入剥离技术,成功制备了 6 英寸 4H/3C-SiC 异质单晶复合衬底. 如图 15 所示,其核心工艺包括:对 4H-SiC 晶圆进行 100 keV, $6 \times 10^{16} \text{ cm}^{-2}$ 的 H^+ 离子注入形成可分离的薄层;在超高真空环境下利用高能 Ar 离子束对 4H-SiC 与 3C-SiC 表面进行活化,并在室温下实现键合;随后经 850 °C 退火完成薄膜剥离,转移约 580 nm 厚的 4H-SiC 薄膜至 3C-SiC 衬底上;最终经 1750 °C 高温退火修复注入损伤并强化键合界面,结合化学机械抛光与原位原子级刻蚀获得外延级平整表面. 通过构建 4H/3C-SiC 异质单晶复合衬底,在保证晶体质量的同时,能够显著降低衬底的电阻率. 如图 16 所示,电阻率晶圆分布结果表明,转移后的 4H/3C-SiC 复合衬底平均电阻率约为 0.39 mΩ·cm, 仅比 3C-SiC 衬底高 0.01 mΩ·cm, 却较传统 4H-SiC 衬底降低了约 45 倍.

除电学导通能力外,键合界面热阻大小对于功率器件的热点传输到热沉的散热能力也至关重要. 研究团队采用时域热反射技术对 4H/3C-SiC 界面的热边界电阻进行了精确测量. 如图 17 所示,通过将 3 ns 脉宽的 355 nm 脉冲激光作为泵浦光加热

样品表面,并用 785 nm 连续激光作为探测光监测温度衰减,结合热传导模型拟合与蒙特卡罗分析,提取出 4H/3C-SiC 异质键合界面的热边界电阻,最终测得结果为 $1.0_{-0.6}^{+0.7} \text{ m}^2 \cdot \text{K/GW}$, 处于目前报道的 SiC 键合界面的最优水平,表 3 对比了不同工艺制备的 SiC 复合衬底的界面热阻水平.

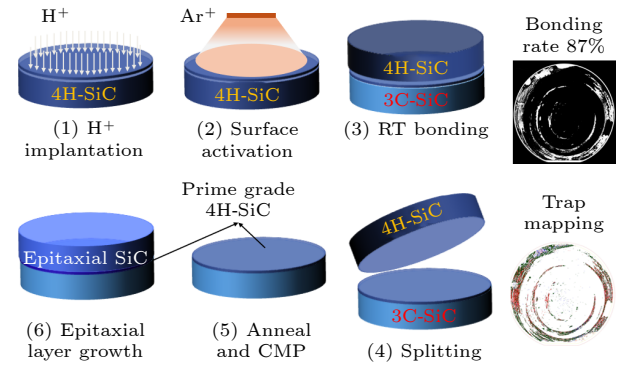


图 15 6 英寸 4H/3C-SiC 复合衬底制备工艺的主要步骤^[62]
Fig. 15. Main steps in the fabrication process for 6-inch 4H/3C-SiC composite substrate^[62].

不同耐压场景下,功率器件比导通电阻 ($R_{\text{on,sp}}$) 的主导影响因素存在显著差异:在 650 V 及以上高压场景中,漂移区需满足足够厚度与低掺杂浓度的要求,因此成为 $R_{\text{on,sp}}$ 的主要贡献者,衬底电阻的影响可忽略不计;而在 200 V 这类低压场景中,漂移

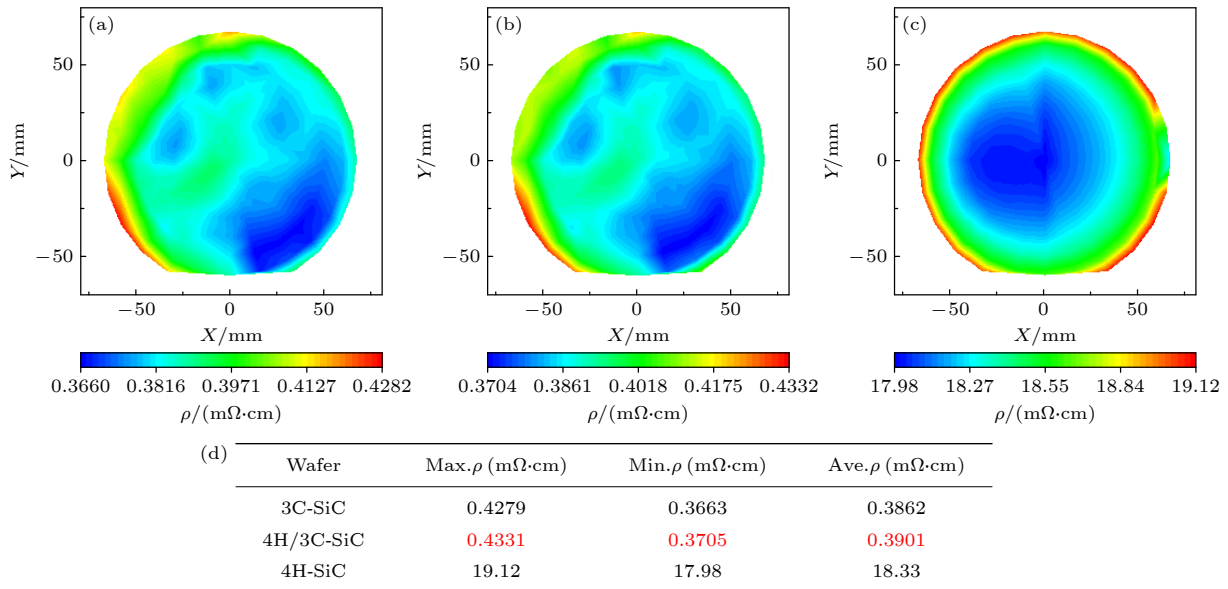


图 16 采用非接触涡流法测得的 6 英寸晶圆电阻率分布图,其中 (a) 3C-SiC 衬底, (b) 4H/3C-SiC 复合衬底, (c) 4H-SiC 衬底; (d) 不同衬底的最大电阻率、最小电阻率及平均电阻率^[62]

Fig. 16. Wafer-maps of the resistivity of 6-inch (a) 3C-SiC substrate, (b) 4H/3C-SiC composite substrate, (c) 4H-SiC substrate using non-contact eddy current method; (d) the maximum resistivity, minimum resistivity, and average resistivity of different substrates^[62].

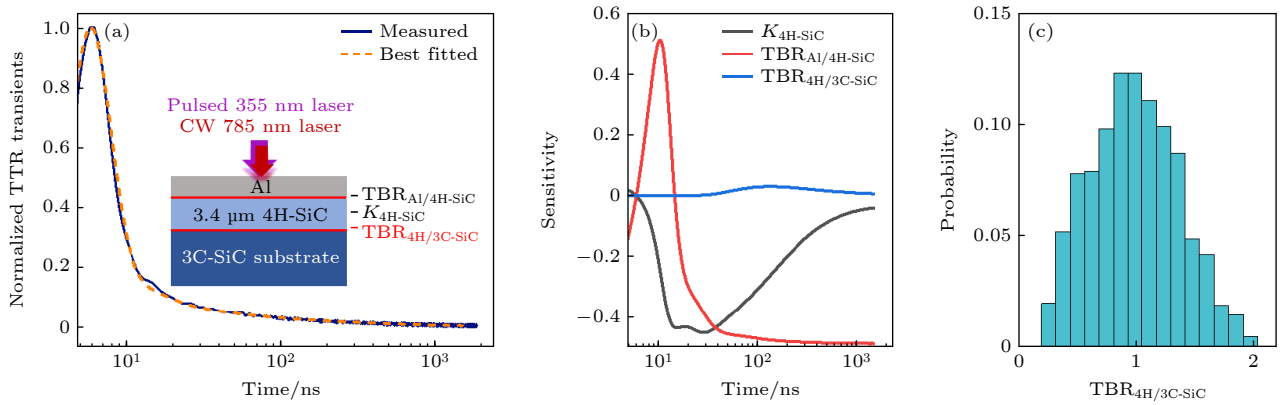


图 17 (a) 键合界面的 TTR 信号及解析模型最佳拟合曲线; (b) TTR 信号对 4H/3C-SiC 界面 TBR, Al/4H-SiC 界面 TBR 及 4H-SiC 热导率的灵敏度分析; (c) 实测 4H/3C-SiC TBR 的蒙特卡罗分析直方图^[62]

Fig. 17. (a) TTR signal for bonding interface and the best-fitted curve from the analytical model; (b) sensitivity analysis of the TTR signals to the TBR of the 4H/3C-SiC interface, the Al/4H-SiC interface, and the thermal conductivity of 4H-SiC; (c) Monte Carlo analysis histogram of the measured TBR of 4H/3C-SiC^[62].

区被设计为较薄且较高掺杂结构, 此时 $R_{\text{on,sp}}$ 主要由漂移区电阻和衬底电阻共同决定. 随着器件耐压等级降低, 衬底电阻的占比逐渐增大, 甚至可超过 50%. 因此, 传统 4H-SiC 衬底较高的电阻率开始成为限制器件性能的关键因素, 导致导通损耗远高于低压 Si 器件, 无法体现 SiC 的材料优势. 而 200 V 耐压等级作为低压区间的代表, 成为衬底电阻瓶颈最为突出的应用场景. 突破这一电压等级的性能瓶颈, 能够验证解决方案在整个低压 SiC 领域的普适性. 因此, 本团队^[62] 基于 4H/3C-SiC 异质单晶复合衬底, 制备了 200 V 肖特基势垒二极管, 并系统评估了其在降低导通损耗、提升散热能力和改善可靠性方面的优势. 与 4H-SiC 衬底的同类型器件相比, 该器件的比导通电阻降低了 47%, 浪涌电流耐受能力提高了 20%, 展现了其在低压器件领域的显著技术优势.

表 3 基于晶圆键合或外延的不同材料的 SiC 异质集成的界面热阻对比

Table 3. Comparison of interface thermal resistances for SiC hetero-integration based on wafer bonding or epitaxial growth with different materials.

衬底类型	制备工艺	界面热阻/ ($\text{m}^2 \cdot \text{K} \cdot \text{GW}^{-1}$)
4H-SiC/GaN ^[63]	外延生长	20.8
3C-SiC/Si ^[64]	外延生长	1.61
4H-SiC/Si ^[65]	亲水键合	9
4H-SiC/Si ^[66]	疏水键合	8.2
4H-SiC/GaN ^[67]	表面活化键合	6
4H-SiC/4H-SiC ^[61]	表面活化键合	2.8

本团队^[62] 在 4H/3C-SiC 复合衬底上外延生长了适用于 200 V 耐压的漂移层结构: 包括 0.5 μm 缓冲层 (掺杂浓度 $1 \times 10^{18} \text{ cm}^{-3}$)、1.7 μm 漂移层 ($9.1 \times 10^{16} \text{ cm}^{-3}$) 及 0.2 μm 低掺杂帽层 ($1 \times 10^{16} \text{ cm}^{-3}$). 器件采用 W 肖特基接触及斜角场板终端设计, SiO_2 中的斜角角度为 18.7° , 结合 SiC 中的注入结终端扩展形成混合边缘终端结构, 器件封装采用 TO-257 管壳, 支持高温工作, 如图 18 所示.

浪涌电流耐受能力是功率二极管的关键电热鲁棒性指标. 本团队^[62] 采用 LC 谐振电路产生 10 ms 半正弦浪涌电流, 依据 JEDEC 标准对器件进行测试. 结果表明, 4H/3C-SiC 复合衬底 SBD 的失效电流为 312 A, 最大安全耐受电流为 293 A; 而 4H-SiC 衬底器件的失效电流为 256 A, 最大安全耐受电流为 245 A, 如图 19 所示. 复合衬底器件将浪涌电流能力提升约 22%. 这一结果表明, 4H/3C-SiC 复合衬底制备的 SBD 器件在给定脉冲宽度下能够承受更高的瞬态能量输入而不发生不可逆失效, 由于 4H/3C-SiC 复合衬底上 SBD 的比导通电阻低至 $0.50 \text{ m}\Omega \cdot \text{cm}^2$, 可以直接降低浪涌过程中由 $P \approx I^2 R$ 驱动的瞬态焦耳热积累, 从而推迟结温攀升与失效触发. 进一步地, 本团队^[62] 基于最大安全耐受波形重构的动态 I - V 曲线揭示, 复合衬底器件的迟滞更小, 表明 3C-SiC 衬底具有更低的导通电阻温度系数, 意味着在浪涌自热条件下电阻上升更缓和、热电正反馈更弱, 从而降低热失控倾向并提升可承受峰值电流.

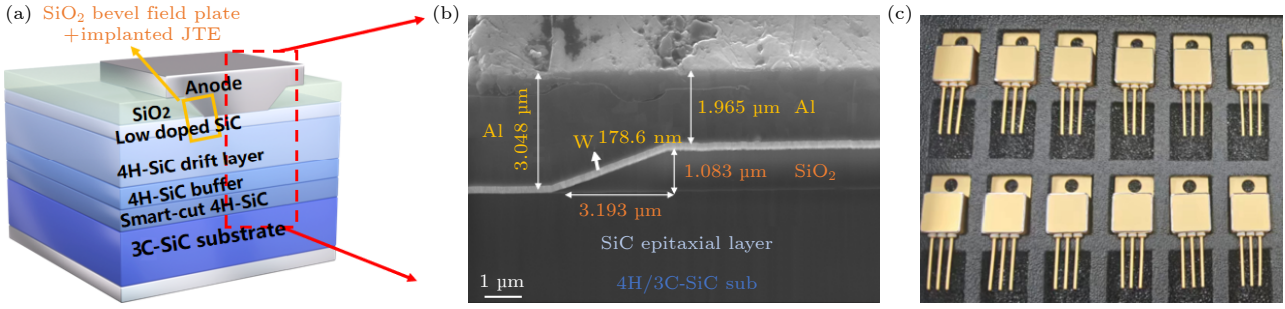


图 18 (a) 带斜角场板的 200 V 4H/3C-SiC SBD 横截面结构示意图; (b) 4H/3C-SiC SBD 结构横截面 SEM 图像; (c) TO-257 封装的 4H/3C-SiC SBD 芯片^[62]

Fig. 18. (a) Cross-sectional schematic of the 200 V 4H/3C-SiC SBD with a bevel field plate; (b) the SEM image of cross-section of 4H/3C-SiC SBD structure, illustrating the beveled field plate in the fabricated devices; (c) the 4H/3C-SiC SBD dies were packaged in TO-257 package^[62].

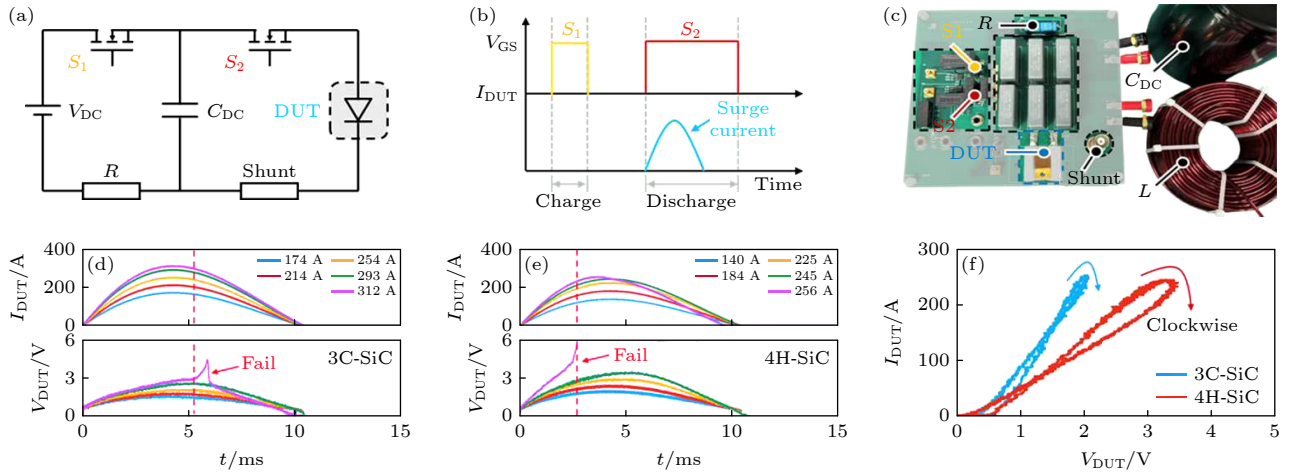


图 19 (a) 浪涌电流测试电路原理图; (b) 理想波形; (c) 测试装置照片; (d) 4H/3C-SiC 衬底和 (e) 4H-SiC 衬底上 SBD 在不同浪涌电流水平下的电流电压波形; (f) 利用最后一次安全耐受波形重构的 I - V 特性^[62]

Fig. 19. (a) Circuit schematic; (b) ideal waveforms; (c) photograph of surge current test setup; current and voltage waveforms of SBDs on (d) engineered substrate and (e) 4H-SiC substrates under various surge current levels, showing failure happened at 312 A and 256 A peak current, respectively; (f) reconstructed I - V characteristics using the last safe-withstand waveforms^[62].

电学测试结果表明, 4H/3C-SiC 复合衬底上 SBD 的比导通电阻低至 $0.50 \text{ m}\Omega\cdot\text{cm}^2$, 明显低于传统 4H-SiC 衬底器件的 $0.94 \text{ m}\Omega\cdot\text{cm}^2$, 降幅达到 47%, 如图 20(a) 所示. 复合衬底上器件的总比导通电阻甚至低于标准 4H-SiC 衬底本身的电阻 (约 $0.6 \text{ m}\Omega\cdot\text{cm}^2$) 贡献, 充分体现了超低电阻率衬底的优势. 这一结果说明, 在低压 SiC 功率器件中, 限制导通性能的关键不再是漂移区, 而是传统 4H-SiC 衬底的高电阻率; 通过构建 4H/3C-SiC 复合衬底, 可有效优化器件的串联电阻组成, 显著降低导通损耗.

如图 20(b) 所示, 将基于 4H/3C-SiC 复合衬底制备的 SBD 与其他研究报道结果及 Si, SiC 理论极限进行对比, 复合衬底器件实测性能超越了基于 4H-SiC 衬底的 SiC 理论极限. 这一结果说明,

在低压单极型 SiC 器件中, 器件性能并非仅由漂移区本征特性决定, 传统 4H-SiC 衬底较高的电阻率同样构成了限制器件进一步降低比导通电阻的重要因素. 通过引入低电阻率的 4H/3C-SiC 复合衬底, 器件垂直导通路径中的衬底电阻贡献被显著削弱. 进一步分析可知, 这一优势并非仅体现在单一器件或单一耐压点上, 在 100—600 V 的耐压范围内, 采用 4H/3C-SiC 复合衬底可使器件的比导通电阻进一步降低 3—6 倍. 由此可见, 4H/3C-SiC 复合衬底为低压 SiC 功率器件提供了一条不同于传统结构优化的新型性能提升路径, 对于推动 SiC 器件在中低压高效率电力电子应用中的进一步发展具有重要意义.

从上述 3 类 SiC/SiC 复合衬底路线可以看出, 研究重点从材料节省逐步转向功能重构. 其中,

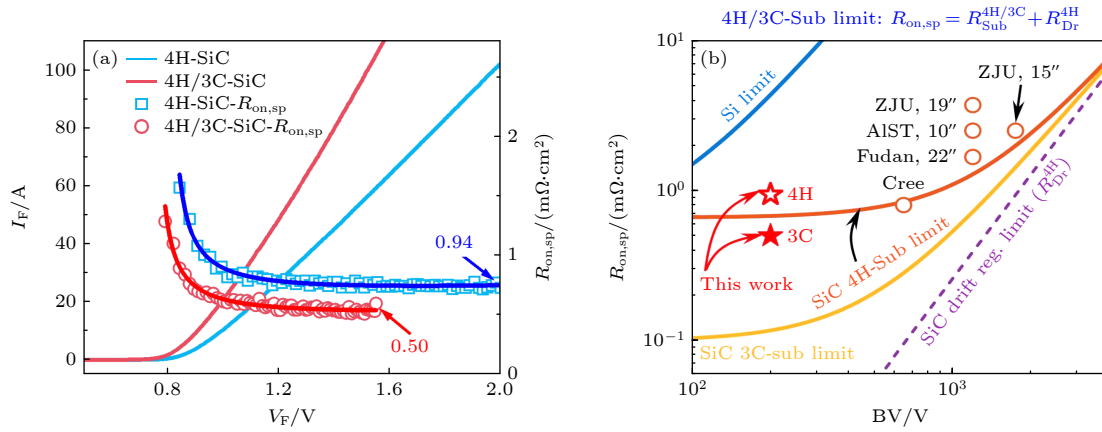


图 20 (a) 室温下 4H-SiC 衬底和 4H/3C-SiC 复合衬底上 SBD 的正向 I - V 特性及提取的 $R_{on,sp}$; (b) 4H/3C-SiC 复合衬底和 4H-SiC 衬底上制备 SBD 器件的性能与其他研究进行比较^[62]

Fig. 20. (a) Forward I - V characteristics and the extracted differential $R_{on,sp}$ values of the SBDs fabricated on 4H-SiC substrate and 4H/3C-SiC engineered substrate at room temperature; (b) the performance of SBD devices fabricated on 4H/3C-SiC composite substrates and 4H-SiC substrates was compared with other studies^[62].

4H-SiC 薄层/多晶 SiC 支撑层路线更强调产业化和降低成本, 适用于低成本、大尺寸的中高压功率器件应用; prime 级薄层/dummy 级衬底路线突出的是高品质单晶材料的循环利用, 本质上是在不显著牺牲热学匹配的前提下提升优质晶体资源利用率, 并能最大程度地利用现有 D 级晶圆, 降低碳排放; 而 4H/3C-SiC 路线引入了 3C-SiC 支撑层, 从结构上重构了器件垂直导电通道, 成为决定低压器件 $R_{on,sp}$ 下限的功能层, 重新定义了 SiC 器件导通电阻的极低值, 拓展了 200 V 及以下功率器件的应用空间。

4 AIN 陶瓷复合衬底的制备和研究现状

随着 GaN 等宽禁带半导体器件在高频、高功率密度等应用中的发展, 衬底不仅需要满足外延生长与器件制备要求, 还需兼顾热管理、电隔离和大尺寸制造等多重需求。相较于传统 Si 衬底, AIN 陶瓷兼具较高热导率、优异绝缘性以及与氮化物材料相对更匹配的热膨胀特性, 因此逐渐成为 GaN 射频器件和功率器件复合衬底的重要候选材料。AIN 陶瓷复合衬底的研究现状可概括为两条典型路线: 一类是 AIN 陶瓷与其他材料通过键合实现异质集成, 另一类是以 AIN 陶瓷为核心的 QST 衬底。

4.1 AIN 陶瓷与其他材料的异质集成

与传统 Si、蓝宝石等衬底相比, AIN 不仅具有较高热导率和优异绝缘性, 而且在晶体结构、晶格

常数及热膨胀系数等方面与 GaN 更为接近, 因此有望降低异质外延过程中的失配应力、减小翘曲和裂纹风险, 并改善器件工作过程中的散热路径^[63,64]。已有研究表明, AlN 材料室温热导率可达到约 200 W/(m·K) 量级^[65], 但对于 AlN 陶瓷而言, 其表面仍普遍存在粗糙度较高、孔隙与晶界较多、易形成氧化层等问题, 限制了 AlN 直接作为高质量外延表面的应用。因此, AlN 相关复合衬底研究逐渐转向通过低温键合实现异质集成的技术路线, 此路线的核心目标是在不破坏半导体功能层晶体质量的前提下, 引入 AlN 陶瓷的高热导与高绝缘特性, 从而改善器件散热能力、降低寄生损耗等性能。

在 AIN 陶瓷与半导体材料直接键合方面, Matsumae 等^[66]开展了较有代表性的工作, 采用表面活化键合方法实现了 6 英寸 AlN 陶瓷与 Si 衬底的室温键合, 结果表明, 标准 SAB 下 AlN 陶瓷与 Si 直接成键的强度较低, 而通过在 AlN 表面引入约 1.5 nm 的 Si 黏附层, 或预先沉积 Au/Ti 键合层后, 可显著提升键合强度, 其中引入 Si 超薄黏附层后, 界面键合强度大于 2.5 J/m², 达到与体 Si 相当的水平。因此, 对于 AlN 陶瓷这类离子性较强、表面易氧化的材料, 单纯依赖 Ar 束活化并不足以获得稳定高强度界面, 而需要通过界面纳米中间层设计来补偿其表面成键活性不足的问题。

除 AIN 陶瓷/Si 体系外, AIN 与宽禁带半导体之间的键合也受到关注。Mu 等^[67]以极端环境电容式压力传感器为背景, 通过 SAB 技术实现了 SiC

与 AlN 薄膜键合. 结果表明, 标准 SAB 难以实现稳定的 SiC-AlN 键合, 而采用 Si 纳米中间层的改进型 SAB 后, 可获得约 1.6 J/m^2 的键合能. 界面分析进一步表明, AlN 表面明显氧化是导致直接键合失败的重要原因, 这说明 AlN 相关异质集成的关键并不只是表面平坦化处理, 更在于如何抑制 AlN 表面氧化层、提高活化后表面有效悬挂键密度, 从而构建更有利于跨界面传热的过渡层结构.

与 GaN/Si, GaN/SiC 等体系相比, GaN/AlN 在晶体结构、热膨胀系数和声子谱匹配方面更具优势, 不仅有利于降低热失配引起的界面应力, 也有望获得更低的热边界电阻. GaN 器件虽然具有高电子迁移率和高频性能优势, 但其实际器件多生长在蓝宝石、Si 或 SiC 等衬底上, 热量需穿过缓冲层和衬底才能传导至热沉, 因此自热效应始终是限制输出功率和可靠性的重要因素. 由于 AlN 兼具较高热导率与电绝缘性, 将 GaN 器件层转移并键合到 AlN 支撑层上, 能够在保持绝缘隔离的同时改善热扩散路径, 因此能够在一定程度上解决长期制约器件输出功率与可靠性的自热效应^[63].

在 GaN/AlN 直接键合方面, Li 等^[63] 在室温条件下实现了 2 英寸 GaN/AlN 晶圆级键合. 具体工艺流程如图 21 所示, 首先通过化学机械抛光将 AlN 表面粗糙度降至 1 nm 以下, 随后采用 HF 去除表面氧化物, 并利用 $(\text{NH}_4)_2\text{S}$ 进行表面钝化处理, 再在室温环境和约 50 kPa 的低压力条件下实现晶圆贴合, 之后通过 350 °C, 600 °C 和 800 °C 的多步退火增强界面键合. 与传统表面活化键合或引入 SiN, Ti 等中间层的方法相比, 该方法避免了较厚非晶层或氧化层的引入, 从而更有利于获得低热阻界面, 实验测得室温界面热导最高可达 $320 \text{ MW}\cdot\text{m}^{-2}\cdot\text{K}^{-1}$, 已处于 GaN 相关异质界面中的较高水平.

总体来看, AlN 陶瓷与其他材料通过键合实现异质集成虽已取得突破, 但仍存在局限性: 界面键合强度易受 AlN 表面氧化影响, 大尺寸晶圆键合难度较大等. 进一步降低成本、提高工艺一致性是未来规模化、工程化应用的前提.

4.2 QST 衬底

QST 衬底的核心思想是构建多层复合结构, 在保持与现有 GaN-on-Si 外延工艺兼容的同时, 显著缓解热膨胀系数失配所带来的应力问题. QST 衬底的结构如图 22 所示^[68], 其核心层为经过特殊工程化处理的多晶 AlN 陶瓷, 通过精确调控陶瓷的组分与制备工艺, 可使 AlN 的热膨胀系数在宽温度范围内与 GaN 实现高度匹配, 核心层外覆有多层保护性介电薄膜, 以确保衬底能够兼容现有工艺. 最上层通过键合工艺覆盖一层 (111) 取向的单晶硅, 该表面经过处理可直接用于 GaN 的 MOCVD 外延生长, 从而将成熟的 GaN-on-Si 外延技术引入到 QST 衬底平台上^[64,69]. 这种精巧的结构设计, 使 QST 衬底与传统的 GaN-on-Si 相比, 具有以下优势: 第一, poly-AlN 与 GaN/AlGaIn 外延层在热膨胀系数上更加匹配, 有利于在大尺寸晶圆上实现翘曲率更低的厚外延层; 第二, QST 衬底保留了工程化衬底的机械强度和厚度, 与现有的 CMOS 工艺更兼容; 第三, QST 衬底能够更广泛地应用于射频、横向功率和高压垂直器件中. 总体来说, QST 衬底在厚外延、高电压和标准晶圆制造之间取得了更好的平衡^[68-70].

QST 衬底的制备难点首先来自 poly-AlN 陶瓷本身. 与单晶 Si 或单晶 SiC 相比, 陶瓷材料容易带来表面粗糙、孔隙、局部颗粒以及宏观平整度不足等问题, 这些缺陷若直接暴露在外延界面处, 将显著降低 GaN 成核均匀性并诱发局部应力集中.

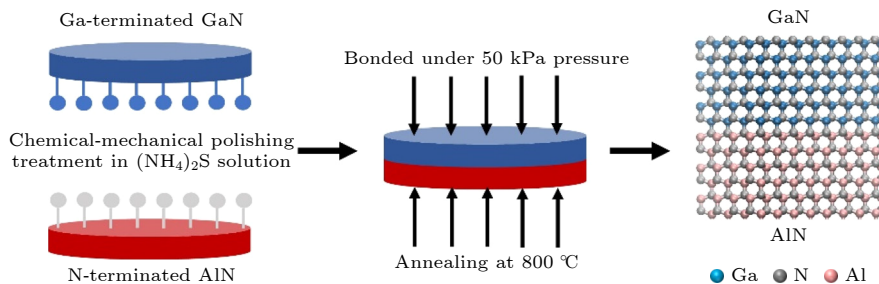
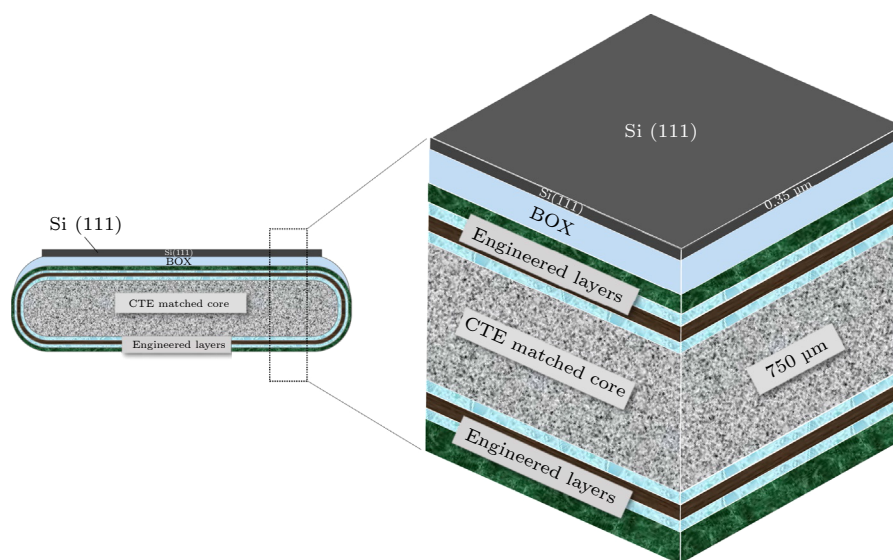


图 21 晶圆级键合工艺的制备流程^[63]

Fig. 21. Fabrication procedure for wafer-scale bonding process^[63].

图 22 QST 晶圆的结构^[68]Fig. 22. Structure of QST wafers^[68].

针对这一问题, QST 衬底并未直接以陶瓷表面作为外延界面, 而是采用多层工程化介质层对陶瓷进行封装、钝化和平坦化处理, 再通过顶部单晶 Si 薄层提供标准化外延界面, 从而将陶瓷核心层的结构缺陷与 GaN 外延界面有效隔离.

QST 衬底并不是简单改变外延衬底材料, 而是通过 CTE 匹配的 poly-AlN 核心层, 在大尺寸晶圆上同时改善厚 GaN 外延的热应力控制、晶圆翘曲和后续 CMOS 兼容制造能力^[64]. 因此, QST 衬底在 GaN 功率器件与射频器件领域展现出广阔的应用前景.

在功率器件应用中, QST 衬底的核心价值体现在支撑厚 GaN 漂移层生长和高压器件制备. You 等^[64]指出, 200 mm CTE 匹配复合衬底能够在在大尺寸晶圆上承载更厚的 GaN 漂移层, 是推动垂直 GaN 器件实现 CMOS 兼容制造的重要平台. 随后, Gonçalves Filho 等^[71]进一步在 200 mm QST 衬底上成功制备了总厚度 8.5 μm 的 GaN 外延结构, 其中漂移层厚度达到 5 μm 、Si 掺杂浓度约 $2 \times 10^{16} \text{ cm}^{-3}$, 总穿透位错密度约为 $4 \times 10^8 \text{ cm}^{-2}$, 并基于该外延完成了二极管测试结构制备, 获得了超过 750 V 的硬击穿电压. 该研究证实, QST 衬底已突破传统横向低压 GaN 器件的应用限制, 可有效支撑面向垂直 GaN 功率器件的厚漂移层外延和高压结构验证.

除垂直器件外, QST 衬底在横向高压 GaN 功率器件方面同样开展了较为系统的研究. Basceri

等^[69]将 QST 平台概括为面向 100—1800 V 以上 GaN 器件的大规模制造平台, 说明 QST 的应用定位并非单一电压等级, 而是覆盖从中低压到高压的 GaN 功率器件路线. 进一步地, Kumar 等^[72]报道了 200 mm QST 衬底制备的 1.2 kV 增强型 p-GaN 栅 HEMT, 器件阈值电压约 3.2 V, 开关比达到 10^8 , 比导通电阻约 $5.8 \text{ m}\Omega \cdot \text{cm}^2$, 并实现了 1800 V 硬击穿. 同时该器件展现出优异的晶圆级均匀性, 并通过晶圆级高温栅偏与反偏应力可靠性测试. 上述结果表明, QST 衬底在横向 GaN 功率器件中的价值不仅体现在改善晶圆翘曲、支撑厚缓冲层外延, 更在于可支撑千伏级增强型器件的规模化晶圆制造与可靠性验证.

在射频器件领域, QST 衬底的应用重点集中在高频、高功率及单片集成等关键方向上. Huang 等^[70]报道了基于 150 mm QST 衬底的 GaN 射频单片集成电路, 成功实现了 0.25 μm T 形栅 GaN HEMT 与低压逻辑器件的集成, 并用于构建高效的包络跟踪功率放大器. 如图 23 所示, 0.25 μm 栅长 T 型栅 RF HEMT 在 28 V 漏极电压下, 于 3.5 GHz 工作频率处测得输出三阶截断点 (OIP3) 达 28.42 dBm, 较同结构硅基器件提高 0.5 dBm, 展现出更优的线性度. 同时, 得益于 QST 衬底的高热导率, 该射频器件在 500 mA/mm 工作电流下表面峰值温度较硅基器件降低约 7.7 $^{\circ}\text{C}$, 在 375 K 高温环境下饱和电流退化幅度比硅基器件小约 3.1%, 且截止频率 (f_T) 与最高振荡频率 (f_{max}) 随温度升高分别仅下降

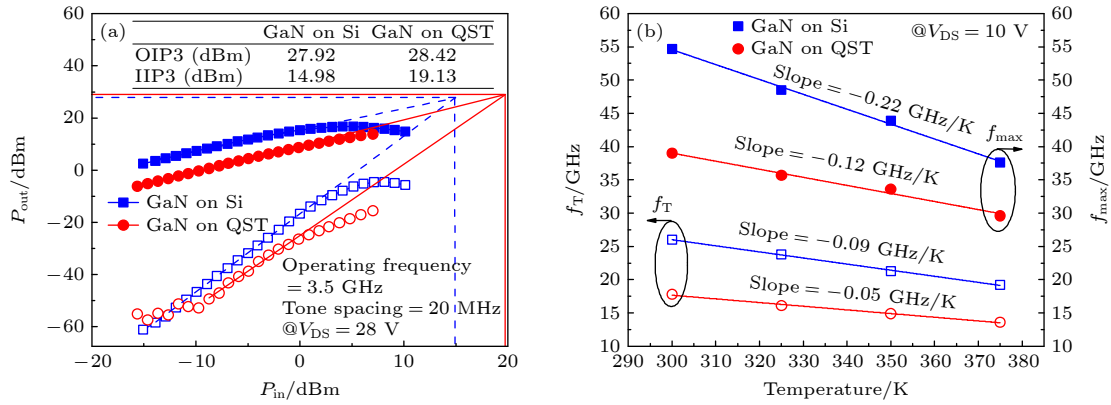


图 23 (a) 双音互调失真测试; (b) GaN on Si 与 GaN on QST 器件在不同温度下的小信号特性^[70]

Fig. 23. (a) Two-tone intermodulation distortion linearity measurements; (b) small-signal characteristics at different temperatures in GaN on Si and GaN on QST devices^[70].

4.2 GHz 与 9.4 GHz, 降幅约为硅基器件的一半. 上述结果表明, QST 衬底不仅能有效抑制射频器件的自热效应、提升高频线性度与温度稳定性, 还为 5G 微基站等对热管理与集成度要求严苛的应用场景提供了高性能的射频器件平台.

综上所述, AlN 陶瓷复合衬底的研究正沿着两条主线同步推进: 一是通过表面活化键合与界面层设计, 实现 AlN 陶瓷与 Si, SiC, GaN 等半导体材料的异质集成, 以充分发挥 AlN 高热导率与电绝缘性在热管理方面的优势; 二是以 QST 衬底为代表的工程化复合衬底路线, 通过多晶 AlN 核心层与单晶硅顶层的结构设计, 在保持与现有 MOCVD 外延工艺兼容的同时, 有效缓解了热膨胀系数失配、晶圆翘曲及厚外延层生长等关键问题. 两条技术路线共同推动 AlN 陶瓷复合材料向更高性能、更大尺寸、更高集成度的工程化方向演进, 为宽禁带半导体器件在高功率密度、高频及高可靠性领域的规模化应用奠定了重要基础.

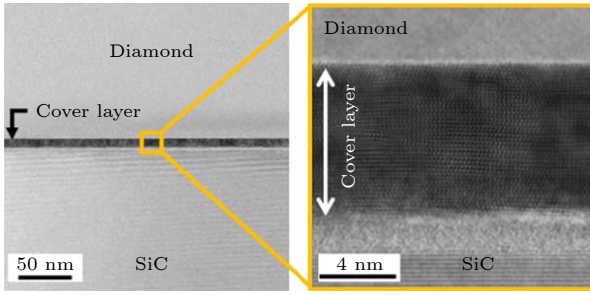
5 SiC/Diamond 复合衬底的制备和研究现状

随着宽禁带半导体器件向高频、高功率密度和高温工作条件的不断发展, 器件的自热效应已逐渐成为限制性能提升和可靠性增强的关键瓶颈^[73,74]. 对于 SiC 和 GaN 等功率与射频器件而言, 传统 Si, SiC 等衬底虽然已具备较好的热导能力, 但在更高功率密度条件下, 仍难以满足热点快速扩散和结温有效控制的需求^[73,75]. 金刚石具有更高的热导率, 因此被认为是解决宽禁带半导体器件散热问题的理想候选材料之一^[76,77].

在此背景下, 构建兼具 SiC 工艺兼容性和金刚石超高热导率的复合衬底, 逐渐成为复合衬底和异质集成研究中的重要内容. 与前述 SiC/SiC 和 SiC/Si 复合衬底相比, SiC/Diamond 复合衬底的目标并不主要在于降低衬底成本或提升材料利用率, 而是通过引入高热导金刚石层, 显著改善器件散热能力, 为高功率密度器件提供更优的热管理基础^[78,79]. 现有研究表明, SiC/Diamond 复合衬底主要形成了两类典型技术路线^[80-83]: 一类是在 SiC 表面或背面直接沉积/生长金刚石层, 构建 SiC/Diamond 复合结构. 另一类是通过表面活化键合、直接键合或薄膜转移方法, 将 SiC 与 Diamond 衬底进行异质集成, 从而形成 SiC/Diamond 复合衬底.

5.1 热压键合实现 SiC/Diamond 集成

Minoura 等^[81] 提出将金刚石热扩展层与成熟的 GaN-on-SiC 器件平台结合, 构建 SiC/Diamond 复合散热衬底, 以在保持原有外延缓冲层与器件工艺兼容性的同时显著提升散热能力. 通过 SAB 技术对 SiC 衬底与单晶金刚石进行键合是一项极具挑战性的工作. 金刚石表面在 Ar 离子轰击下极易发生石墨化或生成深层非晶碳层, 导致键合失败. 该团队通过在金刚石表面预先沉积一层超薄的钛覆盖层, 成功抑制了金刚石表面的非晶化损伤进程. 如图 24 所示, 通过 TEM 表征键合界面, SiC-金刚石界面处未发现空隙, 且金刚石表面不存在非晶层. Ti 层作为牺牲层与能量缓冲带, 不仅保护了底层金刚石的共价键网络, 其自身还与 SiC 表面形成了牢固的化学交联, 极大地提升了 SiC/金刚石异质界面的键合强度与声子传输效率.

图 24 SiC/Diamond 键合界面 TEM 图像^[81]Fig. 24. TEM image of the SiC/Diamond bonding interface^[81].

界面热学表征显示, 该 SiC/Diamond 键合结构的界面热阻约为 $67 \text{ m}^2\cdot\text{K}/\text{GW}$, 满足 GaN 功率器件散热需求. 通过该工艺制备的 InAlGa_N/Ga_N HEMT, 红外测温结果如下: 在相同耗散功率下, 键合金刚石的器件温升显著受抑, 其器件热阻约降至未键合样品的 1/3. 在 S 波段负载牵引测试中, 器件输出能力在高占空比条件下明显改善, 当脉冲宽度 $10 \text{ }\mu\text{s}$, $V_{\text{DS}} = 50 \text{ V}$ 且占空比升高时, 未引入金刚石的器件输出功率密度随占空比显著下滑,

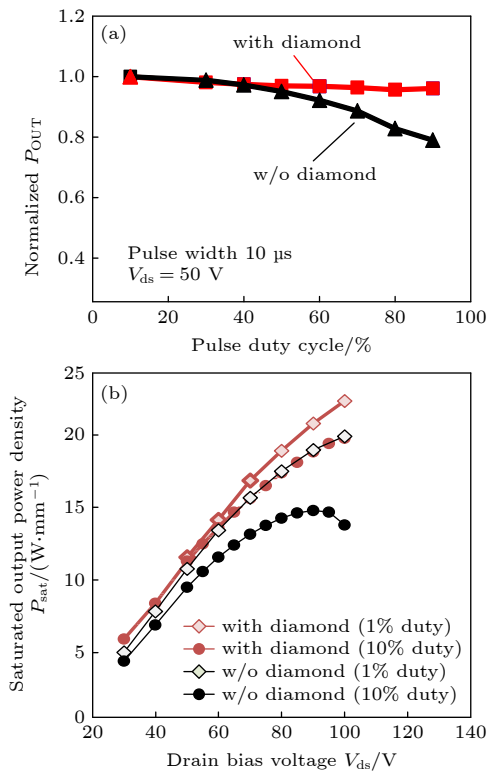
图 25 (a) 有无金刚石的 HEMTs 输出功率和脉冲占空比关系; (b) 通过 S 波段负载牵引测试的 InAlGa_N/Ga_N HEMTs 输出功率密度^[81]

Fig. 25. (a) Pulse duty dependence of the output power of InAlGa_N/Ga_N HEMTs with and without diamond heat spreader; (b) output power density of InAlGa_N/Ga_N HEMTs evaluated by load-pull measurement at the S-band^[81].

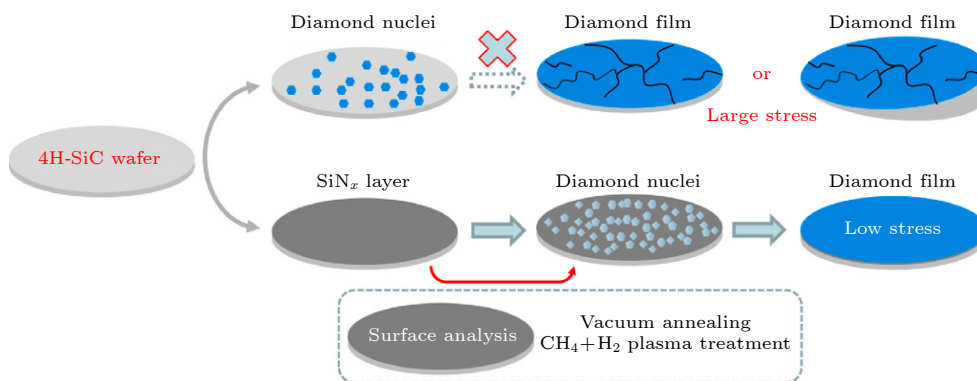
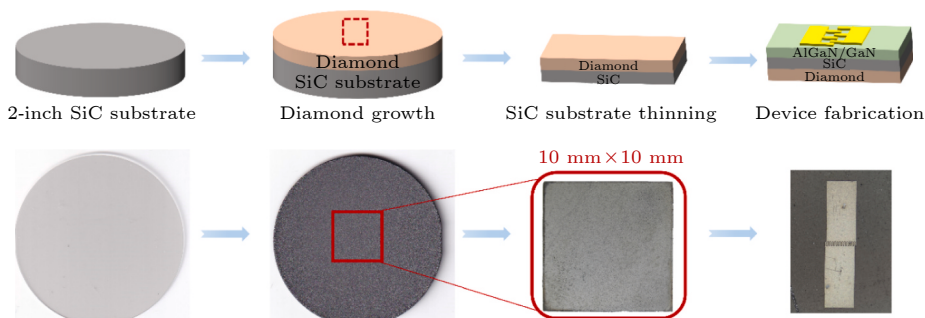
而引入金刚石热扩展层的器件输出功率密度几乎不随占空比变化, 如图 25 所示; 在 10% 占空比条件下, 其饱和输出功率密度由 $14.8 \text{ W}/\text{mm}$ 提升至 $19.8 \text{ W}/\text{mm}$, 并在 1% 占空比下获得 $22.3 \text{ W}/\text{mm}$ 的高输出功率密度, 体现出复合散热衬底对高功率工作边界的有效拓展. 上述结果说明, 基于 SAB 的 SiC/Diamond 复合衬底能够实现高质量界面与低热阻散热通道, 在保持器件平台工艺兼容性的前提下显著缓解自热引起的效率衰减.

5.2 背面金刚石生长实现 SiC/Diamond 集成

在 SiC/Diamond 异质集成的多种技术路线中, 通过在 SiC 衬底背面沉积生长金刚石层来构建复合衬底, 是一类兼顾工艺兼容性与散热能力的重要方案. 该方案保留单晶 SiC 作为 Ga_N 外延生长模板和器件缓冲层, 同时在其背面引入高热导金刚石作为热扩展层, 从而构建“单晶 SiC 功能层+金刚石高导热支撑层”的复合结构. 该路线的核心优势在于: 一方面能够继承 GaN-on-SiC 平台在外延质量、器件工艺方面的成熟基础, 避免在金刚石上直接外延生长 Ga_N 可能带来的成核困难、界面损伤和热应力集中等问题; 另一方面能够借助金刚石极高的热导率, 在器件纵向方向建立更高效的散热通道, 从而改善高功率密度工作条件下的自热积累.

由于 SiC 与金刚石在表面化学状态、晶格结构和热膨胀行为方面存在明显差异, 若直接在 SiC 表面沉积金刚石, 往往容易出现成核密度不足、膜层不连续、界面缺陷较多以及残余应力偏高等问题. 这些因素不仅会影响膜层本身的结构完整性, 也会显著制约界面热输运能力. 因此, 在背面金刚石生长路线中, 成核调控与界面过渡层设计构成了实现高性能复合衬底的前提.

针对这一问题, Zheng 等^[84] 提出在 4H-SiC 表面引入约 50 nm 的 SiN_x 介质过渡层, 再通过微波等离子体化学气相沉积方法促进金刚石成核和生长, 具体工艺流程如图 26 所示. 研究结果表明, SiN_x 层有助于提高金刚石在 SiC 表面的成核密度和覆盖均匀性, 并在一定程度上降低复合结构中的残余应力. 研究者通过分析指出, 界面过渡层中形成的 Si-C 连接结构可能有利于界面热传输. 该研究说明, 在背面生长金刚石实现 SiC/Diamond 集成的过程中, 过渡层并不只是简单的工艺辅助层,

图 26 SiC-金刚石衬底的制备实验流程总体方案^[84]Fig. 26. General scheme of experimental process of fabricating inch-size SiC-on-diamond wafer^[84].图 27 GaN-on-diamond/SiC 技术方案示意图及相应样品工艺流程图^[78]Fig. 27. Schematic illustration of the GaN-on-diamond/SiC technology scheme and corresponding sample drawings^[78].

而是直接关系到膜层连续性、界面微结构以及后续热边界传输能力的重要界面工程手段。

在解决金刚石成核和生长问题后, Hu 等^[78]研究了制备 SiC/Diamond 复合衬底的工艺, 其基本结构和制备流程如图 27 所示, 在 4H-SiC 衬底背面直接沉积多晶金刚石, 随后将 4H-SiC 衬底减薄, 再在 SiC 正面开展 GaN 外延和器件制备。研究表明, 该工艺能够形成约 200 μm 4H-SiC 和 200 μm 金刚石的复合结构, 并与已有 GaN-on-SiC 外延和器件工艺保持较好兼容性。

进一步地, 研究者通过截面 SEM, HR-TEM 及 EDS 对 SiC/Diamond 键合异质界面进行了详细分析, 金刚石晶粒在 4H-SiC 表面上分布均匀、排列紧密, 界面连续性较好, 但在 SiC/Diamond 界面附近仍存在厚度 1.5—3.2 nm 的非晶碳层。上述结果表明, 背面金刚石生长路线虽然避免了 GaN/Diamond 界面的高损伤问题, 但 SiC/Diamond 界面本身仍存在非晶层与应力积累, 其热边界输运能力仍有进一步优化空间。

进一步的热仿真与实验表征显示, 在基温 25 $^{\circ}\text{C}$ 、耗散功率 7.2 W/mm 条件下, 与常规 GaN-on-SiC

结构相比, 基于 diamond-SiC 复合衬底的器件表面温度可降低 52.5 $^{\circ}\text{C}$, 整体热阻降低约 41%, 相关温度分布和热阻提取结果如图 28 所示。该结果说明, 通过在 SiC 背面引入金刚石, 能够显著提升复合衬底的散热能力。

5.3 3C-SiC on Si 键合金刚石实现 SiC/Diamond 集成

除在 SiC 表面直接沉积金刚石或采用 SiC/Diamond 直接键合外, 近年来另一条具有代表性的技术路线, 是先在 Si 衬底上外延生长 3C-SiC 薄膜, 再通过表面活化键合将其转移至金刚石衬底上, 构建 3C-SiC/Diamond 复合衬底。该路线的核心思路是在金刚石高热导衬底上引入一层兼具晶格和热膨胀缓冲作用的 3C-SiC 薄层, 为后续 GaN 高质量外延提供可用的工程化模板。研究表明, 3C-SiC 的晶格常数与 GaN 较为接近, 且其热膨胀系数介于 GaN 与金刚石之间, 因此能够在异质集成中兼顾外延适配性与热应力缓冲作用。

Kagawa 等^[85]报道了低热阻 3C-SiC/Diamond 结构的制备方法, 如图 29 所示, 首先在 Si(111) 衬底

上生长约 950 nm 厚的 3C-SiC 薄膜, 随后去除原始 Si 衬底, 并将抛光后的 3C-SiC 背面与金刚石衬底在室温下通过 SAB 实现直接键合, 再移除临时支撑衬底, 最终完成 3C-SiC 薄膜向金刚石衬底的转移. AFM 结果表明, 经抛光后 3C-SiC 表面粗糙度由 8.44 nm 显著降至 0.18 nm, 为高质量界面形成提供了条件. 光学显微观察显示, 约 85% 的 3C-SiC 层表面积能够成功转移至金刚石表面, 说明该工艺已能够实现较大面积的异质集成, 但局部区域仍存在界面空洞, 表明后续仍需进一步优化转移均匀性与键合强度.

界面结构分析显示, 3C-SiC 与金刚石在室温键合后, 界面处形成了一层厚度约 18.5 nm 的非晶中间层, 该中间层在初始状态下不具有明显晶格条纹, 属于 Ar 快原子束活化过程中形成的非晶化过渡层. EDS 分析进一步发现, 该非晶层内伴随存在氧化层及富 Ar 区域, 并检测到微量 Fe 杂质; 其中氧主要来源于真空腔体残余气体, Ar 则来自表面活化过程中的轰击作用. 这些结果表明, SAB 虽然能够在室温下实现 3C-SiC 与金刚石的直接结合, 但其界面实质上是一个包含 Si, C 原子混合以及少量杂质引入的复杂过渡层.

在热学性能方面, 研究者采用 TDTR 对 3C-SiC/diamond 结构进行了表征. 如图 30 所示, 退火后 3C-SiC 薄膜厚度约为 905 nm, 其热导率达到 169 W/(m·K); 3C-SiC/Diamond 界面的热边界电导约为 93 MW/(m²·K), 对应界面热阻约为 10.8 m²·K/GW. 与此前采用 Si 中间层实现的 3C-SiC/diamond 界面相比, 该直接键合界面的热边界电导提高了约 1.69 倍. 相较于采用金属中间层的 SiC/diamond 结构, 其界面传热能力则提升超过 6 倍. 这说明, 通过减少低热导中间层并构建更直接的 SiC/Diamond 界面, 能够明显改善界面热输运性能.

该研究同时指出, 当前 3C-SiC/diamond 直接键合界面的热边界电导仍明显低于理论模拟值, 主要限制因素在于界面处残留的多晶 SiC 层仍会引发较强的声子散射. 此外, Ar, O, Fe 等残余杂质对界面热输运的影响机制仍不完全清楚. 已有相关工作表明, SiC 中间层的厚度越薄、结晶质量越高, 界面热边界电导通常越高. 因此, 未来该技术路线仍需围绕降低界面非晶/多晶层厚度、提升界面层结晶质量、减少活化引入杂质以及改善大面积键合均匀性等方面持续优化.

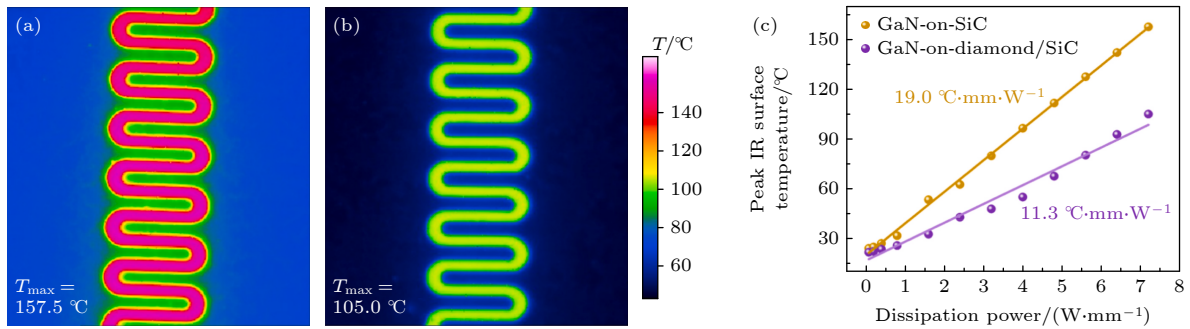


图 28 (a) GaN-on-SiC 和 (b) GaN-on-diamond/SiC 的红外热像对比; (c) GaN-on-SiC 和 GaN-on-diamond/SiC 表面温度随功耗的变化^[78]
Fig. 28. Thermography images of devices at the same dissipation power for (a) GaN-on-SiC and (b) GaN-on-diamond/SiC; (c) dependence of the devices surface temperature on dissipation power for GaN-on-SiC and GaN-on-diamond/SiC^[78].

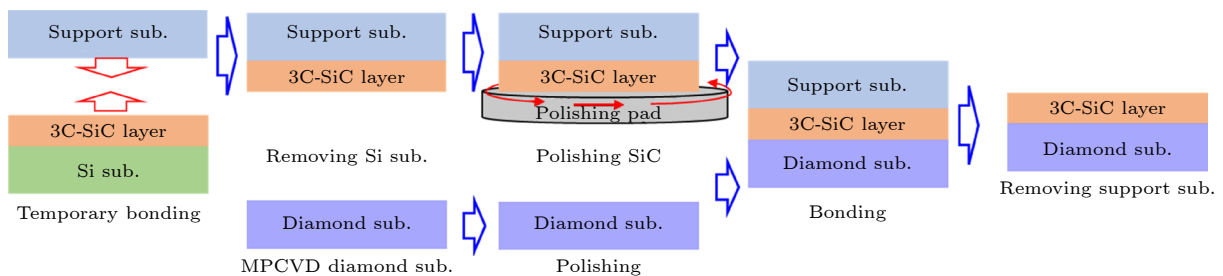


图 29 将生长在 Si 基底上的 3C-SiC 层转移至 Diamond 衬底的工艺^[85]

Fig. 29. Process for transferring 3C-SiC layer grown on a Si substrate to a diamond substrate^[85].

5.4 4H-SiC on Si 键合金刚石实现 SiC/Diamond 集成

相比 3C-SiC 薄层, 单晶 4H-SiC 在晶体质量、外延工艺成熟度和 GaN-on-SiC 器件兼容性方面更具优势, 因此, 研究者将这一思路推广到更高质量的单晶 4H-SiC 薄层. 本团队^[79]提出了一种基于表面活化键合和薄膜二次转移的 4H-SiC/Diamond 复合衬底方案. 该方案采用基于 SAB 的薄膜二次转移技术, 具体工艺流程如图 31 所示, 将厚度约 784 nm 的 4H-SiC 薄膜成功键合转移到金刚石衬底上, 键合率最高可达 98%, 再在此复合衬底上进行 GaN 外延生长. 该结构利用中间 SiC 层缓解了晶格失配和热膨胀失配, 并且转移后 4H-SiC 薄膜的 XRD 摇摆曲线半高宽与体 SiC 衬底相当, 说明其晶体质量在转移后仍保持较高水平. 这表明, 利用薄膜转移与低温键合方法, 可以在较好地保留单晶 SiC 材料质量的同时, 将其与高热导金刚石有效集成, 为后续复合衬底器件化应用奠定了基础.

从界面微结构看, 该路线的关键仍在于 4H-SiC/diamond 键合界面的损伤控制与退火重构. 如图 32 所示, 初始键合态界面中存在多层非晶过渡区, 包括靠近 SiC 和 Diamond 两侧的薄非晶层以及中间非晶 Si 层; 这类非晶层主要来源于表面活化过程中 Ar 快原子束轰击造成的界面无序化. 经 900 °C 退火后, 靠近 SiC 一侧的非晶层基本消失, 整个界面过渡层厚度减小到约 14 nm, 同时伴随中心区域的局部再结晶以及 Si, C 元素的界面扩散重分布. 上述结果表明, 在 4H-SiC/Diamond 路线中, 后退火不仅是提高键合可靠性的步骤, 更是降低界面热阻、恢复界面有序度的重要界面工程手段.

热学表征进一步证明了该结构的优势. 研究者采用 TTR 对不同退火条件下的 4H-SiC/Diamond 界面热边界电阻进行了测量, 经过 900 °C 退火后, 4H-SiC/Diamond 界面热阻可降低至 13.6 m²·K/GW, 是目前国内外已报道 4H-SiC/Diamond 界面热阻

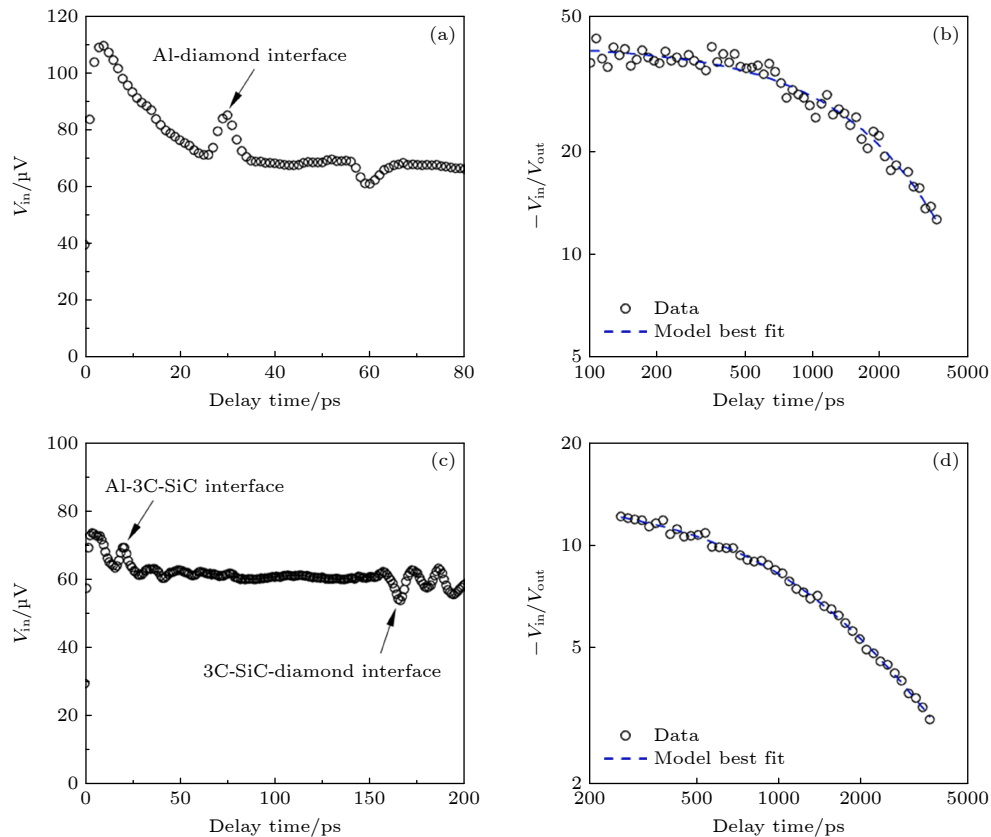


图 30 (a) Diamond 衬底样品的皮秒超声波测量结果; (b) Diamond 衬底样品 TDTR 实验数据的拟合结果; (c) 3C-SiC/Diamond 样品的皮秒超声波测量结果; (d) 3C-SiC/Diamond 样品 TDTR 实验数据的拟合结果^[85]

Fig. 30. (a) Picosecond ultrasonics measurements on the diamond substrate sample; (b) the data fitting of TDTR experimental data on the diamond substrate sample; (c) picosecond ultrasonics measurements on the 3C-SiC/Diamond sample; (d) the data fitting of TDTR experimental data on the 3C-SiC/Diamond sample^[85].

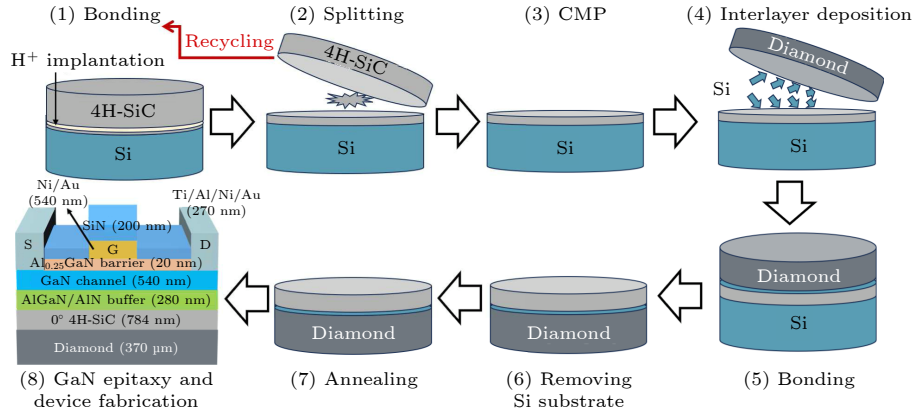

 图 31 超薄 4H-SiC 薄膜/金刚石衬底上氮化镓 HEMTs 的制备工艺^[79]

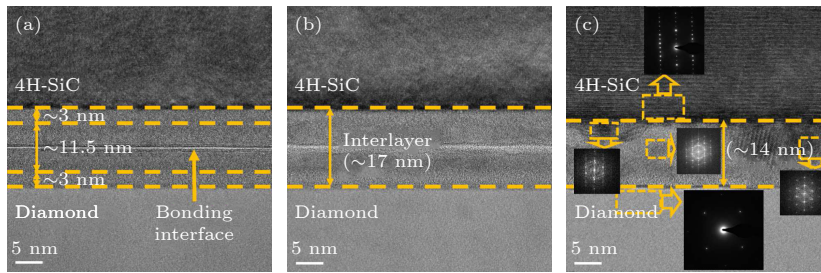
 Fig. 31. Fabrication process of GaN HEMTs on the ultra-thin 4H-SiC film/diamond substrate^[79].

 图 32 SiC/Diamond 界面的横截面 HRTEM 图像 (a) 退火前; (b) 600 °C 退火; (c) 900 °C 退火^[79]

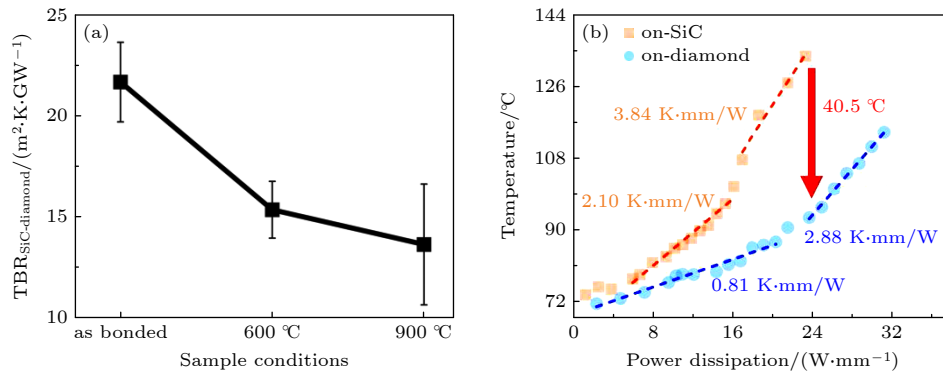
 Fig. 32. Cross-sectional HRTEM images of the SiC/diamond interface: (a) Before annealing; (b) annealed at 600 °C; (c) annealed at 900 °C^[79].

 图 33 (a) SiC/Diamond 界面热阻随退火温度的变化; (b) 基于不同衬底 GaN HEMT 结温随耗散功率密度的变化^[79]

 Fig. 33. (a) Thermal resistance of the SiC/Diamond interface as a function of annealing temperature; (b) junction temperature of GaN HEMT based on different substrates as a function of dissipation power density^[79].

中的最优水平. 该界面热阻的降低与非晶层减薄、界面缺陷减少以及局部再结晶密切相关. 在该衬底上制备的 GaN HEMT 器件, 在功耗高达 32.5 W/mm 条件下进行红外热成像测试 (基板温度 70 °C), 如图 33 所示, 结果显示: 与同批次工艺的同规格 SiC 衬底器件相比, SiC/Diamond 复合衬底上的器件热阻降低了 61.4%; 在 23.4 W/mm 工作条件下, 其结温降低 40.5 °C. 上述研究内容表明, 4H-SiC/Diamond 复合衬底在保持工艺兼容性的同时可显

著提升器件散热能力, 在高微波功率器件应用方面展现出广阔的应用前景.

基于键合与薄膜转移的 4H-SiC/diamond 复合衬底的重点研究内容不仅在于利用金刚石的高热导率提升散热能力, 而是在保持单晶 SiC 表层材料质量和工艺兼容性的同时, 通过高热导金刚石支撑层构建新的纵向热扩散通道. 该结构在界面热阻调控、薄层转移完整性和器件散热改善方面取得了实质性进展, 但其进一步发展仍面临若干挑战: 其一,

表 4 不同复合衬底的技术路线及应用优势总结

Table 4. Summary of technical routes and application advantages of different composite substrates.

复合衬底类型	代表结构/技术路线	应用优势
SiC/SiC复合衬底	1) 4H-SiC薄层/多晶SiC复合衬底 2) prime级SiC薄层/dummy级SiC复合衬底 3) 4H-SiC/3C-SiC复合衬底	低导通损耗、高质量材料利用率、低衬底成本
AlN陶瓷复合衬底	1) AlN陶瓷与Si, SiC, GaN等材料键合 2) QST衬底	高导热、高绝缘、缓解应力、低成本、大尺寸
SiC/Diamond复合衬底	1) SiC与Diamond金属键合 2) 背面金刚石生长 3) 3C-SiC或4H-SiC薄膜转移到Diamond	高导热、高绝缘、促进热匹配和晶格匹配, 超大功率器件散热优选

SiC/Diamond 界面中的非晶层、残余应力及局域缺陷仍可能成为限制热边界导热能力的关键因素; 其二, 大尺寸金刚石衬底与单晶 SiC 薄层之间的键合均匀性和工艺一致性仍需进一步提升. 因此, 如何进一步降低界面热阻、提高大尺寸晶圆键合质量将是 4H-SiC/Diamond 复合衬底研究的重要内容.

6 总结与展望

复合衬底技术的发展, 为宽禁带半导体材料性能调控与器件结构优化提供了新的实现路径. 通过薄膜转移、表面活化键合及界面调控等关键工艺, 可实现高质量功能层与高导热、低电阻或低成本支撑衬底的有效集成, 从而突破传统单一衬底在导热、导电、成本及尺寸扩展等方面的限制. 随着宽禁带半导体器件向高功率密度、高频、高温方向发展, 复合衬底正逐步成为支撑材料创新与器件性能提升的重要技术基础. 从前文梳理的不同技术路线可以看到, 复合衬底的优势并不局限于对传统衬底的替代, 更重要的是通过结构重构实现材料功能的重新分配. 功能层主要改善外延质量与器件性能, 支撑层主要承担热扩散、机械支撑、成本控制、电阻率优化等.

为了进一步归纳不同复合衬底的技术路线及其应用价值, 表 4 对 SiC/SiC 复合衬底、AlN 陶瓷复合衬底以及 SiC/diamond 复合衬底的代表路线和应用优势进行了总结.

尽管如此, 复合衬底技术仍面临若干挑战. 首先, 高质量功能薄膜的大尺寸均匀转移控制难度较高, 尤其在 6 英寸及以上晶圆条件下, 离子注入均匀性、剥离完整性和二次转移稳定性控制难度显著增加. 其次, 异质界面的非晶层、残余应力、局域缺陷、非故意引入的界面污染仍会影响界面热阻、界面电势及界面损耗等物性. 此外, 大尺寸晶圆键合

中的翘曲、空洞, 以及复合衬底在高温、高场和大功率工作条件下的长期稳定性, 也有待进一步深入研究. 后续研究除关注晶圆可键合性外, 还需关注键合晶圆的界面物相物性调控与可靠性方面.

未来, 宽禁带半导体复合衬底的发展仍将围绕高强度键合、低损伤剥离与转移、界面物相与物性精准调控、大尺寸制备、外延与器件联合验证等方向持续推进. 随着关键工艺不断成熟, 复合衬底有望在 SiC, GaN 及其他宽禁带半导体体系中发挥更大作用, 并为高性能功率器件、射频器件及极端环境电子器件的发展奠定材料与工艺基础.

参考文献

- [1] Langpoklakpam C, Liu A C, Chu K H, Hsu L H, Lee W C, Chen S C, Sun C W, Shih M H, Lee K Y, Kuo H C 2022 *Crystals* **12** 245
- [2] Wong M H, Bierwagen O, Kaplar R J, Umezawa H 2021 *J. Mater. Res.* **36** 4601
- [3] Lin Y C, Chen S H, Lee P H, Lai K H, Huang T J, Chang E Y, Hsu H T 2020 *Micromachines* **11** 222
- [4] Lu H, Zhang M, Yang L, Hou B, Perez Martinez R, Mi M H, Du J L, Deng L G, Wu M, Chowdhury S, Ma X H, Hao Y 2025 *Fundam. Res.* **5** 315
- [5] Ren Z, Xu J, Le X, Lee C 2021 *Micromachines* **12** 946
- [6] Qin X, Zhang J Q, Liu J, Zhao B, Li C G, Wan Q, Jiang C, Wei J Y, Han W, Wang B Y, Lv L, Chen X, Wan H Z, Wang H 2024 *Mater. Today Phys.* **48** 101557
- [7] Bao S Y, Wang Y, Khaw L, Zhang L, Wang B, Sasangka W A, Lee K E K, Chua S J, Michel J, Fitzgerald E, Tan C S, Lee K H 2021 *J. Semicond.* **42** 023106
- [8] Masteika V, Kowal J, Braithwaite N St J, Rogers T 2014 *ECS J. Solid State Sci. Technol.* **3** Q42
- [9] Tiwari R, Chandra S 2014 *J. Electron. Mater.* **43** 555
- [10] Hu H W, Chen K N 2021 *Microelectron. Reliab.* **127** 114412
- [11] Huang Y C, Lin Y X, Hsiung C K, Hung T H, Chen K N 2023 *Nanomaterials* **13** 2490
- [12] Suga T 2020 *Oyo Buturi* **89** 498
- [13] Xu Y, Mu F W, Wang Y H, Chen D P, Ou X, Suga T 2019 *Ceram. Int.* **45** 6552
- [14] Matsumae T, Kurashima Y, Takagi H, Shirayanagi Y, Hiza S, Nishimura K, Higurashi E 2022 *Scr. Mater.* **215** 114725
- [15] Kobayashi A, Tomiyama H, Ohno Y, Shimizu Y, Nagai Y, Shigekawa N, Liang J B 2022 *Funct. Diam.* **2** 142

- [16] Moriceau H, Mazen F, Braley C, Rieutord F, Tauzin A, Deguet C 2012 *Nucl. Instrum. Methods Phys. Res. B* **277** 84
- [17] Yang S J, Shuai Y, Zhu D L, Luo W B, Pan X Q, Peng B, Wu C G, Zhang W L 2025 *J. Vac. Sci. Technol. A* **43** 033409
- [18] Shen Z H, Xu W H, Chen Y, Lin J J, Xie Y H, Huang K, You T G, Han G Q, Ou X 2023 *Sci. China Mater.* **66** 756
- [19] Maleville C, Mazuré C 2004 *Solid-State Electron.* **48** 1055
- [20] Sharma M, Soni K K, Kumar A, Ohkubo T, Kapoor A K, Singh R 2021 *Curr. Appl. Phys.* **31** 141
- [21] Zhang J T, Wang L, Zhou J J, Zhang T M, Li J, Yang J Y, Li B S 2025 *Nucl. Phys. Rev.* **42** 123 (in Chinese) [张晋涛, 汪利, 周建军, 张桐民, 李军, 杨浚源, 李炳生 2025 *原子核物理评论* **42** 123]
- [22] Huet S, Guerber S, Rolland E, Szelag B, Gelineau G, Moulin A, Prudkovskiy V S, Troutot N, Licitra C, Gergaud P, Barbet S, Delcroix M, Caridroit S, Amalbert V, Alonso-Ramos C, Melati D, Edmond S, Vivien L, Mony K, Lapertot G, Widiez J 2024 *Mater. Sci. Forum* **1124** 67
- [23] Suga T 1998 *Ceramic Microstructures: Control at the Atomic Level* (Boston: Springer) pp385–389
- [24] Suga T 2025 *Jpn. J. Appl. Phys.* **64** 050801
- [25] Ohno Y, Liang J B, Shigekawa N, Yoshida H, Takeda S, Miyagawa R, Shimizu Y, Nagai Y 2020 *Appl. Surf. Sci.* **525** 146610
- [26] Yang S, Deng N K, Qu Y F, Wang K, Yuan Y, Hu W B, Wu S L, Wang H X 2022 *Materials* **15** 3115
- [27] Zhang H Z, Tian Y, Meng Y, Mu F W, Wang X H, Liu X Y 2022 *J. Mech. Eng.* **58** 136 (in Chinese) [张洪泽, 田野, 孟莹, 母凤文, 王鑫华, 刘新宇 2022 *机械工程学报* **58** 136]
- [28] Kondou R, Wang C X, Shigetou A, Suga T 2012 *Microelectron. Reliab.* **52** 342
- [29] Kondou R, Suga T 2011 *Scr. Mater.* **65** 320
- [30] Deng N K, Qu Y F, Yuan J, Yuan Y, Hu W B, Wu S L, Wang H X 2024 *J. Mater. Eng. Perform.* **33** 14381
- [31] Zhao X L, Qu Y F, Deng N K, Yuan J, Du L, Hu W B, Wang H X 2024 *Appl. Surf. Sci.* **678** 161139
- [32] Mu F W, Iguchi K, Nakazawa H, Takahashi Y, Fujino M, He R, Suga T 2016 *Appl. Phys. Express* **9** 081302
- [33] Plöbl A, Kräuter G 1999 *Mater. Sci. Eng. R Rep.* **25** 1
- [34] Sahoo H K, Ottaviano L, Zheng Y, Hansen O, Yvind K 2018 *J. Vac. Sci. Technol. B* **36** 011202
- [35] Takakura R, Murakami S, Watanabe K, Takigawa R 2023 *Sci. Rep.* **13** 3581
- [36] Wang X Q, Yu Y D, Ning J 2016 *J. Semicond.* **37** 056001
- [37] Takeuchi K, Suga T, Higurashi E 2024 *Sci. Rep.* **14** 1267
- [38] He R, Fujino M, Yamauchi A, Wang Y H, Suga T 2016 *ECS J. Solid State Sci. Technol.* **5** 419
- [39] Utsumi J, Ide K, Ichianagi Y 2016 *Jpn. J. Appl. Phys.* **55** 026503
- [40] Utsumi J, Ide K, Ichianagi Y 2019 *Micro Nano Eng.* **2** 1
- [41] Mu F W, Iguchi K, Nakazawa H, Takahashi Y, He R, Fujino M, Suga T 2017 *ECS J. Solid State Sci. Technol.* **6** 227
- [42] Takigawa R, Tomimatsu T, Higurashi E, Asano T 2019 *Micromachines* **10** 136
- [43] Jia X, Huang L, Sun M, Zhao X, Wei J J, Li C M 2022 *Coatings* **12** 672
- [44] Ma R, Liu W G, Sun X P, Zhou S 2021 *Front. Mater.* **8** 678658
- [45] Zhou C J, Yang Y, Cai H L, Ren T L, Chan M S, Yang C Y 2013 *IEEE Electron Device Lett.* **34** 1572
- [46] Feng X Q, Huang Y 2004 *Int. J. Solids Struct.* **41** 4299
- [47] Pelenovich V, Zeng X M, Zhang X Y, Fu D J, Lei Y, Yang B, Tolstoguzov A 2023 *Coatings* **13** 942
- [48] Lin Z H, Li X Z, Chen G L, Zhang P L, Cao Y J, Ren L, Shao H L, Zhao X X 2025 *Eur. Phys. J. D* **79** 50
- [49] Toyoda N 2018 *Int. J. Autom. Technol.* **12** 170
- [50] Xie K G, Xie Y, Deng H 2025 *Nanomanuf. Metrol.* **8** 12
- [51] Yamada I, Matsuo J, Toyoda N, Aoki T, Jones E, Insepov Z 1997 *AIP Conf. Proc.* **416** 310
- [52] Toyoda N, Yamada I 2007 *Nucl. Instrum. Methods Phys. Res. B* **261** 643
- [53] Toyoda N, Hagiwara N, Matsuo J, Yamada I 2000 *Nucl. Instrum. Methods Phys. Res. B* **161–163** 980
- [54] He Y, Wan S, Zhou S, Huang Z M, Chang Y W, Yang Y, Gao X W, Xu Y Z, Yang J F, Gao S, Ma D K, Zhou Y, Sun H R 2025 *Appl. Phys. Lett.* **126** 122201
- [55] Rouchier S, Gaudin G, Widiez J, et al. 2022 *Mater. Sci. Forum* **1062** 131
- [56] Guiot E, Picun G, Allibert F, Drouin A, Schwarzenbach W 2025 *Mater. Sci. Forum* **1156** 65
- [57] Biard H, Drouin A, Schwarzenbach W, Alassaad K, Coeurdray L, Chagneux V, Coche M, Ledrappier S, Monnoye S, Mank H, Rouchier S, Barge T, Radisson D, Moulin A, Barbet S, Widiez J, Odoul S, Maleville C 2024 *Mater. Sci. Forum* **1124** 21
- [58] Biard H, Odoul S, Schwarzenbach W, Radu I, Maleville C, Potier A, Ferrato M, Guajioty E 2023 *Solid State Phenom.* **344** 47
- [59] Joly J P, Aspar B, Bruel M, Di Cioccio L, Letertre F, Hugonnard-Bruyère E 2002 *Progress in SOI Structures and Devices Operating at Extreme Conditions* (Dordrecht: Springer) pp31–38
- [60] Di Cioccio L, Letertre F, Le Tiec Y, Papon A M, Jaussaud C, Bruel M 1997 *Mater. Sci. Eng. B* **46** 349
- [61] Wang X H, Xing X J, Yang X L, Yang X, Chen Y, Ma G L, Wang B X, Zhao Z F, Yuan C, Bai Y, Huang S, Lei Y P, Shi J Y, Liu F C, Zhang Y H, Mu F W, Liu X Y, Liu S, Hao Y 2024 *IEEE International Electron Devices Meeting San Francisco, CA, USA, December 7–11, 2024* p1
- [62] Xing X J, Tang Y D, Yang X, et al. 2025 *IEEE International Electron Devices Meeting San Francisco, CA, USA, December 6–10, 2025* p1
- [63] Li M, Pan K C, Ge Y J, Huynh K, Goorsky M S, Fisher T S, Hu Y J 2024 *Appl. Phys. Lett.* **125** 032104
- [64] You S Z, Geens K, Borga M, Liang H, Hahn H, Fahle D, Heuken M, Mukherjee K, De Santi C, Meneghini M, Zanoni E, Berg M, Ramvall P, Kumar A, Björk M T, Ohlsson B J, Decoutere S 2021 *Microelectron. Reliab.* **126** 114218
- [65] Li G Q, Li B, Ren B, Li Y, Chen H Y, Chen J H 2023 *Processes* **11** 1186
- [66] Matsumae T, Kurashima Y, Higurashi E, Nishizono K, Amano T, Takagi H 2020 *Ceram. Int.* **46** 25956
- [67] Mu F W, Xu Y, Shin S, Wang Y H, Xu H Y, Shang H P, Sun Y C, Yue L, Tsuyuki T, Suga T, Wang W B, Chen D P 2019 *Micromachines* **10** 635
- [68] Odnoblyudov V, Aktas O, Basceri C 2022 *Thermal Management of Gallium Nitride Electronics* (Sawston: Woodhead Publishing) pp251–274
- [69] Basceri C, Odnoblyudov V, Aktas O, Wohlmuth W, Geens K, Vohra A, Bakeroort B, Hahn H, Fahle D, Heuken M, Decoutere S 2022 *International Conference on Compound Semiconductor Manufacturing Technology Monterey, California, USA, May 9–12, 2022* p223
- [70] Huang C R, Chiu H C, Liu C H, Wang H C, Kao H L, Chen M C, Liu C C, Odnoblyudov V 2021 *International Conference on Compound Semiconductor Manufacturing Technology*

- Orlando, USA, May 24–27, 2021 p71
- [71] Gonalez Filho W, Borga M, Geens K, Cingu D, Chatterjee U, Banerjee S, Vohra A, Han H, Minj A, Hahn H, Marx M, Fahle D, Bakeroot B, Decoutere S **2023 *Sci. Rep.* **13** 15931**
- [72] Kumar S, Geens K, Vohra A, Wellekens D, Cingu D, Fabris E, Cosnier T, Hahn H, Bakeroot B, Posthuma N, Langer R, Decoutere S **2024 *IEEE Electron Device Lett.* **45** 657**
- [73] Han G, Kim J, Park S, Bae W **2025 *Electronics* **14** 4193**
- [74] Abdullah M F, Mat Hussin M R, Ismail M A, Wan Sabli S K **2023 *Microelectron. Eng.* **273** 111958**
- [75] Wang H R, Liu Y F, Dong X M, Ullah A, Sun J S, Zhang C, Xiong Y C, Gu P, Chen G, Liu X J **2025 *Nanomaterials* **15** 1114**
- [76] Zhang C Y, Vispute R D, Fu K, Ni C Y **2023 *J. Mater. Sci.* **58** 3485**
- [77] Fan K K, Guo J C, Huang Z H, Xu Y, Huang Z L, Xu W, Wang Q, Lin Q B, Li X H, Liu H Z, Liu X K **2025 *Moore. More* **2** 8**
- [78] Hu X F, Ge L, Liu Z H, Li M, Wang Y N, Han S B, Peng Y, Xu M S, Hu X B, Tang G B, Wang S Z, Wang X W, Xu X G **2024 *Carbon* **218** 118755**
- [79] Lei Y P, Wang X H, Mu F W, Jing G J, Ma G L, Zhang D G, Jiang W J, Cen L Z, Zhang Y, Xing X J, Deng K X, Yuan C, Huang S, Wei K, Liu X Y **2026 *IEEE Electron Device Lett.* **47** 237**
- [80] Hu X F, Li M, Wang Y N, Peng Y, Tang G B, Wang X W, Li B, Yang Y Q, Xu M S, Xu X G, Han J S, Cheong K Y **2023 *Vacuum* **211** 111895**
- [81] Minoura Y, Ohki T, Okamoto N, Yamada A, Makiyama K, Kotani J, Ozaki S, Sato M, Nakamura N **2020 *Jpn. J. Appl. Phys.* **59** SGGD03**
- [82] Okamoto N, Minoura Y, Sato M, Ohki T, Ozaki S, Makiyama K, Yamada A, Kotani J, Joshin K, Nakamura N **2024 *International Conference on Compound Semiconductor Manufacturing Technology* Tucson, USA, May 20–23, 2024 p5.1**
- [83] Hu X F, Peng Y, Wang X W, Han X T, Li B, Yang Y Q, Xu M S, Xu X G, Han J S, Wang D F, Cheong K Y **2022 *Mater. Today Commun.* **31** 103563**
- [84] Zheng Y T, Zhang Q R, Qiao G Z, Wei J J, Liu J L, Chen L X, An K, Zhang X T, Ye H T, Zhou H J, Tao H L, Yin Y H, Ouyang X P, Li C M **2022 *Ceram. Int.* **48** 36441**
- [85] Kagawa R, Ohno Y, Nagai Y, Shigekawa N, Liang J B **2024 *Funct. Diam.* **4** 2337352**

SPECIAL TOPIC—Semiconductor physics and devices

Research progress on composite substrates for wide-bandgap semiconductors*

ZANG Jiaqi¹⁾²⁾ WANG Xinhua^{1)†} XING Xiangjie¹⁾²⁾ LEI Yipei¹⁾²⁾
DENG Kexin¹⁾ JIANG Wenjing¹⁾ CEN Lizhao¹⁾ SUN Bing¹⁾
CHANG Hudong¹⁾ WEI Ke¹⁾ HUANG Sen¹⁾²⁾ LIU Fuchao³⁾
MU Fengwen³⁾ LIU Xinyu¹⁾

1) (HF & HV Device and Integration Center, Institute of Microelectronics, Chinese Academy of Sciences, Beijing 100029, China)

2) (University of Chinese Academy of Sciences, Beijing 100049, China)

3) (iSABers Group Co., Ltd., Tianjin 300451, China)

(Received 17 April 2026; revised manuscript received 27 May 2026)

Abstract

With the continuous development of wide-bandgap semiconductor devices toward higher power density, higher operating frequency, higher voltage, higher temperature, and higher reliability, substrate materials are required to provide not only mechanical support but also efficient heat dissipation, stable electrical transport, high crystalline compatibility, process scalability, and acceptable manufacturing cost. However, conventional single-material substrates usually fail to satisfy these requirements simultaneously. For example, high-quality

* Project supported by the National Natural Science Foundation of China (Grant Nos. 62427814, U2530203, 62074161, 62504246), the National Youth Talent Support Program, the China Postdoctoral Science Foundation (Grant No. 2025M780552), the IMECAS-HKUST-Joint Laboratory of Microelectronics (Grant No. JLFS/E-601/24), the Beijing Key Laboratory of Nitride Wide Bandgap Semiconductor Materials and Devices, the Qingmiao Program of Institute of Microelectronics, Chinese Academy of Sciences, and the University of Chinese Academy of Sciences.

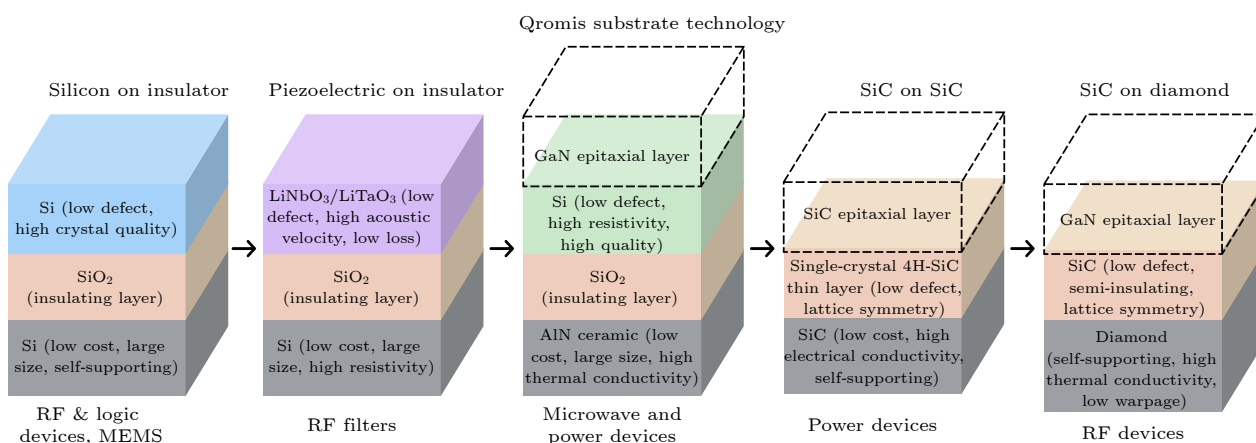
† Corresponding author. E-mail: wangxinhua@ime.ac.cn

single-crystal substrates may offer excellent electrical and crystalline properties but suffer from high cost and limited wafer size, whereas low-cost or highly thermally conductive substrates may be limited by lattice mismatch, thermal expansion mismatch, or poor compatibility with device fabrication. Therefore, composite substrates have become an important strategy for improving the performance and manufacturability of next-generation wide-bandgap semiconductor devices.

Composite substrates are constructed by integrating a high-quality functional layer with a supporting substrate through film transfer, heterogeneous integration, interface reconstruction, and precision surface processing. By separating the functions of the active layer and the supporting layer, this material platform can combine the advantages of different materials and achieve coordinated optimization of thermal, electrical, mechanical, and technological properties. In this review, the main fabrication routes and key technical challenges of composite substrates are systematically summarized. Particular attention is paid to three critical steps: high-quality exfoliation and transfer of functional films, surface-activated bonding for low-temperature heterogeneous integration, and high-precision planarization after transfer. These processes determine the thickness uniformity, defect density, interfacial bonding strength, thermal and electrical transport across the interface, and surface quality required for subsequent epitaxy or device fabrication.

On this basis, recent progress in several representative composite substrate systems is reviewed. For SiC/SiC composite substrates, including single-crystal SiC/polycrystalline SiC, prime-grade SiC/dummy-grade SiC, and different SiC polytype combinations, the main objective is to improve the utilization of high-quality SiC, reduce substrate cost, lower conduction resistance, and support high-performance power devices. For AlN ceramic-based composite substrates, the focus is on combining high thermal conductivity, electrical insulation, and mechanical stability, making them promising for GaN-based power and radio-frequency devices that require efficient heat spreading and large-size manufacturability. For SiC/diamond composite substrates, the outstanding thermal conductivity of diamond is used to enhance heat extraction from high-power devices, while the SiC layer provides a more compatible platform for epitaxial growth and device processing. These examples show that composite substrates are not simple material stacks, but engineered substrate systems in which the functional layer, supporting layer, and interface must be co-designed.

Finally, the remaining challenges and future directions for composite substrates are discussed. Large-diameter uniform fabrication, controllable interface structure, low thermal and electrical boundary resistance, suppression of residual stress, and long-term reliability under high-temperature and high-power operation remain key issues for practical application. With further progress in film transfer, low-temperature bonding, interface engineering, and precision planarization, composite substrates are expected to play an increasingly important role in wide-bandgap semiconductor devices and related high-performance electronic systems.



Keywords: composite substrates, bonding, hetero-integration, wide bandgap semiconductor

DOI: 10.7498/aps.75.20260540

CSTR: 32037.14.aps.75.20260540



宽禁带半导体复合衬底研究进展

臧嘉琪 王鑫华 邢湘杰 雷依培 邓可心 蒋文静 岑立昭 孙兵 常虎东 魏珂 黄森 刘福超 母凤文 刘新宇

Research progress on composite substrates for wide-bandgap semiconductors

ZANG Jiaqi WANG Xinhua XING Xiangjie LEI Yipei DENG Kexin JIANG Wenjing CEN Lizhao
SUN Bing CHANG Hudong WEI Ke HUANG Sen LIU Fuchao MU Fengwen LIU Xinyu

引用信息 Citation: *Acta Physica Sinica*, 75, 180802 (2026) DOI: 10.7498/aps.75.20260540

CSTR: 32037.14.aps.75.20260540

在线阅读 View online: <https://doi.org/10.7498/aps.75.20260540>

当期内容 View table of contents: <http://wulixb.iphy.ac.cn>

您可能感兴趣的其他文章

Articles you may be interested in

原位X射线表征下金属有机化学气相沉积氮化物外延生长动力学研究进展

Research progress of growth kinetics of nitride metal-organic chemical vapor deposition epitaxy under *in situ* X-ray characterization

物理学报. 2026, 75(4): 180802 <https://doi.org/10.7498/aps.75.20251197>

二维材料宽谱光电探测器研究进展

Research progress of broadband photodetectors based on two-dimensional materials

物理学报. 2025, 74(22): 228503 <https://doi.org/10.7498/aps.74.20251115>

宽禁带大功率电子器件结温测量技术

Wide bandgap high power electronic device junction temperature measurement technology

物理学报. 2026, 75(7): 228503 <https://doi.org/10.7498/aps.75.20260106>

荧光法测定半导体禁带宽度

Luminescence measurement of band gap

物理学报. 2022, 71(6): 067803 <https://doi.org/10.7498/aps.71.20211894>

III族氮化物半导体及其合金的原子层沉积和应用

Atomic layer deposition and application of group III nitrides semiconductor and their alloys

物理学报. 2024, 73(3): 038102 <https://doi.org/10.7498/aps.73.20230832>

硅基半导体量子计算研究进展

New progress of silicon-based semiconductor quantum computation

物理学报. 2022, 71(23): 230301 <https://doi.org/10.7498/aps.71.20221900>