

专题: 半导体物理与器件

高密度阻变存储器研究进展*

赵冬雪 王宗巍[†] 杨高琦 武子孟 邱雨琛 孙经纬 蔡一茂[‡]

(北京大学集成电路学院, 集成电路高精尖创新中心, 北京 100871)

(2026 年 5 月 7 日收到; 2026 年 5 月 27 日收到修改稿)

阻变存储器 (RRAM) 因其结构简单、CMOS 兼容性好及存内计算潜力, 成为后摩尔时代高密度存储的重要候选技术. 然而, 基于 1T1R 结构的平面 RRAM 在尺寸微缩过程中受到操作电流需求与晶体管面积之间矛盾的制约, 难以进一步提升存储密度. 本文系统综述了高密度 RRAM 的发展, 重点分析了平面尺寸微缩的关键瓶颈以及向三维集成演进的技术路径. 首先, 从器件与阵列两个层面阐述了 1T1R 结构演变与 nTmR 阵列优化方法, 并总结了驱动能力不足、串扰增强及可靠性退化等限制因素. 随后, 围绕三维 RRAM 的发展, 重点讨论了自选择器件的工作机制与性能需求, 比较了金属细丝型、非晶硫属化物阈值开关型及绝缘体金属转变型等典型选择管的特点, 并分析了自选择存储单元在密度提升方面的优势. 在三维阵列架构方面, 对水平堆叠、垂直堆叠及基于晶体管的三维结构进行对比, 指出垂直堆叠架构在密度扩展方面具有最大潜力. 同时, 分析了三维阵列中漏电路径、寄生效应与热管理等关键问题及其优化策略. 研究表明, 选通管性能提升与三维堆叠架构优化是实现超高密度 RRAM 的关键方向, 为新一代非易失存储与智能计算提供重要支撑.

关键词: 阻变存储器, 高密度, 微缩, 垂直堆叠, 选通管**DOI:** 10.7498/aps.75.20260651**CSTR:** 32037.14.aps.75.20260651

1 引言

自 1965 年摩尔定律提出以来, 半导体器件的特征尺寸持续缩小, 集成度与性能呈指数级提升, 支撑了信息技术的快速发展. 然而, 当工艺节点进入 10 nm 及以下, 晶体管微缩所带来的短沟道效应、功耗增大及互连延迟等物理极限问题日益突出, 使得传统平面器件的性能提升逐渐放缓^[1-4]. 同时, 传统冯·诺依曼架构面临“存储墙”与“功耗墙”的双重挑战, 在人工智能与大数据应用驱动下, 数据密集型应用 (如大模型训练、神经网络推理与边缘计算) 的快速增长对高密度、低功耗非易失存储器提出了更高要求^[5-7]. 阻变存储器 (resistive random access memory, RRAM) 因其结构简单、

开关速度快以及良好的 CMOS 兼容性, 被认为是实现超高密度存储与存内计算的重要候选技术之一^[8]. 现阶段 RRAM 在实现超高密度集成过程中主要有两条关键技术路径, 一是基于平面结构的尺寸微缩, 二是基于垂直方向扩展的三维集成. 针对小尺寸平面阻变单元, 随着高介电常数金属氧化物 (如 HfO_x , TaO_x , TiO_x 等) 的材料体系不断成熟, 1T1R 器件在开关比、循环耐久性以及多级存储能力等关键指标上持续优化, 并且通过版图排布设计进一步缩小投影面积. 与此同时, 通过引入二端阈值型选择管 (如 OTS, IMT) 或内嵌式自选择结构, 3D RRAM 已从单器件层面的物理验证逐步发展至多层交叉阵列的集成演示阶段. 相较于传统平面器件结构, 3D RRAM 探索通过垂直结构与阵列操作实现在高存储密度、高带宽与低功耗之间的

* 国家自然科学基金 (批准号: 62322401, 62341407, U24B20166)、北京市自然科学基金-小米创新联合基金 (批准号: L223004) 和“111 计划” (批准号: B18001) 资助的课题.

[†] 通信作者. E-mail: wangzongwei@pku.edu.cn

[‡] 通信作者. E-mail: caiyima@pku.edu.cn

系统级平衡,但其规模化应用仍受到材料均匀性、热耦合效应及阵列级可靠性等问题的制约.基于上述背景,本文将围绕高密度阻变存储器的两条发展路径展开系统性综述,重点分析平面结构下的器件微缩结构、阵列集成优化方法与可靠性限制,进一步分析面向三维结构的自选择存储单元设计、垂直堆叠架构及阵列操作挑战等关键问题,并针对实现高密度阻变存储器不同路径下的瓶颈问题进行机理层面的讨论,为后摩尔时代器件密度扩展与能效优化提供分析基础.

与已有 RRAM 综述主要侧重材料体系、器件结构或性能指标总结不同,本文更加关注高密度 RRAM 发展过程中所涉及的关键物理限制机制及其跨层级耦合关系.本文不仅从二维微缩与三维集成两条技术路径出发,对典型器件结构与阵列方案进行分类讨论,还进一步强调导电细丝演化、局域焦耳热、氧空位迁移、电压再分配、负反馈效应以及阵列级泄漏路径等因素之间的动态耦合行为,重点分析其对器件微缩能力、阵列可靠性以及大规模集成稳定性的影响.此外,本文对 1T1R、3D crossbar、自选择器件以及垂直堆叠结构中的共性瓶颈进行统一分析,以期为高密度 RRAM 的结构优化与系统集成提供更具物理机制导向的理解框架.

2 平面阻变存储器尺寸微缩

阻变存储器 (RRAM) 典型器件结构为金属/绝缘层/金属 (metal-insulator-metal, MIM) 三

治结构 [9]. 在实际阵列应用中,通常采用 1T1R (one-transistor-one-resistor) 结构,通过引入晶体管作为选通器件,实现对单元电流的精确控制,从而抑制泄漏电流与写入串扰.然而,该结构的单元面积主要由访问晶体管决定,其理论极限通常为 $6F^2$ 甚至更高,这在根本上限制了 RRAM 的高密度潜力.

随着工艺节点不断缩小,RRAM 尺寸微缩面临多层次挑战.在器件层面,晶体管尺寸缩小导致驱动电流下降,从而引发开关窗口退化及可靠性问题;在阵列层面,选通结构及互连布局带来的面积开销限制了阵列紧凑性;在电路层面,外围驱动与控制电路的面积占比不断增加,进一步削弱了存储密度优势.这些因素共同作用,使得平面 RRAM 在密度提升过程中逐渐逼近综合极限.因此,围绕突破晶体管面积与驱动能力这一核心问题,研究者提出了一系列基于器件结构与阵列架构的优化方案,不同技术节点对应的存储密度如图 1 所示 [9-24].本节将重点围绕 1T1R 结构演变及阵列级优化方法,系统分析平面 RRAM 尺寸微缩的主要技术路径及其瓶颈.

2.1 1T1R 单元结构演变

在传统 RRAM 阵列中,1T1R 结构因其优异的电流调控能力与串扰抑制特性,成为被广泛采用的基本单元结构.然而,随着工艺节点向先进尺度推进,1T1R 结构在尺寸微缩过程中逐渐暴露出驱动能力与器件缩放之间的根本性矛盾.

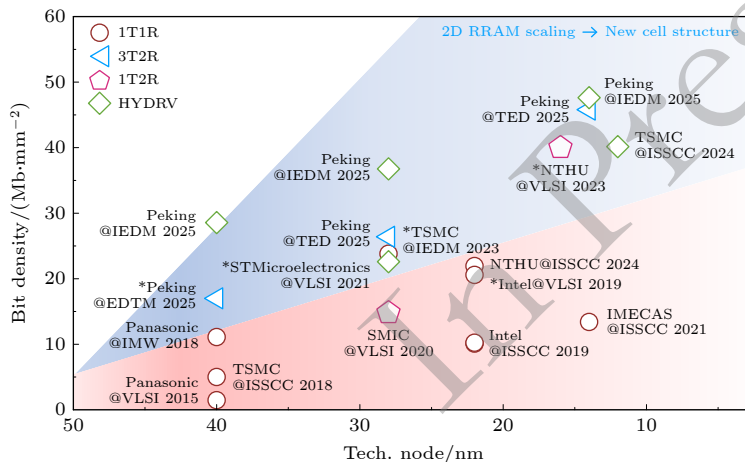


图 1 二维阻变存储器密度发展路线图 [9-24] (注: 图中*部分密度数据依据原始文献参数进行等效面积换算)

Fig. 1. Roadmap of density scaling for 2D RRAM technologies [9-24] (Note: the density data in the figure for the *-marked portions are converted based on equivalent area calculations using parameters from the original literature).

一方面, 为提升存储密度, 需要持续缩小访问晶体管尺寸. 然而, RRAM 的阻变过程, 尤其是 RESET 操作, 对驱动电流具有较高要求, 其物理本质与导电细丝 (conductive filament, CF) 断裂过程中所需的局域焦耳热密切相关. 在 RESET 过程中, 导电细丝内部的高电流密度会产生显著局域温升, 进而驱动氧空位发生热激活扩散与回迁, 使细丝在热不稳定区域发生局部收缩甚至断裂, 从而完成由低阻态 (LRS) 向高阻态 (HRS) 的转变. 因此, RESET 过程通常表现出显著的热与离子耦合特征, 其稳定性高度依赖于局域温度分布与缺陷迁移行为. 当晶体管尺寸持续缩小时, 其驱动电流能力下降, 导致导电细丝内的焦耳热功率不足, 使局域温升难以达到氧空位有效迁移所需的热激活条件. 在此情况下, 细丝断裂位置与断裂程度将表现出更强随机性, 容易出现细丝残留、断裂不充分或多细丝竞争导通等现象, 进而导致 RESET 离散性增大、高阻态分布展宽以及开关窗口缩小. 此外, 由于细丝热耗散能力与尺寸密切相关, 小尺寸器件中温度场更易受到界面粗糙度、材料缺陷及局域导热不均匀性的影响, 从而进一步加剧器件可靠性退化与循环稳定性恶化^[25,26].

另一方面, 通过提高操作电压以弥补电流不足, 虽然能够维持基本开关行为, 但会引入栅氧击穿、电压过驱 (overdrive stress) 以及器件退化等可靠性问题^[27–29]. 此外, 在双极性 RRAM 中, 晶体管与阻变单元之间并非简单串联关系, 而是存在明显的器件与电路动态耦合行为. 在 SET/RESET 过程中, RRAM 阻态会随导电细丝的形成与断裂持续变化, 从而导致外加偏压在晶体管与阻变层之间发生动态再分配. 由于晶体管输出特性本身受栅压与漏源电压调控, 源端电位抬升将引发明显的负反馈效应, 使有效栅压 (V_{gs}) 下降, 并进一步削弱晶体管输出电流能力. 这种反馈机制在 RESET 过程中尤为显著. 由于 RESET 通常依赖局域焦耳热驱动导电细丝热断裂, 其过程对电流与功率变化高度敏感. 当负反馈效应导致驱动电流下降时, 导电细丝中的局域温升将受到抑制, 使氧空位热激活迁移能力减弱, 进而导致细丝断裂不充分、残余导电通道保留以及高阻态分布离散性增大. 相比之下, SET 过程更多依赖电场驱动下的缺陷迁移与局域导电通道形成, 因此对瞬态热功率变化的敏感性相对较低. 这种 SET/RESET 在物理驱动机制上的

不对称性, 使得负反馈效应在 RESET 阶段表现得更为突出. 此外, 在 Forming 阶段, 由于初始阻变层通常处于高电阻态, 外加电压主要集中于 RRAM 单元内部, 容易诱发局域电场增强与瞬态热失控; 而随着导电通道形成, 器件阻值迅速下降, 又会导致电压重新分配和瞬态电流过冲. 此时, 晶体管负反馈机制将进一步影响 Forming 过程中导电细丝的形成位置、尺寸及均匀性, 从而加剧器件间离散性与后续耐久性退化. 因此, 阻态演化、电压再分配、晶体管负反馈与局域热迁移之间的动态耦合机制, 已成为先进节点下 1T1R 结构进一步微缩的重要物理限制因素. 针对上述问题, 研究者从选通器件类型与选通晶体管结构两个层面提出了多种优化策略.

首先, 在选通器件层面, 部分工作尝试引入非 MOS 结构替代传统晶体管. 例如, 基于 SOI 工艺构建的垂直双极晶体管 (1BJT1R) 结构, 在 28 nm 节点实现了约 $0.019 \mu\text{m}^2$ 的单元面积^[16]. 然而, 由于双极器件的导电特性具有明显非对称性, 该类结构主要适用于单极性存储机制, 难以兼容主流双极性 RRAM. 此外, 其工艺复杂度较高, 迁移性与通用性受限. 另一类方法是在后端工艺中引入薄膜晶体管 (TFT) 作为选通器件, 但受限于其较低载流子迁移率, 单位面积驱动能力不足, 需要通过多层堆叠补偿面积劣势, 增大系统复杂度^[30,31].

其次, 在选通晶体管结构优化方面, 通过提升单位面积驱动能力成为更具工程可行性的路径. 例如, 多指 (multi-finger) 晶体管结构通过在保持总栅宽不变的前提下减小单指宽度, 从而缩小字线方向尺寸^[20]. 尽管该方法会增加位线方向尺寸, 但整体单元面积仍可降低 10%—15%, 在密度、可靠性与工艺复杂度之间取得较好平衡.

需要指出的是, 上述优化策略均未从根本上改变 1T1R 结构对选通晶体管尺寸的依赖. 受栅极间距限制, 其单元面积通常难以低于 $8F^2$. 因此, 单纯依赖器件层面的结构优化难以突破 RRAM 密度极限^[32,33], 也促使研究从阵列层面进一步探索面积优化路径.

2.2 nTmR 阵列集成方式演变

在器件单元层面优化难以突破晶体管面积限制的背景下, 研究者进一步从阵列结构角度出发, 通过单元结构复用与架构重构提升面积利用率. 其中,

nTmR 结构通过多个存储单元共享选通晶体管, 有效降低晶体管面积在单元中的占比, 是二维 RRAM 实现高密度的重要探索方向. 根据实现方式的不同, 相关工作可归纳为选通晶体管复用 (1TnR) 和阵列级结构重构 (如 3T2R 等) 两类.

对于选通晶体管复用结构, 1TnR 主要通过多个 RRAM 单元共享一个晶体管, 从而均摊晶体管面积开销, 实现单元面积的显著降低. 例如, 在 28 nm 工艺节点下, 1T10R 结构可将单元面积缩小至约 $0.01 \mu\text{m}^2$, 而 1T2R 结构的平均单元面积约为 $0.026 \mu\text{m}^2$, 均明显优于传统 1T1R 结构 (约 $0.045 \mu\text{m}^2$)^[14,15]. 这表明, 通过晶体管复用可以有效提升阵列面积利用率. 然而, 该结构在阵列级运行中引入了更复杂的电学问题. 首先, 由于多个单元共享同一晶体管, 当部分单元处于低阻态 (LRS) 时, 阵列内部将形成额外的电流泄漏路径 (sneak paths). 这些泄漏路径并非单一固定通道, 而是由不同阻态单元共同构成的多路径并联导电网络, 其电流分布会随着阵列状态动态变化. 在大规模阵列中, 由于低阻态单元数量增加, 可形成的泄漏路径数量呈快速增长趋势, 从而导致总泄漏电流显著累积, 并进一步引发读写裕量下降与电压分配失衡. 例如, 在规模为 2×32 的 1T2R 阵列中, 写入泄漏电流仍可达到 $100 \mu\text{A}$ 量级, 对正常操作构成干扰. 其次, 在写入过程中, 由于电压在多个单元之间分配, 未选中单元通常承受约为选中单元一半的电压应力, 尽管该电压通常不足以直接触发完整 SET/RESET 过程, 但长期重复施加后, 仍可能在阻变层内部诱导局域缺陷态演化与氧空位缓慢迁移. 在局部电场增强区域, 部分亚稳态导电通道可能被逐渐激活, 从而导致弱阻变 (weak switching)、阻态漂移甚至软击穿 (soft breakdown) 等问题. 尤其是在大规模阵列中, 由于半选单元数量随阵列规模同步增加, 其累积扰动效应将进一步放大, 并最终导致阵列整体可靠性下降. 此外, 随着阵列尺寸扩大, 位线与源线中的寄生电阻和 IR drop 效应也会进一步改变阵列内部实际电压分布, 使不同位置单元承受的有效偏压产生明显差异. 这种由“阻态分布-泄漏路径-电压再分配”共同构成的阵列级耦合行为, 将进一步加剧 1TnR 结构中的写入离散性与可靠性退化. 因此, 尽管 1TnR 结构在理论上具备较高密度优势, 但其固有的泄漏路径与串扰问题, 使其难以直接应用于高可靠性存储系统^[34-36].

对于阵列级结构的优化设计, 研究者进一步引入额外晶体管对阵列进行分割与隔离, 缓解 1TnR 结构中的串扰问题, 从而在密度与可靠性之间取得折中. 典型代表为 3T2R 结构^[23,37]. 该结构通过增加辅助晶体管, 实现对 RRAM 单元的分组控制, 从而有效抑制共享路径带来的泄漏电流与电压分压效应. 在 40 nm 工艺节点下, 北京大学蔡一茂团队^[23,37]提出了一种共用选通晶体管的 RRAM 单元设计, 通过源极共用的方法, 将这些额外的晶体管布局到原本作为传统设计中浅槽隔离和假栅结构的位置, 消除了额外面积开销, 实现 3T2R 结构单元面积减小为 $0.045 \mu\text{m}^2$, 在保持较高密度的同时, 仍具备良好的器件性能, 包括超过 10^5 次的循环耐久度以及在 150°C 条件下超过 10 年的保持特性. 进一步优化 3T2R 的阵列连接关系, 通过错位引出位线和源线蛇形布局的方案, 将每行的位线开销缩小为传统设计的一半, 并且节省多层金属互连层. 尽管该类结构在可靠性方面优于 1TnR, 但其面积优势有限, 本质上仍属于二维结构内的局部优化, 难以实现大规模密度提升.

主流二维阻变存储器单元结构特点对比如图 2 所示^[13,23,38-40], nTmR 结构通过晶体管复用在一定程度上突破了 1T1R 的面积限制, 但其引入的电流驱动路径与写入串扰问题构成了进一步扩展的主要障碍^[41,42]. 即使通过引入额外晶体管进行阵列分割, 也难以在密度与可靠性之间实现理想平衡. 此外, 通过引入寄生双极晶体管形成混合驱动 (hybrid-driven) 结构^[13], 可以在不增大晶体管尺寸的情况下显著提升 RESET 电流, 有效缓解非对称操作带来的驱动不足问题; 结合自对准深沟槽隔离 (DTI) 技术, 还可进一步缩小单元间距并提升电隔离能力. 扩展到应用鳍式场效应晶体管的工艺节点, 可以通过改变鳍的数量来调整栅宽, 进而优化 HYDRV 单元的器件性能. 但是仅依赖二维阵列结构优化仍然难以满足超高密度存储需求, 这也进一步推动了基于自选择器件的三维 RRAM 结构发展.

2.3 尺寸微缩面临的挑战

尽管通过器件结构优化与阵列级设计能够在一定程度上提升二维 RRAM 的集成密度, 但相关方案仍未从根本上解决 RRAM 操作电流需求与晶体管面积开销之间的矛盾. 随着器件尺寸持续缩小, 导电细丝形成与断裂过程中的随机性被进一

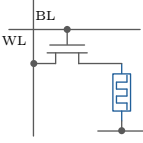
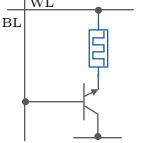
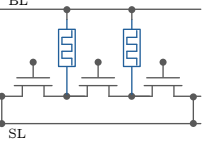
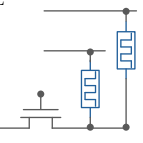
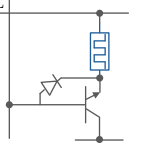
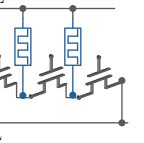
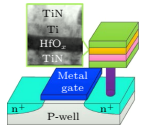
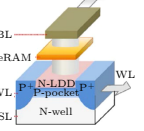
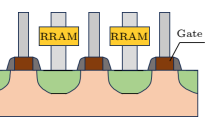
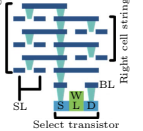
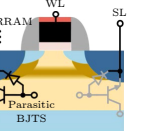
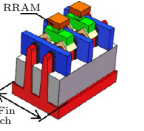
Cell	1T1R	1BJT1R	3T2R	1TnR	HYDRV	FinFET
Circuit						
Structure						
Polarity	Bipolar	Unipolar	Bipolar	Bipolar	Bipolar	Bipolar
Endurance	100 K	100 K	100 K	10 K	100 K	100 K
Retention	85 °C, 10 y	240 °C, 1 h	150 °C, 10 y	150 °C, 200 h	150 °C, 10 y	125 °C, 10 y
Standard process	Yes	No	Yes	Yes	Yes	Yes
Leakage	No	No	No	Yes	No	No

图 2 二维阻变存储器单元结构对比 [13,23,38–40]

Fig. 2. Comparison of different 2D RRAM cell technologies [13,23,38–40].

步放大, 使得 RRAM 在一致性与可靠性方面面临更加严峻的挑战. 总体而言, 二维 RRAM 尺寸微缩主要受限于器件驱动能力、结构非对称性、阵列布局以及外围电路等多方面因素.

1) 选通晶体管面积与驱动电流折中

在 1T1R 结构中, 选通晶体管的栅宽直接决定其饱和驱动电流能力. 随着栅宽缩小, 晶体管输出电流显著下降, 而 RRAM 的 SET/RESET 操作对驱动电流具有明确要求. 若驱动电流不足, 不仅会导致导电细丝形成与断裂不稳定, 还会引起存储窗口缩小、状态保持特性退化, 甚至造成写入失败. 因此, 为满足 RRAM 对操作电流及可靠性的要求, 选通晶体管的尺寸难以进一步缩小, 从而限制了单元面积的持续压缩. 尽管通过 1TnR 等结构可以通过多个存储单元均摊晶体管面积, 但该方法会引入额外泄漏路径与写入串扰问题, 难以在大规模阵列中稳定应用. 由此, 晶体管面积与驱动电流之间形成难以调和的矛盾, 成为制约 RRAM 密度提升的首要因素.

2) 串联非对称结构导致的驱动受限

在 1T1R 单元中, 晶体管与 RRAM 串联构成非对称结构, 其电学行为在不同偏置条件下表现出明显差异. 当操作电压施加在晶体管一侧时, RRAM 的电阻变化会通过负反馈效应抑制晶体管的栅源电压 (V_{gs}), 从而降低有效驱动电流; 而当电压施加

在 RRAM 一侧时, 该负反馈效应则相对较弱. 对于双极性 RRAM 而言, SET 与 RESET 过程电压方向相反, 其中必然存在一个操作过程受到负反馈限制. 考虑到 RESET 过程通常需要更大的驱动电流, 该过程更易受到限制, 从而成为制约器件缩放的关键因素. 尽管可以通过调整 RRAM 极性使 SET 过程承担负反馈限制, 从而在一定程度上平衡两种操作, 但这种方法会导致 Forming 过程同样受到抑制. 由于 Forming 阶段初始阻值较高, 需要更高驱动电压, 负反馈效应会进一步提高晶体管栅压需求, 从而带来额外的可靠性风险. 因此, 串联结构中的负反馈效应本质上限制了驱动电流的有效输出, 使得在保证器件性能的前提下难以进一步缩小晶体管尺寸.

3) 阵列中源极引出面积开销大

在传统 1T1R 阵列结构中, 每个存储单元均需通过源极接触孔与源线连接. 尽管可以通过相邻单元共享源区的方式减少接触孔数量, 但源极接触区域仍然占据较大面积, 其开销可达到阵列总面积的约 1/3. 若通过晶体管复用结构 (如 1TnR) 来均摊该部分面积开销, 则会引入额外的泄漏路径与写入串扰问题; 而若采用垂直选通器件以消除源极接触开销, 则通常难以兼容标准 CMOS 逻辑工艺, 不适用于嵌入式应用场景. 因此, 源极引出结构的面积限制使得实际单元面积难以达到理论极限 $6F^2$, 通常受限于更高的版图尺寸约束.

4) 外围电路面积占比大

除存储阵列本身外, 外围电路 (包括写入驱动电路、选通控制电路及灵敏放大器等) 在芯片面积中占据较大比例, 通常可达总面积的约 70%. 这些电路需要提供足够的电压与电流以满足写入操作需求, 同时保证读取精度与速度, 因此其规模难以显著缩小. 一种常见思路是通过扩大阵列规模来分摊外围电路面积占比, 但这会引入更大的字线与位线寄生电阻电容效应. 在大规模阵列中, 远离驱动端的存储单元会因位线电阻增大导致电压降增大, 从而出现驱动不足问题; 同时, 字线电容的增大会引起访问延迟上升, 影响读取速度. 这些因素限制了阵列规模的进一步扩展, 从而间接制约了存储密度的提升.

因此, 平面 RRAM 尺寸微缩面临多重耦合限制, 在器件层面, 选通晶体管驱动能力与尺寸缩放之间存在根本性矛盾; 在结构层面, 串联非对称性引入负反馈效应限制电流输出; 在阵列层面, 源极引出与布局约束增大面积开销; 在系统层面, 外围电路与寄生效应限制阵列规模扩展. 这些因素共同作用, 使得仅依赖二维平面结构难以实现更高密度集成, 进一步推动了向三维 RRAM 结构的演进.

2.4 小结

二维 RRAM 在尺寸微缩过程中逐渐受到面积、功耗与可靠性等多重因素的耦合制约, 其核心瓶颈可归结为操作电流需求与单元面积之间的根本性矛盾. 对于基于氧空位导电细丝机制的 RRAM 器件而言, 为满足嵌入式非易失存储对保持特性与耐久度的要求, 通常需要较大的操作电流; 而降低操作电流虽然有助于减小功耗, 但会引发导电细丝不稳定、阻变窗口退化以及可靠性下降等问题. 在阵列实现层面, 为抑制写入串扰并切断泄漏电流通路, RRAM 单元通常需要串联选通晶体管构成 1T1R 结构. 然而, 该结构的单元面积主要由选通晶体管决定, 而为提供足够的驱动电流, 晶体管栅宽难以进一步缩小, 从而限制了存储密度的提升^[14]. 尽管通过 1TnR 等结构实现晶体管复用可以在一定程度上均摊面积开销, 但其引入的写入串扰与泄漏路径问题仍难以有效解决, 制约了其在大规模阵列中的应用. 因此, 仅依赖二维平面结构的尺寸微缩难以同时满足高密度与高可靠性的需求. 未来需要在器件、阵列与电路多个层级开展协同优化,

一方面, 通过器件与结构创新提升单位面积驱动能力; 另一方面, 通过阵列架构与电路设计优化缓解串扰与寄生效应. 同时, 从发展趋势来看, 突破二维缩放极限、向三维集成结构演进, 将成为实现超高密度 RRAM 的重要技术路径.

3 三维阻变存储器发展

随着平面阻变存储器在尺寸微缩过程中逐步逼近面积与可靠性的综合极限, 仅依赖平面结构优化已难以进一步提升存储密度. 第 2 节分析表明, 无论是基于 1T1R 的晶体管缩放, 还是 nTmR 结构的面积复用策略, 仍然与不使用晶体管选通的三维非易失存储器相比有 30 倍以上的存储密度差距, 并且均在不同程度上受到驱动能力不足、串扰增强及可靠性退化等问题的制约. 这些问题从根本上反映出平面结构在电流路径控制与单元隔离方面的局限性.

为突破上述瓶颈, 研究者逐渐将关注重点由“平面内微缩”转向“垂直方向扩展”, 即通过构建三维 (3D) 阻变存储结构, 在单位芯片面积上叠加多层存储单元, 从而实现存储密度的显著提升. 然而, 与二维结构相比, 三维 RRAM 不仅需要解决传统的器件一致性与可靠性问题, 还必须面对层间串扰、热耦合以及复杂电流路径带来的新挑战. 其中, 在大规模交叉阵列中有效抑制泄漏电流, 成为三维集成实现的关键.

围绕上述问题, 本节将系统梳理三维阻变存储器的发展路径. 重点讨论选通管 (selector) 与自选单元的设计原理及其在抑制串扰中的核心作用; 在此基础上, 介绍面向三维集成的 1S1R 结构演变及其性能特征; 最后总结主流三维堆叠方式及其关键工艺挑战, 从而构建完整的三维 RRAM 技术发展框架.

3.1 选通管单元设计

在大规模交叉阵列中, 未选中单元形成的泄漏电流通路 (sneak path) 是限制 RRAM 阵列规模扩展的核心问题之一. 为有效抑制该问题, 通常需要在每个存储单元中引入具有强非线性电流-电压 ($I-V$) 特性的选通器件, 与 RRAM 串联构成 1S1R (one-selector-one-resistor) 结构. 选通器件在低电压下保持高阻态以阻断泄漏电流, 在高电压下迅速

转变为低阻态以实现选通导通, 是实现大规模阵列寻址的关键。

理想的选通器件需要同时满足高选择比、快速响应、优异耐久性以及低涨落等要求. 根据其 I - V 特性与物理机制的不同, 选通器件通常可分为势垒型与阈值转变型两大类. 其中, 阈值转变型器件因其更高的非线性与更优的阵列适配性, 成为当前研究与应用的主流方向. 根据导电机理的不同, 阈值转变型选择管又可进一步分为金属细丝型 (conductive filament, CF)、Ovonic 阈值开关型 (Ovonic threshold switching, OTS) 以及绝缘体-金属转变型 (insulator-metal transition, IMT) 三类. 尽管上述选择管均表现出阈值导通特性, 但其物理起源存在本质区别, 从而决定了器件在速度、热稳定性、漏电流以及长期可靠性等方面表现出不同特征, 其典型 I - V 特性与工作机理如图 3 所示 [26,43]. 金属细丝型选择管本质上属于离子迁移主导机制, 其阈值行为来源于活性金属离子的快速迁移与瞬态导电通道形成; OTS 器件主要依赖载流子输运行为演化, 其导通过程涉及陷阱态填充、载流子注入增强以及局域热反馈引发的电导突变; IMT 器件则属于相变驱动机制, 其阈值行为来源于强关联氧化物在外场作用下发生绝缘态与金属态转变. 由于离子

输运、电子输运及相变动力学具有不同时间尺度与能量耗散特征, 三类器件在响应速度、热稳定性、阈值漂移以及漏电控制等方面形成不同性能指标.

金属细丝型器件基于电化学金属化机制, 通过活性金属离子的迁移与还原, 在电场驱动下形成瞬态导电细丝, 实现阈值开关行为 [43]. 该类器件通常具有较低的工作电压与较为简单的结构与工艺实现路径. 然而, 由于导电过程依赖活性离子的漂移、还原及细丝形貌动态演化, 其响应速度受到离子迁移时间尺度限制, 通常慢于电子输运主导机制 [44,45]. 此外, 导电细丝形成与溶解过程受局域热场与离子统计涨落影响显著, 容易产生阈值漂移及循环波动. 在高温或高应力条件下, 残余金属细丝难以完全溶解, 还可能诱发不可逆导通 (stuck-ON) 失效 [46]. 为改善其可靠性, 已有研究通过引入高结合能电极材料 (如 AgTe [45]) 或扩散阻挡层来抑制金属离子扩散, 从而提升器件稳定性. 但总体而言, 该类器件在长期可靠性方面仍面临挑战.

OTS 器件通常基于 Te 系、Se 系或其复合硫属化合物 [47] 材料, 其阈值开关行为通常来源于深陷阱态逐步填充后载流子浓度快速增大, 并结合局域焦耳热反馈形成电导突变. 由于其核心过程主要依赖电子输运而非离子迁移, 因此可实现亚纳秒级

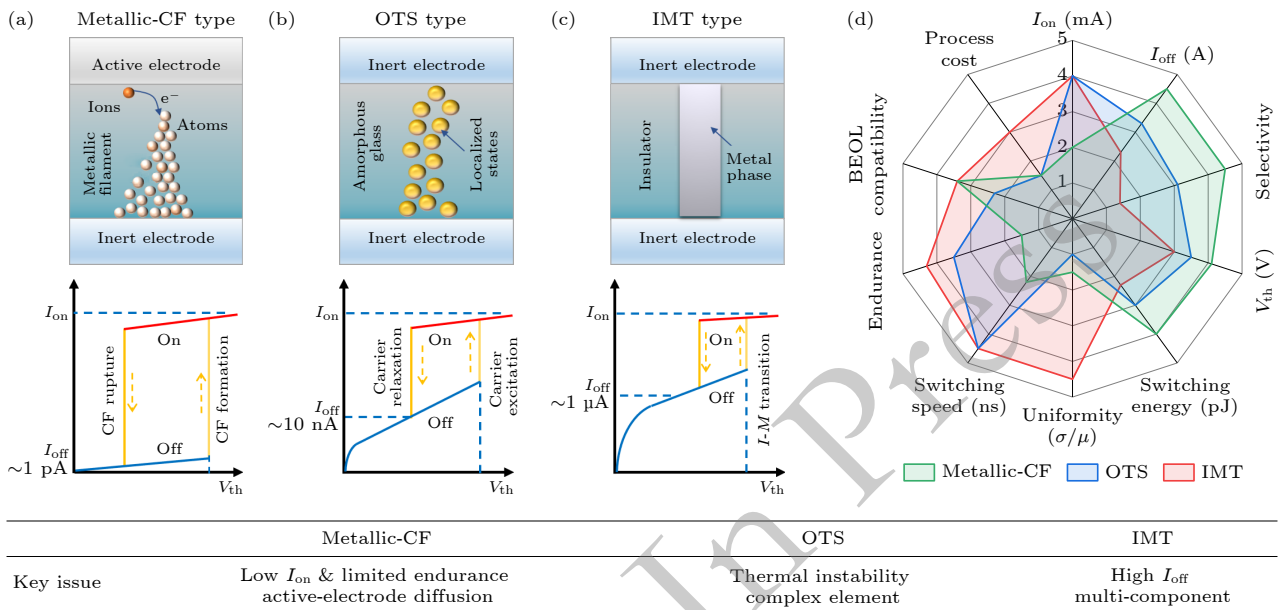


图 3 (a)–(c) 不同选通管的工作机理、典型 I - V 曲线与 (d) 特性雷达图 [26,43] (图中数据来源于不同文献报道结果, 部分参数依据统一单位进行归一化处理, 相关比较主要用于体现不同选通管技术路线的特征边界, 而非绝对性能比较)

Fig. 3. Operating mechanisms and typical I - V characteristics of different selectors: (a) Metallic-filament-based, (b) OTS, and (c) IMT selectors; (d) radar chart comparing their key characteristics [26,43]. Note: The data in the radar chart are sourced from various literature reports. Some parameters have been normalized based on a unified unit. The comparative analysis primarily aims to illustrate the characteristic boundaries of different selector technology routes, rather than for absolute performance comparison.

响应速度,是目前最具工程成熟度的选通方案之一[48,49],已广泛应用于高密度交叉阵列.然而,硫属化合物材料普遍具有较低的结晶温度,导致器件热稳定性较差.长期高温工作环境下,硫属化合物内部结构弛豫及局域原子重排可能导致陷阱态分布改变,从而引发阈值漂移及热稳定性退化.尽管通过多元素掺杂可以增强键能并改善热稳定性,但材料体系复杂化会增加工艺难度与成本,同时在极小尺寸下可能引入组分不均匀问题.因此,在保证性能的同时简化材料体系、提升热稳定性,是OTS器件的重要研究方向.

IMT型选通器件以 VO_2 , NbO_2 等强关联氧化物为代表[50,51],其阈值行为本质上属于强关联电子体系中的非平衡相变过程,如外部激励(电场、温度或光)诱导的可逆相变过程.材料从绝缘态转变为金属态通常涉及电子关联重构与局域热激发协同作用[52,53],相较于离子迁移主导机制,其响应速度更快且热稳定性更优[54,55],在多层堆叠环境中具有潜在优势[56].然而,相变材料在过渡区域通常存在残余导电通道,导致关态漏电流相对较高,需要通过引入势垒层加以抑制,但这会与操作电压形成权衡.此外,相变边界位置易受工艺波动及局部温度场影响,从而导致阈值电压波动,并且由于过渡金属氧化物存在多种价态,其薄膜性质对工艺条件高度敏感,因此需要精确控制氧分压及退火工艺[55,57],以实现稳定的阈值转变行为.

3种选通管特性参数如图4所示[44,46,49,54,57-69].金属细丝型器件具备较低的操作电压和可调的电导特性,但其可靠性相对较弱.OTS型器件表现出较大的选通比和较高的工作电压,适用于大容量独立存储器,能够通过高密度集成来分摊因引入硫系材料而增加的工艺成本.IMT型器件的选择比虽最小,但具有最佳的耐受性、稳定性以及最简单的工艺和材料需求,适合用于容量有限的边缘计算设备及高密度嵌入式存储.值得注意的是,在大尺寸(如 $\text{CD} > 1 \mu\text{m}$)的IMT器件中,归一化的开态与关态电流密度均极低,这提示不同器件尺寸的IMT器件其内部物理机制可能存在差异,需进一步研究以降低器件漏电.需要说明的是,不同文献中器件尺寸、测试条件及限流策略可能存在差异,因此相关结果主要用于反映不同选通管技术路线在非线性比、电流窗口及可靠性等方面的相对特征,而非严格定量比较.

除外接选通管方案外,自整流RRAM(self-rectifying RRAM)也逐渐成为抑制阵列泄漏电流的重要方向.与CF,OTS及IMT等独立选择管通过额外非线性器件实现电流限制不同,自整流RRAM主要依靠阻变层内部形成非对称势垒或界面肖特基势垒,实现阻变功能与整流功能的一体化集成.其优势在于结构简单且更易实现高密度集成,但整流比通常受界面态稳定性与势垒调控能力限制,在大规模阵列中的抑制能力仍弱于独立选择管结构.

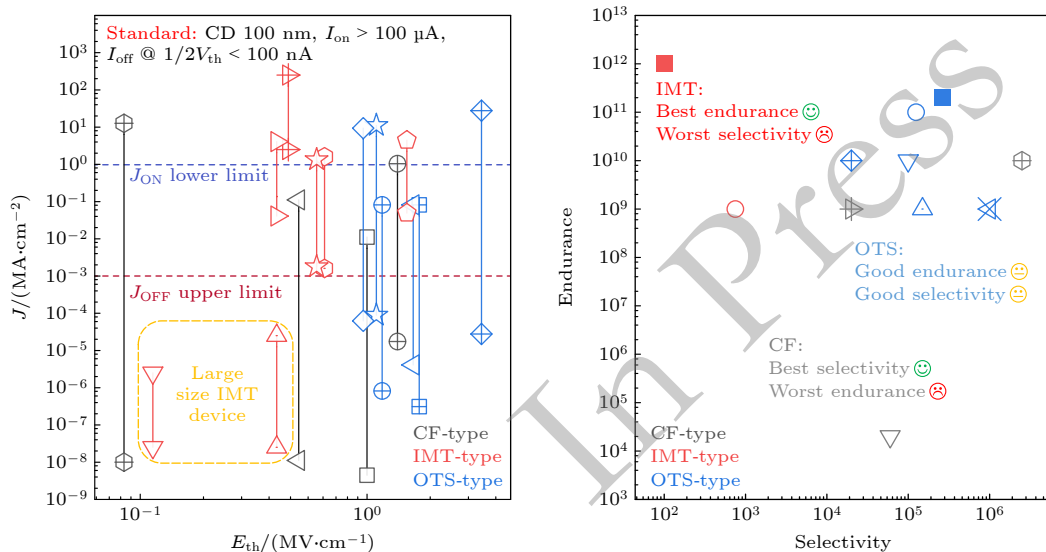


图4 不同选通管的对比评估[44,46,49,54,57-69](注:针对不同尺寸选通管统一比较单位长度下的电流密度及电场)

Fig. 4. Comparative evaluation of different selector technologies[44,46,49,54,57-69]. Note: Current density and electric field are normalized for comparison among selectors with different device dimensions.

随着三维堆叠层数的持续增加, 选通器件正朝着存储与选通功能一体化的方向发展, 自选择结构有望成为未来高密度三维非易失存储技术的重要演进路径.

3.2 面向三维集成的自选择单元

在传统 1S1R 结构中, 选通器件与阻变单元通过中间电极串联连接, 不仅增加了工艺复杂度, 还对器件间电学匹配提出了较高要求, 限制了其在大规模三维阵列中的应用. 为进一步提升集成密度并简化工艺流程, 研究者提出将选通功能与存储功能集成于单一器件中, 即自选择单元 (self-selective cell, SSC)^[70], 其结构发展如图 5 所示. 根据结构形式和操作原理的不同, SSC 器件主要可分为两类, 分别是双层堆叠的选通层型结构与单层集成的自整流型结构. 双层选通型 SSC 由选通层与阻变层垂直堆叠构成, 两者功能相对独立, 选通层提供非线性导通特性, 阻变层实现非易失存储. 这种结构具有良好的设计灵活性, 可分别优化选通与存储性能, 但其界面工程与电学匹配较为复杂. 单层自整流型 SSC 则通过单一活性层同时实现选通与存储功能, 无需额外堆叠结构, 在工艺上更具优势. 然而, 该结构对材料体系提出更高要求, 需要在同一材料中兼顾阈值开关与阻变行为, 设计难度较大. 总体来看, SSC 无需额外选通器件及中间连接电极, 单一器件即可同时实现高非线性选通与非易失存储功能, 在单元面积效率与三维堆叠兼容性方面具有显著优势. 因此, SSC 被认为是实现超高密度三维 RRAM 的重要发展方向.

1) 选通层型 SSC

根据选通层原理和机制的不同, 选通层型

SSC 器件主要可分为两类, 分别是非线性势垒型和阈值转变型, 即该器件的双层结构中的选通行为既可能来源于选通层本征的阈值转变特性, 也可能源于电极与界面处形成的肖特基势垒所引入的整流效应, 不同机制特点如图 6 所示^[71-77].

首先是非线性势垒型自选择单元, 基于 CMOS 工艺兼容的考虑, TaO_x , HfO_x , SiO_x 等介电材料被广泛用于构建非线性选通层 SSC 器件. 通过界面工程引入超薄势垒层, 例如 TaO_x 阻变层与金属电极之间引入超薄 SiO_{2-x} 界面势垒层^[71], 可在单一器件中形成导电细丝和隧穿势垒串联结构, 实现非易失存储与非线性选通的协同. 例如, 在 $\text{TaO}_x/\text{HfO}_x$ 体系中, Ta_2O_5 与高金属功函数 Pt 电极界面处形成高肖特基势垒^[72,73], 而 HfO_x 存储层则通过陷阱辅助导电机制 (如 Fowler-Nordheim 隧穿) 实现阻变行为, 从而获得较高的非线性 $I-V$ 特性. 然而, 该类器件通常表现出明显的 $I-V$ 非对称性, 可能导致读写窗口受限及抗扰能力下降. 此外, 材料间电子亲和能差异及界面质量对器件性能影响显著. 实验结果表明, 不同阻变层材料会对编程电压、阈值电压及器件良率产生显著影响, 因此选通层与存储层之间的材料匹配需要综合考虑能带结构与界面缺陷分布.

相较于非线性势垒型, 基于阈值转变机制的 SSC 器件具有更清晰的功能解耦特性^[74], 可视为阈值开关与阻变行为的协同作用. 例如, 在 VO_2/HfO_2 异质结构中, VO_2 提供易失性的绝缘体与金属转变 (IMT) 特性, 而 HfO_2 层实现非易失存储功能. 进一步地, 通过采用同一材料体系的不同价态 (如 $\text{NbO}_2/\text{Nb}_2\text{O}_5$), 可以构建同质 SSC 结构^[75], 其工作机制可归因于氧空位驱动的非易失阻变行

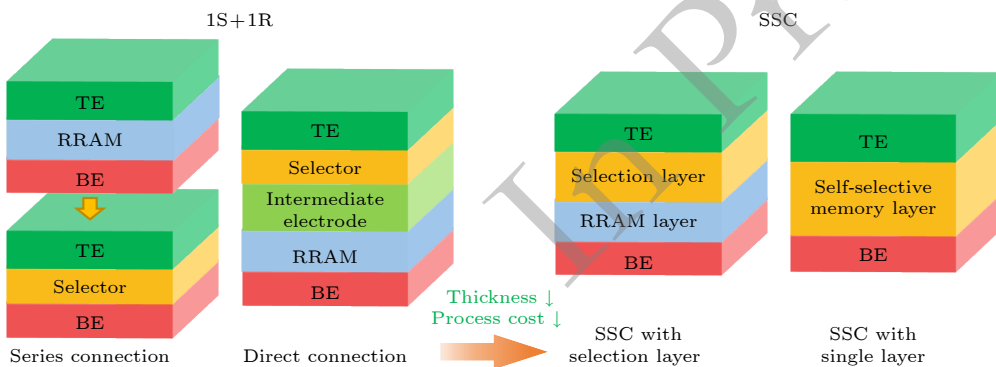


图 5 自选择单元结构发展

Fig. 5. Development of self-selective cell structures.

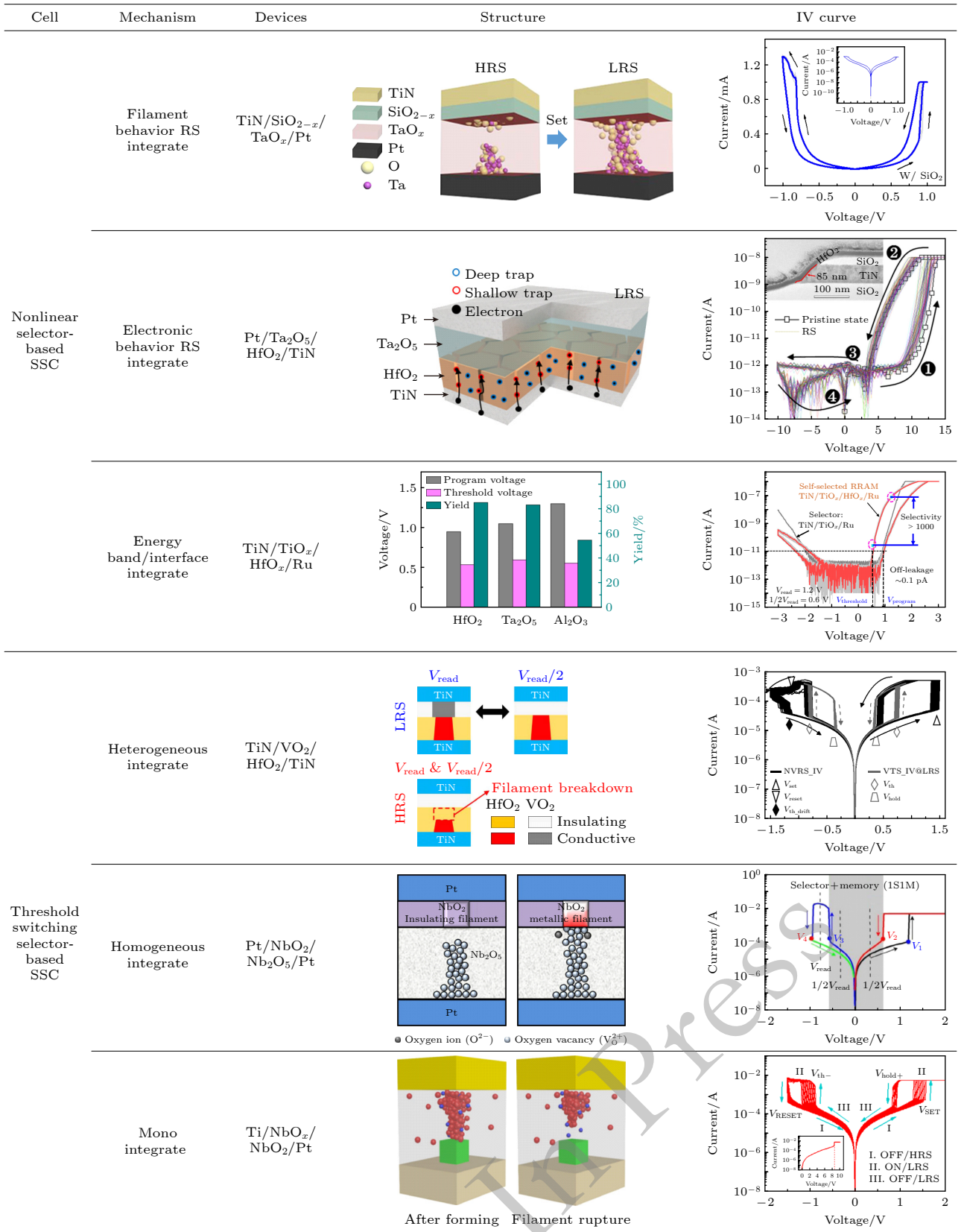


图 6 非线性选通层的导电丝 TaO_x/SiO_{2-x}^[71], 电子行为 HfO₂/Ta₂O₅^[72,73], 能带调制 HfO₂/TiO_x SSC 器件^[77]; 阈值转变型选通层的异质型 HfO₂/VO₂ 器件^[74], 同质型 NbO₂/Nb₂O₅ SSC 器件^[75], 组分调制 NbO_x 薄膜的 SSC 器件^[76]

Fig. 6. Nonlinear selector-based SSC devices: TaO_x/SiO_{2-x}^[71], HfO₂/Ta₂O₅^[72,73], and HfO₂/TiO_x structures^[77]; threshold-switching-type selector-based devices: heterogeneous HfO₂/VO₂ device^[74], homogeneous NbO₂/Nb₂O₅ SSC device^[75], and SSC device based on a single NbO_x thin film^[76].

为与电场触发的 IMT 过程共存. 这类结构在材料兼容性与界面稳定性方面具有优势. 值得关注的是, 在 NbO_x 体系中, 由于其易形成缺氧层与富氧层的自组装结构^[76], 可在单层内自然形成具有阈值转变与阻变功能的区域分布, 从而实现单层自选择功能^[78]. 该类器件可通过氧空位非对称分布形成自整流特性, 同时具备高非线性比与低关态漏电流, 并与主流氧化物 RRAM 体系具有良好的工艺兼容性. 此外, 通过金属离子掺杂调控氧空位形成能与迁移势垒, 可进一步优化器件性能.

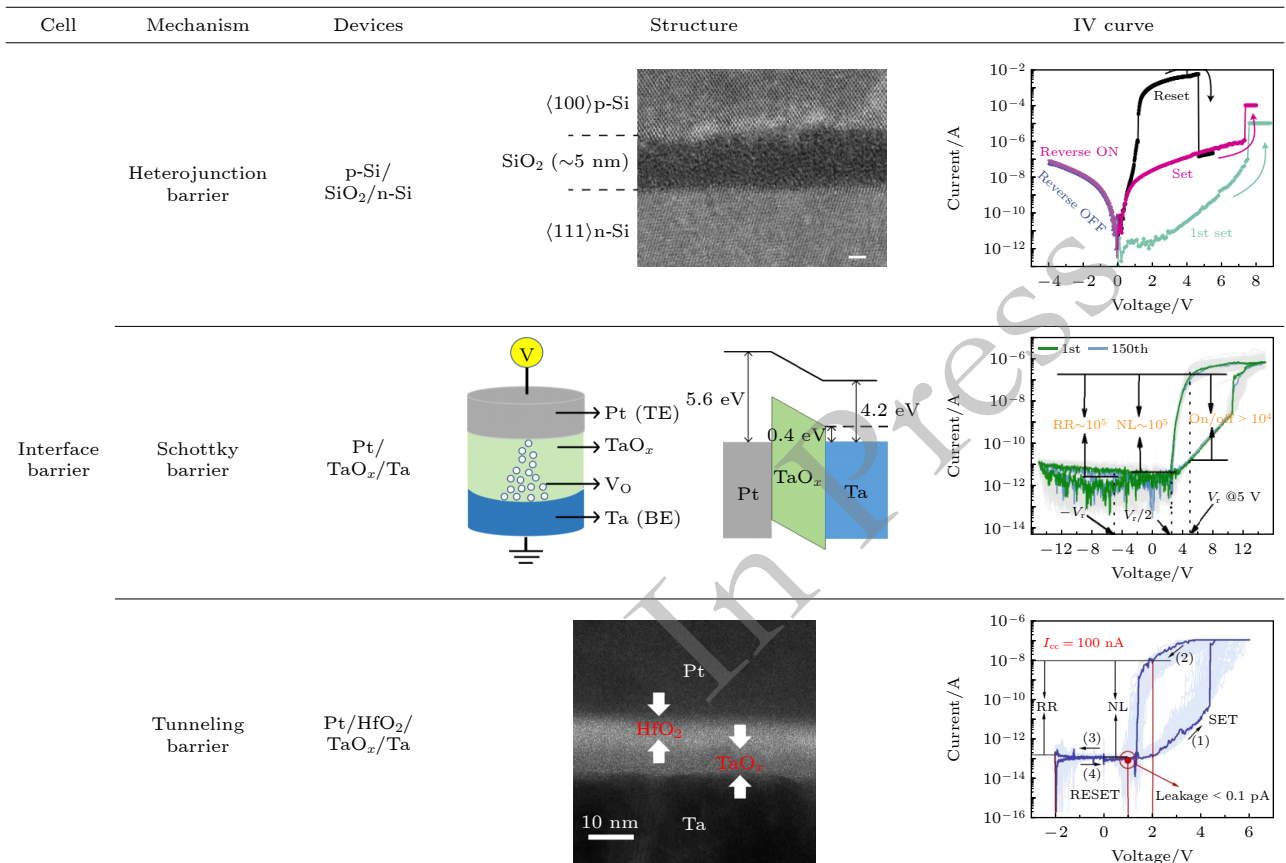
总体而言, 选通层型 SSC 器件在面积效率与三维集成方面具有显著优势, 但仍面临多方面挑战. 首先, 选通层与存储层之间的电学匹配问题较为突出, 例如选通电流通常与尺寸呈线性关系, 而导电细丝型 RRAM 的低阻态电流对尺寸不敏感, 导致在微缩过程中易出现驱动不足问题. 其次, 界面热耦合与电流局域化效应可能影响器件稳定性. 此外, 材料均一性在纳米尺度下显著影响器件性能, 将成为制约其进一步缩放的重要因素.

2) 自整流型 SSC

除基于独立选通层实现非线性导通功能外, 近年来研究者进一步提出利用阻变单元自身构

建非线性选通行为, 即自整流阻变存储器 (self-rectifying memristors). 与依赖额外选通层不同, 自整流 RRAM 通过电极工程、界面势垒调控、缺陷态分布优化以及微纳结构设计等方式, 使单一阻变单元同时具备非易失存储与电流整流功能, 从而实现阻变加选通的工作模式, 在提升面积效率的同时降低工艺复杂度. 自整流特性的本质在于器件内部构建非对称载流子输运机制. 传统 RRAM 通常表现出近似对称的电流-电压特性, 高低阻态在正负偏压下均具有较明显导通能力, 易在大规模交叉阵列中形成串扰电流, 限制阵列规模进一步扩展. 相比之下, 自整流型 SSC 通过引入非对称势垒结构、缺陷梯度分布以及离子动力学调控, 使器件在正向偏压下维持较高导电能力, 而在反向偏压下显著抑制电流传输, 从而形成强非线性导电特性, 实现阵列漏电流有效抑制.

目前, 自整流行为主要来源于三类核心机制, 分别是界面势垒调控 (interface barrier engineering)、离子迁移调控 (ionic migration regulation) 以及缺陷工程 (defect-state engineering), 相关工作总结如图 7 所示^[79-87]. 其中, 界面势垒机制主要依赖异质界面或肖特基接触所形成的非对称能带结构.



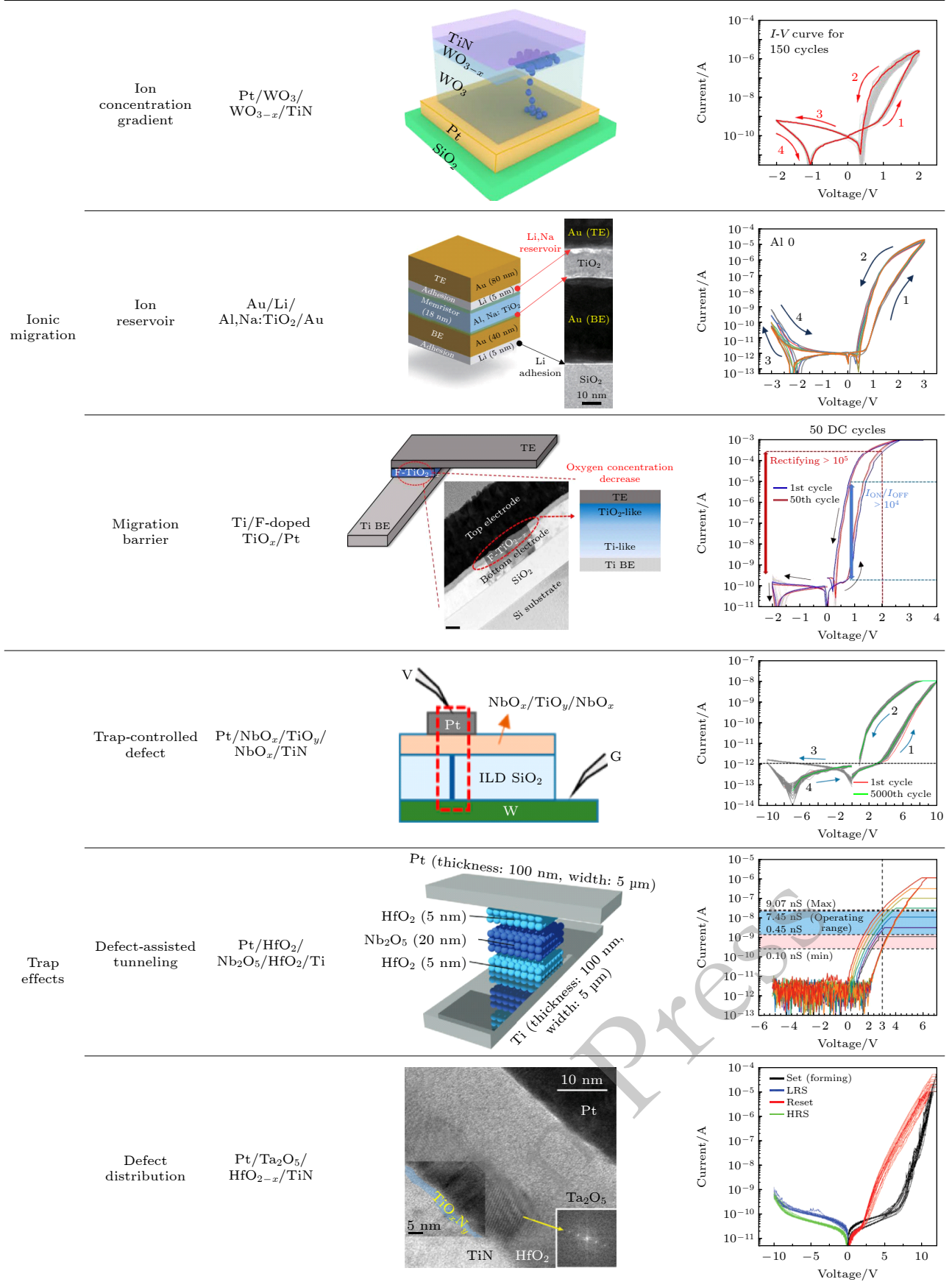

 图 7 自整流忆阻器的界面势垒型^[79-81], 离子迁移型^[82-84]以及缺陷调控型器件^[85-87]总结对比

Fig. 7. Self-rectifying memristor devices: Interface barrier engineering^[79-81], ionic migration regulation^[82-84] and defect-state engineering structures^[85-87].

通过构建不同功函数电极与阻变层之间的界面势垒,可使正反向偏压条件下载流子注入能力产生明显差异,从而形成类似二极管的方向选择性导电行为.例如,在 HfO_x 体系中,利用非对称电极设计可在界面形成非对称肖特基势垒,使电子注入过程表现出显著偏压依赖性,实现稳定整流特性.与此同时,通过调控阻变层内部氧空位浓度分布,还能够进一步形成局域缺陷梯度及内建电场,改变导电细丝形成与断裂过程中的空间演化行为,从而增强导电通路形成的非对称性,提高器件整流能力与非线性输运特性.除势垒调控外,离子迁移过程同样是实现自整流行为的重要途径.氧空位、金属离子等可迁移缺陷在电场驱动下发生可逆迁移,其空间重分布不仅决定高阻态与低阻态之间的阻变转换过程,同时能够动态调制界面势垒高度与载流子输运路径.当离子浓度梯度形成内建电场时,其方向可能与外加偏压协同增强或相互抵消,进而导致正负偏压条件下导电能力表现出明显差异,从而进一步强化自整流特性.此外,缺陷态俘获/释放机制也被证明能够有效参与整流行为形成.通过调控氧空位等缺陷态空间分布,可实现载流子传输过程中的方向依赖性俘获与释放效应,从而进一步增强器件非线性响应.

与传统选通器件依赖阈值开关机制不同,自整流型 SSC 的核心在于利用器件内部势垒调控、离子迁移动力学及缺陷演化行为实现电流方向依赖性调制,因此具有更优面积效率与三维堆叠兼容性.然而,其整流能力通常受界面稳定性、氧空位动力学演化、缺陷分布均匀性以及微纳结构一致性

等因素限制,在大规模阵列应用中仍需进一步优化整流效果与可靠性.未来研究将重点关注界面工程、氧空位动力学调控以及材料层厚优化,以实现高选择比、低漏电和高可靠性的自选择单元,为新一代高密度三维非易失存储提供关键支撑.

3.3 三维堆叠阵列集成方式

三维阻变存储器的集成架构直接决定了芯片的存储密度、能效、可靠性及制造成本,是实现高密度非易失存储的核心环节.随着 RRAM 由二维平面结构向三维集成体系演进,其阵列架构经历了从简单交叉阵列到多维堆叠结构的发展过程,如图 8 所示 [10,25,27,88].同时,堆叠层数的持续增加成为提升存储密度的主要驱动力.根据堆叠方式与单元布局的不同,当前三维 RRAM 主要可分为三类,分别是水平堆叠架构 (HRRAM)、垂直堆叠架构 (VRRAM) 以及基于晶体管的新型三维架构.不同架构在工艺复杂度、可扩展层数及性能表现方面存在显著差异,如图 9 所示 [10,88–106].

1) 水平堆叠架构 (HRRAM)

水平堆叠架构通过将二维交叉点阵列沿垂直方向逐层堆叠,实现了存储密度提升,理想情况下能够实现 $4F^2/N$ (其中 F 代表最小特征尺寸, N 代表堆叠层数) 的等效单元面积.该结构延续了传统 crossbar 阵列的平面特性,具有较好的工艺兼容性.其核心挑战在于多层光刻与对准工艺.由于每一层均需完成字线、阻变单元及位线的独立图形化,光刻次数随堆叠层数线性增加.随着层数提升,光刻对准误差与化学机械抛光 (CMP) 引入的表面

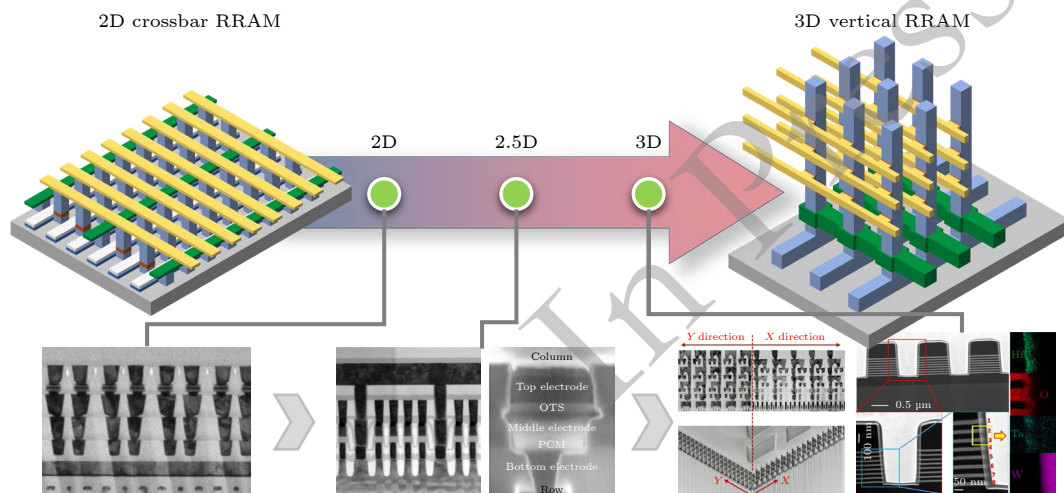
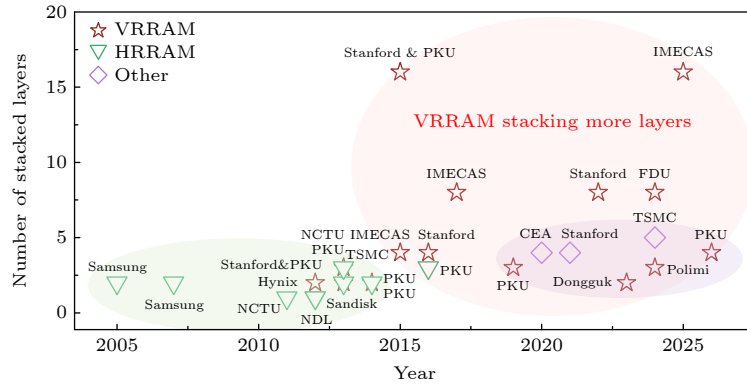
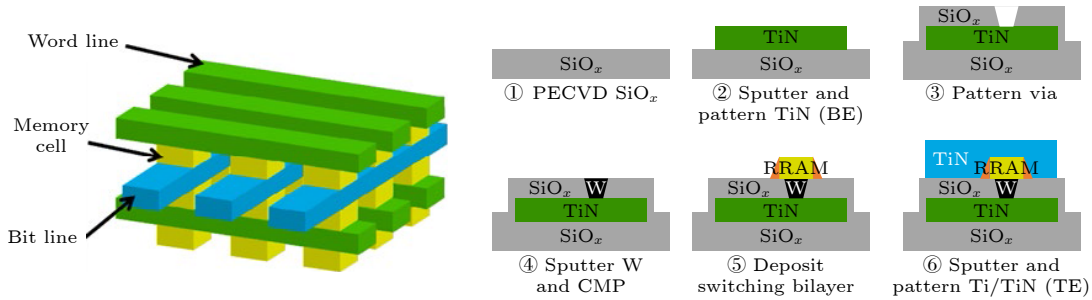


图 8 阻变存储器阵列架构发展示意图 [10,25,27,88]

Fig. 8. Evolution of RRAM array architectures [10,25,27,88].

图 9 三维阻变存储器堆叠层数发展路线图^[10,88-106]Fig. 9. Roadmap of stacking-layer scaling in 3D RRAM^[10,88-106].图 10 Crossbar RRAM 阵列结构及工艺流程^[107]Fig. 10. Crossbar RRAM array structure and fabrication process flow^[107].

非理想性逐步累积, 导致高纵横比通孔刻蚀与填充难度增加, 从而影响器件良率并显著提高制造成本, 如图 10 所示^[107].

尽管存在上述工艺挑战, 水平堆叠结构在电学性能方面具有优势. 三维 RRAM 阵列的 SPICE 仿真结果表明^[108], 该架构在读写裕度、延迟及功耗方面表现优于其他三维结构, 主要得益于其较低的互连寄生电阻与电容. 此外, 该结构可直接兼容成熟的 CMOS 后端工艺, 具有较高的工程可实现性. 例如, 基于等离子体增强化学气相沉积 (PECVD) 与原子层沉积工艺构建的多层 crossbar 阵列已验证其工艺可行性与结构稳定性^[107].

在选择管配置方面, 水平堆叠既可采用无源 1S1R 结构, 也可采用 1T1R 或 1TnR 等有源结构. 然而, 在高层数堆叠条件下, 无源阵列对选择器非线性比的要求随阵列规模呈指数级增长, 而有源结构则受限与晶体管尺寸与通孔电阻, 限制了可扩展层数.

2) 垂直堆叠架构 (VRRAM)

为降低光刻复杂度并实现更高堆叠层数, 研究者借鉴 3D NAND 结构提出基于自整流型 SSC

器件的垂直堆叠 RRAM 架构^[90]. 该架构通过单次光刻定义多层存储单元, 堆叠层数增加时光刻次数基本保持不变, 从而显著提升制造效率. 根据电极结构的不同, 垂直架构可分为平面电极型与梳齿电极型. 前者结构简单、工艺相对成熟; 后者通过双字线设计实现更高理论等效单元面积 ($2F^2/N$), 但其复杂几何结构会引入更严重的寄生电阻压降, 从而影响读写性能, 如图 11 所示^[90].

从工艺角度看, 垂直堆叠架构的关键挑战包括高纵横比通孔刻蚀、侧壁薄膜高质量保形沉积以及金属填充空洞控制. 其中, 原子层沉积 (ALD) 因其原子级厚度控制能力与优异保形覆盖特性, 成为实现多层堆叠 VRRAM 的重要支撑技术. 通过 ALD 工艺在高深宽比三维结构中进行精确界面与厚度调控, 构建局域势垒梯度及非对称电场分布, 可以实现具有自整流特性的高密度单元结构. 对于 HfO_x , TaO_x 及 TiO_x 等阻变材料, ALD 不仅影响薄膜均匀性, 还直接决定界面态分布、氧空位浓度以及导电通道形成位置, 因此其作用已从单纯工艺实现逐渐扩展至器件物理调控层面. 在高深宽比垂直结构中, 传统沉积方法容易受到阴影效应与侧壁

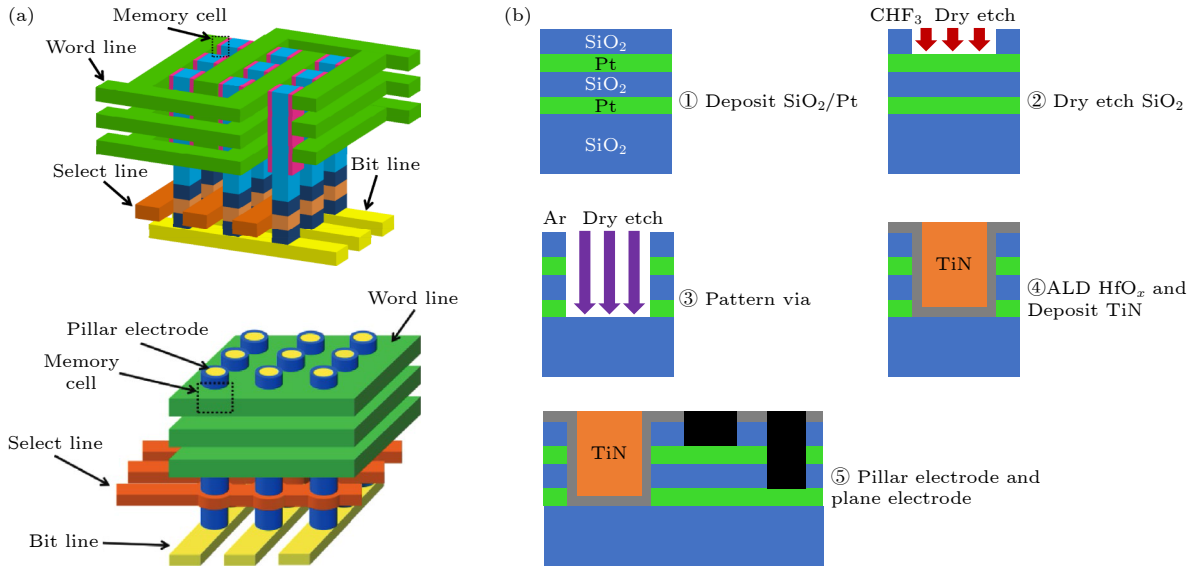


图 11 垂直堆叠架构示意图 (a) 梳齿电极型和平面电极型; (b) 平面电极型 3D VRRAM 的关键工艺步骤^[90]

Fig. 11. Schematic of vertically stacked architectures: (a) Comb-shaped electrode type and planar-electrode type; (b) key fabrication steps of planar-electrode 3D VRRAM^[90].

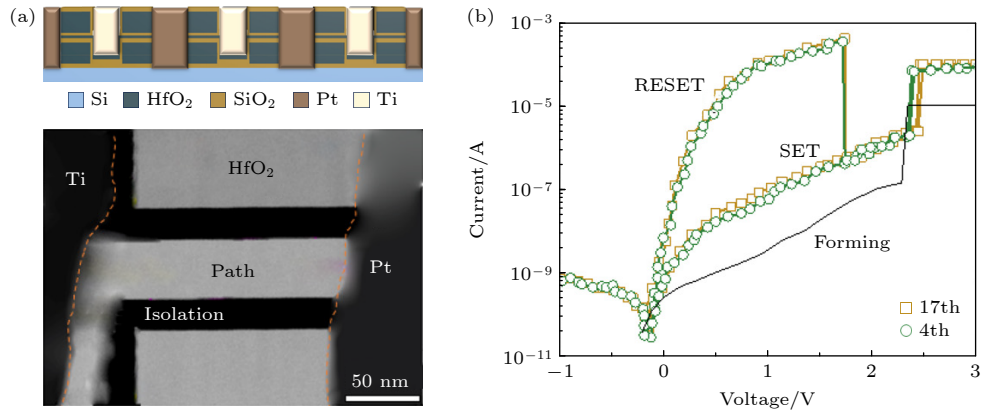


图 12 (a) 氧化铪基的铆钉状自整流阵列示意图及结构切片图; (b) 不同电阻状态下的 I - V 特性^[109]

Fig. 12. (a) Schematic of Pt/HfO₂/Ti with rivet-like structure device and TEM image of the HfO₂ nanochannel's detailed architecture; (b) I - V characteristic across various resistance states^[109].

覆盖不足影响, 导致薄膜厚度波动与界面质量退化. 相比之下, ALD 依靠表面自限制反应机制, 可实现纳米尺度均匀保形覆盖, 从而有效提升三维堆叠结构中的材料一致性. 由于阻变过程高度依赖局域电场分布与氧空位迁移行为, 薄膜厚度均匀性进一步决定导电细丝形成位置及导电通道离散性. 通过调控 ALD 沉积条件, 还可实现氧空位空间分布优化, 从而降低器件间波动并提升循环稳定性. 近年来, 研究者已成功利用 ALD 保形沉积能力构筑结构诱导型自整流单元. 如图 12 所示, 在 HfO_x 体系中, 通过构建铆钉状 (rivet-like) 或类铆钉状非对称结构^[109], 可利用局域几何约束增强电场集中效应, 使导电通道优先形成于特定区域, 从而实现

方向依赖的载流子输运行为, 其核心思想并非引入独立选通层, 而是通过微纳结构设计与局域电场调控, 使单一 RRAM 单元同时具备存储与非线性选通能力. 在一定程度上, 自整流型 SSC 器件兼具晶体管栅控行为与二极管结构简单性的优势, 可视为两端器件选存一体的重要实现方向. 随着三维堆叠层数不断增加, 基于 ALD 的结构化自整流方案有望成为抑制漏电流并提升阵列可扩展性的关键技术路径之一.

在器件可靠性层面, 针对垂直侧壁结构中开关区域分布不受控、可靠性欠佳的问题, 北京大学蔡一茂团队^[110]提出了通过侧壁电极氧化实现开关区域自定位的 TaO_x 垂直 3D RRAM 新结构. 通过

在金属侧壁电极表面原位氧化, 构建局域 TaO_x /电极界面, 使导电通道被自发限制在局部区域内, 显著提升了器件的一致性与可靠性. 实验表明, 该新结构相较传统连续侧壁结构, 在无需验证写入的条件下耐久性提升约两个数量级 ($>10^8$ 次), 在 150°C 下保持时间超过 180 h, 同时器件间和循环间分布大幅收紧, 展示出面向高层数垂直堆叠的工程优势.

在系统层面, 垂直架构具有更优的热扩散路径^[111,112], 有助于降低局部温升. 然而, 随着层数增加, 半选单元数量显著增加, 对选择器非线性比与关断电流提出更严格要求. 理论分析表明, 最大可堆叠层数与选择器非线性比之间满足次幂关系, 这使得选择器设计成为限制垂直架构扩展的关键因素.

3) 基于晶体管的新型三维堆叠架构

传统三维阻变存储器的水平与垂直堆叠架构均基于交叉点阵列, 而该结构固有的泄漏电流问题要求单元具有高非线性或整流特性. 晶体管可以有效控制存储单元上流过的电流, 但常规的平面晶体管工艺难以进行垂直方向的堆叠. 因此, 近年来提出了多种将选通晶体管与阻变单元协同集成的三维新型架构, 以兼顾高密度与工艺兼容性.

例如, 基于环栅纳米片晶体管的三维 RRAM 结构^[99]可实现多层存储单元的独立控制, 具备较高驱动电流与良好的电流调控能力. 将 HfO_2 阻变层与四层堆叠环栅晶体管集成, 实现 $23.9F^2/N$ 的等效单元面积与较高并行度. 该结构中每层纳米片晶体管均独立控制一个阻变单元, 单管电流可达 $150\ \mu\text{A}$, 开关比约 20, 耐久性超过 10^4 次. 另一类典型结构为 1TnR 三维阵列^[100], 通过在单个晶体

管上方堆叠多个 RRAM 单元, 实现显著的密度提升. 相关研究表明, 该类结构可实现超过传统 1T1R 阵列 20 倍的密度提升, 同时保持良好的耐久性与数据保持特性, 两种结构如图 13 所示^[99,100].

与无源阵列相比, 该类架构通过晶体管提供有源电流控制, 显著降低了对二端选择器性能的依赖. 然而, 其单元面积较大, 且对跨层互连、电阻网络及热预算提出更高要求, 特别是在 BEOL 集成条件下, 工艺窗口较为严格. 此外, 通过结合多比特存储与误差校正技术, 可进一步提升等效存储密度^[113].

综合上述 3 类架构, 不同三维集成方式在密度、性能与工艺复杂度之间存在明显权衡关系, 如图 14 所示^[10,84,85,87,88,92,114–117], 水平堆叠架构受限于光刻复杂度与选择器性能, 适用于中等层数集成; 基于晶体管的三维架构在可靠性与控制能力方面具有优势, 但其面积效率较低; 相比之下, 垂直堆叠架构在理论上具备最高的密度潜力, 有望实现超越 3D NAND 的存储密度水平. 总体而言, 在具备高性能选择器与有效热管理策略的前提下, 垂直堆叠架构被认为是实现超高密度三维 RRAM 的最具潜力路径, 而水平堆叠与晶体管辅助架构则更适用于高可靠嵌入式存储及存算一体应用场景^[118].

3.4 小 结

相较于传统平面阻变存储阵列, 三维集成通过在垂直方向扩展存储单元, 实现了单位面积存储密度的显著提升, 是突破 RRAM 密度瓶颈的关键技术路径. 本节围绕三维 RRAM 的发展逻辑, 系统分析了从选择管设计到自选择器件, 再到阵列级堆

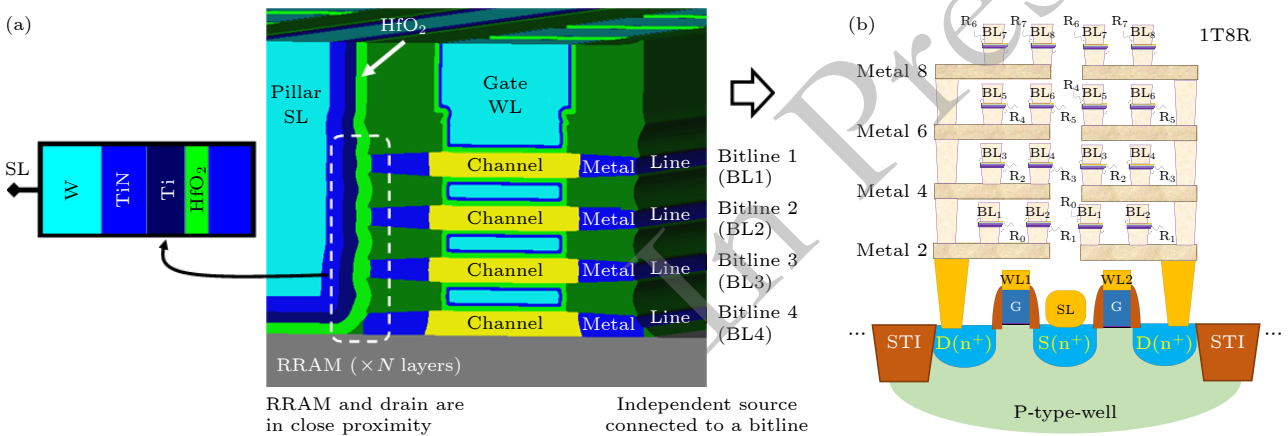


图 13 (a) 环栅纳米片晶体管与阻变存储器集成结构示意图^[99]; (b) 1T8R 集成架构示意图^[100]

Fig. 13. Schematic of the (a) integrated structure of a gate-all-around nanosheet 3D RRAM^[99] and (b) the 1T8R architecture^[100].

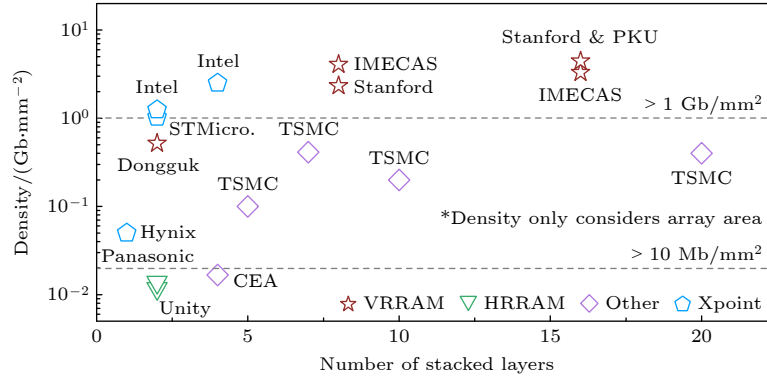


图 14 不同集成架构密度和堆叠层数关系示意图 [10,84,85,87,88,92,114–117]

Fig. 14. Schematic of the relationship between density and stacking layers for different integration architectures [10,84,85,87,88,92,114–117].

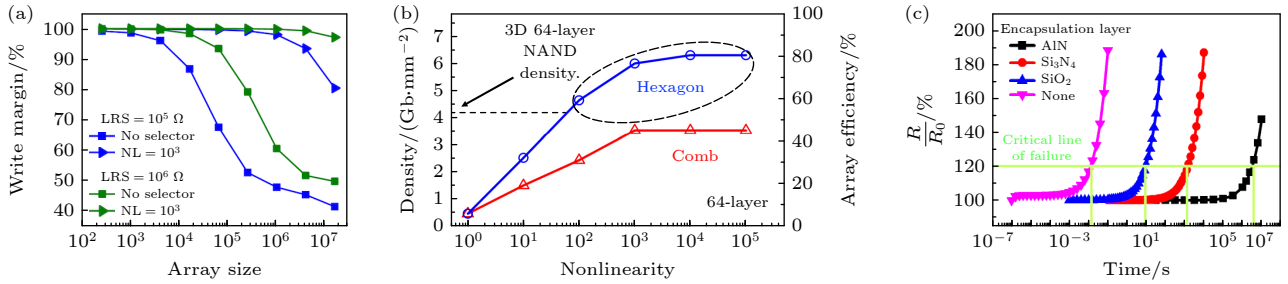


图 15 (a) 存储单元低阻态阻值和泄漏电流对阵列写入裕度的影响 [119]; (b) 同等器件性能条件下, 不同垂直堆叠架构可以实现的存储密度 [118]; (c) 不同封装层材料下存储单元随单元循环时间的电阻退化程度 [111]

Fig. 15. (a) Impact of LRS resistance and leakage current on the write margin [119]; (b) achievable storage density of different vertical-stack architectures [118]; (c) resistance degradation of RRAM versus time under different encapsulation layer materials [111].

叠架构的关键技术演进. 总体来看, 三维 RRAM 的发展本质上依赖于选择管性能、阵列架构及工艺实现三者之间的协同优化. 然而, 在实现高层数堆叠的过程中, 三维结构引入了更加复杂的互连拓扑与多物理场耦合效应, 使阵列级性能与可靠性面临更严峻的挑战. 当前主流三维架构仍以无源交叉阵列为基础, 其高密度优势依赖于高性能选择器与精细阵列设计, 但同时也受到漏电通路、寄生效应及热管理等关键问题的制约. 相关典型研究结果如图 15 所示 [111,118,119].

1) 阵列漏电与选择管约束

在无源交叉阵列中, 大量未选中单元形成复杂的泄漏路径, 导致读写干扰与电流旁路问题. 随着阵列规模与堆叠层数增加, 对选通器件的非线性比、关断电流及一致性提出了更高要求. 研究表明 [119], 为实现超过 3D NAND 的密度 ($>4.3 \text{ Gb/mm}^2$), 选通器件须提供至少 10^2 以上的非线性比, 并保持低阻态电阻高于 $1 \text{ M}\Omega$, 以有效抑制泄漏电流. 这表明, 选择管性能已成为决定三维 RRAM 可扩展性的首要约束因素. 随着 SSC、自整流 RRAM 及

结构化选存一体阻变器件的发展, 未来选择器优化方向正逐步由独立选通器件设计扩展至器件与结构的协同优化.

2) 寄生电阻与互连限制

随着堆叠层数增加与特征尺寸缩小, 金属互连的寄生电阻与电容显著上升, 导致电压降增大与信号延迟加剧, 从而降低写入裕度与读出可靠性 [120–125]. 相关研究表明 [107], 平面电极型垂直架构在寄生电阻控制方面优于梳齿型结构, 并可通过分区互连与子阵列划分降低整体互连损耗. 因此, 寄生效应的优化需从材料、电极结构及阵列划分等多层面协同考虑, 其影响在高层堆叠条件下尤为突出.

3) 热效应与可靠性退化

三维堆叠结构中器件高度集成, 局部热密度显著增大, 热扩散路径受限, 易引发温度累积与层间热串扰. 特别是在大规模阵列中, 多值状态间距更窄、统计分布更敏感, 其稳定性、可重复性和循环偏移都可能随着规模扩大而进一步放大 [126–131]. 由于 RRAM 开关过程本质上依赖局域焦耳热驱动下

的缺陷迁移与导电细丝演化, 因此热管理问题不仅影响器件工作温度, 更会直接改变阻变过程的物理动力学. 局部升温会显著增强氧空位热激活扩散行为, 使氧空位迁移率提高并引发缺陷重新分布, 从而改变导电细丝形貌稳定性. 在长期热应力作用下, 导电细丝可能发生局部粗化、残余细丝保留或断裂位置漂移等现象, 导致高低阻态分布展宽、RESET 随机性增大以及循环稳定性退化. 此外, 高温环境还会促进电极与氧化物界面反应与元素扩散, 进一步改变界面势垒及局域输运行为, 从而加剧器件参数漂移^[132-136]. 热管理能力同时受到材料热导率、层间介质结构、阵列操作策略以及堆叠层数等因素共同影响. 高热导率介质能够改善热扩散能力, 而低热导材料容易导致局域热积累. 随着堆叠层数增加, 热扩散路径进一步受限, 层间热耦合效应持续增强; 同时, 写入脉冲宽度、占空比及阵列并行操作方式也会改变热积累程度. 北京大学 Yu 等^[11]研究表明, 通过引入高导热且具备阻氧能力的介电封装层 (如 AlN), 可有效抑制热耦合与缺陷扩散, 其作用在不同工艺节点下表现出不同主导机制. 如在较大尺寸节点中, 阻氧能力更为关键; 而在亚 10 nm 尺度下, 热管理成为主要瓶颈. 因此, 未来高层数三维 RRAM 的发展需要进一步建立材料热输运、缺陷演化及阵列运行协同优化机制.

4 总结与展望

随着工艺节点逐步逼近物理极限, 高密度 RRAM 的发展已不再是单纯的器件尺寸缩放问题, 而逐渐演变为导电细丝动力学、热迁移过程、阵列级电流耦合以及系统操作稳定性之间的跨层级协同优化问题. 本文围绕高密度阻变存储器的发展脉络, 系统分析了二维 RRAM 在尺寸微缩过程中面临的核心瓶颈, 并进一步阐述了三维集成架构下选通管设计、自选择器件以及阵列堆叠方式的关键技术进展. 研究表明, 平面 RRAM 的发展瓶颈主要来源于微缩过程中驱动能力下降与阻变动力学之间的矛盾, 而三维 RRAM 则进一步受到选择器性能、阵列互连、热管理及工艺实现等因素共同制约. 相较于传统存储器持续依赖平面尺寸缩放的发展模式, 三维 RRAM 通过垂直方向扩展存储单元, 为进一步提升存储密度提供了新的技术路径. 然

而, 高层数堆叠条件下, 器件行为逐渐呈现更加复杂的跨尺度耦合特征, 使未来发展不再仅依赖材料或结构优化, 而需要从器件物理机制层面建立更加统一的优化框架. 展望未来, 高密度 RRAM 的发展仍面临若干关键科学问题.

1) 热效应、电效应和缺陷耦合机制的统一理解

RRAM 阻变过程本质上涉及局域焦耳热、氧空位迁移及导电细丝动力学之间的协同作用. 随着器件尺寸进一步缩小及堆叠层数增加, 局部热积累不仅影响缺陷扩散行为, 还会进一步改变导电细丝形貌稳定性及界面输运特性. 建立热输运、缺陷演化及电流分布之间的统一物理模型, 进一步理解热累积条件下阻变动力学演化规律, 是未来提升高密度 RRAM 可靠性的关键问题.

2) 结构化自选择机制与新型选通器件协同优化

传统 CF, OTS 及 IMT 选择器已能够满足部分阵列需求, 但选择管阈值漂移、热稳定性及长期可靠性问题仍限制超高层数阵列进一步扩展. 近年来发展的 HfO_x 基自整流 RRAM、非对称势垒结构、局域电场调控以及结构诱导型选存一体器件等新方案, 为实现更高面积效率及更强非线性提供了新方向. 未来需要进一步明确界面势垒、缺陷梯度及局域电场之间的耦合关系, 建立结构设计与非线性输运行为之间的物理联系.

3) 三维阵列一致性与动态耦合问题

随着阵列规模扩大, 寄生参数、动态电压再分配、热串扰及器件统计波动之间的耦合作用逐渐增强, 使阵列行为不再等同于单器件性能简单叠加. 降低阵列级离散性、提升多层堆叠一致性, 并建立器件、电路和阵列协同设计方法, 是实现高可靠性三维 RRAM 的重要挑战.

4) 高深宽比工艺与缺陷可控方法

高层数三维堆叠对材料均匀性、界面质量及导电通道空间位置控制提出更严格要求. 以 ALD 为代表的高保形工艺逐渐从单纯制备手段发展为调控界面态、氧空位分布及局域电场的重要工具. 未来需要进一步发展面向高深宽比结构的缺陷工程与界面工程方法, 实现导电细丝形成位置及器件非线性行为的精准调控.

总体而言, 高密度 RRAM 的发展已逐渐由单器件优化问题转变为热、缺陷、电流及结构之间动态耦合作用主导的系统性问题. 未来需要进一步建

立材料、器件、阵列及运行机制之间的跨尺度协同优化框架,从物理机制层面推动高密度阻变存储器向更高集成度、更高可靠性方向发展。

参考文献

- [1] Chen Y Y 2020 *IEEE Trans. Electron Dev.* **67** 1420
- [2] Spessot A, Oh H 2020 *IEEE Trans. Electron Dev.* **67** 1382
- [3] Heineck L, Liu J 2022 *IEEE International Memory Workshop (IMW)* Dresden, Germany, May 15–18, 2022 p1
- [4] Shim S I, Jang J, Song J 2023 *IEEE International Memory Workshop (IMW)* Monterey, CA, USA, May 21–24, 2023 p1
- [5] Kim B, Lee S, Hah B, Park K, Park Y, Jo K, Noh Y, Seol H, Lee H, Shin J 2023 *IEEE International Solid-State Circuits Conference (ISSCC)* San Francisco, CA, USA, February 19–23, 2023 p27
- [6] Goda A 2024 *IEEE International Electron Devices Meeting (IEDM)* San Francisco, CA, USA, December 7–11, 2024 p1
- [7] Huo Z L, Cheng W H, Yang S M 2022 *IEEE Symposium on VLSI Technology and Circuits* Honolulu, HI, USA, June 13–17, 2022 p254
- [8] Zhu Y Y, Yang Z Y, Yang S N, Zhang Y F, Zhang M, Wang X, Wang H J, Xu J 2025 *Acta Phys. Sin.* **74** 217301 (in Chinese) [朱媛媛, 杨梓怡, 杨淑宁, 张云飞, 张苗, 王鑫, 王红军, 徐静 2025 物理学报 **74** 217301]
- [9] Hayakawa Y, Himeno A, Yasuhara R, Boullart W, Vecchio E, Vandeweyer T, Witters T, Crotti D, Jurczak M, Fujii S, Ito S 2015 *Symposium on VLSI Technology* Kyoto, Japan, June 16–18, 2015 pT14
- [10] Chou C C, Lin Z J, Tseng P L, Li C F, Chang C Y, Chen W C, Chih Y D, Chang T Y 2018 *IEEE International Solid-State Circuits Conference (ISSCC)* San Francisco, CA, USA, February 11–15, 2018 p478
- [11] Ito S, Hayakawa Y, Wei Z, Muraoka S, Kawashima K, Kotani H, Kouno K, Nakamura M, Du G A, Chen J F, Yeoh S P 2018 *IEEE International Memory Workshop (IMW)* Kyoto, Japan, May 13–16, 2018 p1
- [12] Bao S Y, Wang Z W, Yang Y H, Wang Q S, Shan L B, Bao L, Cai Y M, Huang R 2025 *IEEE Trans. Electron Dev.* **72** 2278
- [13] Sun J W, Wang Z W, Cai Z X, Bao S Y, Wu Z M, Chu Y B, Wu H, Ji Y C, Xie R Q, Bao L, Zhou Z, Liang L, Yu Z Z, Feng G M, Guo A, Lu Y F, Li C, Chen S M, Zhao Y H, Cai Y M, Huang R 2025 *IEEE International Electron Devices Meeting (IEDM)* San Francisco, CA, USA, December 6–10, 2025 p1
- [14] Yang J, Xue X, Xu X, Lv H, Zhang F, Zeng X, Chang M F, Liu M 2020 *IEEE Symposium on VLSI Circuits* Honolulu, HI, USA, June 16–19, 2020 p1
- [15] Huang Y H, Hsieh Y C, Lin Y C, Chih Y D, Wang E, Chang J, King Y C, Lin C J 2023 *IEEE Symposium on VLSI Technology and Circuits* Kyoto, Japan, June 11–16, 2023 p1
- [16] Weber O, Pigot C, Berthelon R, Gandolfo A, Mattavelli P, Jasse J, Samanni G, Gomiero E, Richard E, Grenier J C, Ranica R 2021 *Symposium on VLSI Technology* Kyoto, Japan, June 13–19, 2021 p1
- [17] Wu C Y, Yang C F, Lai C W, Wu Y T, Chien T C, Yang M H, Yang M T, Kao Y N, Cheng C L, Wang C Y, Tseng H W 2023 *International Electron Devices Meeting (IEDM)* San Francisco, CA, USA, December 9–13, 2023 p1
- [18] Bao S, Yang Y, Wang Z, Shan L, Wang Q, Cai Y, Huang R 2025 *9th IEEE Electron Devices Technology & Manufacturing Conference (EDTM)* Hong Kong, China, March 9–12, 2025 p1
- [19] Jain P, Arslan U, Sekhar M, Lin B C, Wei L, Sahu T, Alzate-Vinasco J, Vangapaty A, Meterelliyo M, Strutt N, Chen A B 2019 *IEEE International Solid-State Circuits Conference (ISSCC)* San Francisco, CA, USA, February 17–21, 2019 p212
- [20] Golonzka O, Arslan U, Bai P, Bohr M, Baykan O, Chang Y, Chaudhari A, Chen A, Clarke J, Connor C, Das N 2019 *Symposium on VLSI Technology* Kyoto, Japan, June 9–14, 2019 pT230
- [21] Wen T H, Hsu H H, Khwa W S, Huang W H, Ke Z E, Chin Y H, Wen H J, Chang Y C, Hsu W T, Lo C C, Liu R S 2024 *IEEE International Solid-State Circuits Conference (ISSCC)* San Francisco, CA, USA, February 18–22, 2024 p580
- [22] Xu X X, Yu J, Gong T C, Yang J G, Yin J H, Dong D N, Luo Q, Liu J, Yu Z A, Liu Q, Lv H B, Liu M 2020 *IEEE International Electron Devices Meeting (IEDM)* San Francisco, CA, USA, December 12–18, 2020 p24.3.1
- [23] Bao S Y, Wang Z W, Yang Y H, Wang Q S, Shan L B, Bao L, Cai Y M, Huang R 2025 *IEEE Trans. Electron Dev.* **72** 2327
- [24] Huang Y C, Liu S H, Chen H S, Feng H C, Li C F, Yang C Y, Chang W K, Yang C F, Wu C Y, Lin Y C, Yang T T 2024 *IEEE International Solid-State Circuits Conference (ISSCC)* San Francisco, CA, USA, February 18–22, 2024 p288
- [25] Zheng H X, Chen M C, Chang T C, Su Y T, Chen W C, Huang W C, Wu P Y, Tan Y F, Xu Y L, Zhang Y C, Ma X H 2019 *IEEE Trans. Electron Dev.* **66** 4706
- [26] Chen P H, Su Y T, Huang W C, Wu C W 2023 *IEEE Trans. Electron Dev.* **70** 1014
- [27] Subhechha S, Govoreanu B, Chen Y, Clima S, De Meyer K, Van Houdt J, Jurczak M 2016 *IEEE International Reliability Physics Symposium (IRPS)* Pasadena, CA, USA, April 17–21, 2016 p6C-2-1
- [28] Clima S, Chen Y Y, Fantini A, Goux L, Degraeve R, Govoreanu B, Pourtois G, Jurczak M 2015 *IEEE Electron Device Lett.* **36** 769
- [29] Ohmori K, Shinoda A, Kawai K, Wei Z, Mikawa T, Hasunuma R 2017 *Symposium on VLSI Technology* Kyoto, Japan, June 5–8, 2017 pT90
- [30] An R, Li Y J, Tang J S, Gao B, Du Y W, Yao J, Li Y K, Sun W, Zhao H, Li J M, Qin Q, Zhang Q T, Qiu S, Li Q W, Li Z C, Qian H, Wu H Q 2022 *International Electron Devices Meeting (IEDM)* San Francisco, CA, USA, December 3–7, 2022 p18.1.1
- [31] Felfel A M, Datta K, Dutt A, Veluri H, Zaky A, Thean A V, Aly M M 2020 *Design, Automation & Test in Europe Conference & Exhibition (DATE)* Grenoble, France, March 9–13, 2020 p43
- [32] Yu S M 2016 *Resistive Random Access Memory (RRAM)* (San Rafael: Morgan & Claypool Publishers) pp10–79
- [33] Yu S M, Chen P Y 2016 *IEEE Solid-State Circuits Magazine* **8** p43
- [34] Cui X L, Zhang Q, Cui X X, Wang X A, Kang J F, Liu X Y 2017 *Sci. China Inf. Sci.* **60** 029402
- [35] Zhang Q, Cui X L, Xu X Y, Wang X A, Ma Z, Zhou S M 2016 *IEEE International Conference on Electron Devices and Solid-State Circuits (EDSSC)* Hong Kong, China,

August 3–5, 2016 p226

- [36] Ahn C, Jiang Z, Lee C S, Chen H Y, Liang J, Liyanage L S, Wong H S 2015 *IEEE Trans. Electron Dev.* **62** 2197
- [37] Wang Q S, Yang Y H, Wang Z W, Bao S Y, Sun J W, Shan L B, Bao L, Gao Y, Zhang H S, Ling Y T, Zhang W Z, Wang Y S, Cai Y M, Huang R 2023 *International Electron Devices Meeting (IEDM)* San Francisco, CA, USA, December 9–13, 2023 p1
- [38] Chang M F, Lee A, Chen P C, Lin C J, King Y C, Sheu S S, Ku T K 2015 *IEEE J. Em. Sele. Top. Circuit.* **5** 183
- [39] Li H H, Wang S C, Zhang X M, Wang W, Yang R, Sun Z, Feng W X, Lin P, Wang Z R, Sun L F, Yao Y G 2021 *Adv. Intellig. Syst.* **3** 2100017
- [40] Wang Z W, Wu Z M, Bao L, Wang Q S, Yang Y H, Bao S Y, Sun J W, Wang C M, Cai Y M, Huang R 2025 *9th IEEE Electron Devices Technology & Manufacturing Conference (EDTM)* Hong Kong, China, March 9–12, 2025 p1
- [41] Yang Y, Wang Z, Wang H, Bao L, Wang Q S, Wang R S, Cai Y 2026 *IEEE Trans. Electron Dev.* **73** 1366
- [42] Yang Y, Wang Z, Bao S, Zhou Z, Bao L, Cai Y 2025 *IEEE Trans. Electron Dev.* **73** 814
- [43] Kozicki M N, Barnaby H J 2016 *Semicond. Sci. Tech.* **31** 113001
- [44] Grisafe B, Jerry M, Smith J A, Datta S 2019 *IEEE Electron Dev. Lett.* **40** 1602
- [45] Devulder W, Opsomer K, Meersschaut J, Deduytsche D, Jurczak M, Goux L, Detavernier C 2015 *ACS Comb. Sci.* **17** 334
- [46] Banerjee W, Karpov I V, Agrawal A, Kim S, Lee S, Lee S, Lee D, Hwang H 2020 *IEEE International Electron Devices Meeting (IEDM)* San Francisco, CA, USA, December 12–18, 2020 p28.4.1
- [47] Anbarasu M, Wimmer M, Bruns G, Salinga M, Wuttig M 2012 *Appl. Phys. Lett.* **100** 143505
- [48] Ambrosi E, Wu C, Lee H, Chang P, Hsu C, Lee C, Chang C, Chen Y, Heh D, Hou D 2021 *IEEE International Electron Devices Meeting (IEDM)* San Francisco, CA, USA, December 11–16, 2021 p28.5.1
- [49] Ambrosi E, Wu C, Lee H, Hsu C, Lee C, Vaziri S, Datye I, Chen Y, Hou D, Chang P 2022 *International Electron Devices Meeting (IEDM)* San Francisco, CA, USA, December 3–7, 2022 p18.7.1
- [50] Nath S K 2021 *Ph. D. Dissertation* (Canberra: The Australian National University)
- [51] Zhou Y, Ramanathan S 2015 *Proceed. IEEE* **103** 1289
- [52] Wahila M J, Paez G, Singh C N, Regoutz A, Sallis S, Zuba M J, Rana J, Tellekamp M B, Boschker J E, Markurt T 2019 *Phys. Rev. Mater.* **3** 074602
- [53] Funck C, Menzel S, Aslam N, Zhang H, Hardtdegen A, Waser R, Hoffmann-Eifert S 2016 *Adv. Electron. Mater.* **2** 1600169
- [54] Luo Q, Yu J, Zhang X M, Xue K H, Yuan J H, Cheng Y, Gong T C, Lv H B, Xu X X, Yuan P, Yin, J H, Tai L, Long S B, Liu Q, Miao X S, Li J, Liu M 2019 *Symposium on VLSI Technology* Kyoto, Japan, June 9–14, 2019 pT236
- [55] Yang G Q, Xie R Q, Shan L B, Li J Y, Bao L, Wang Z W, Cai Y M 2025 *Silicon Nanoelectronics Workshop (SNW)* Kyoto, Japan, June 2025 p50
- [56] Chen P, Zhang X M, Wu Z H, Wang Y Z, Zhu J X, Hao Y X, Feng G, Sun Y Z, Shi T, Wang M, Liu Q 2022 *IEEE Trans. Electron Dev.* **69** 2391
- [57] Park Y, Yoon D, Fukutani K, Stanina R, Son J 2019 *ACS Appl. Mater. Interfaces* **11** 24221
- [58] Park J, Hadamek T, Posadas A B, Cha E, Demkov A A, Hwang H 2017 *Sci. Rep.* **7** 4068
- [59] Chen A, Fu Y Y, Ma G K, Yang G Q, Liu N F, Zhao X H, Zhang Z Q, Tao L, Wan H Z, Rao Y H, Duan J X, Shen L P, Zhang J, Sun P, Yang D H, Chang T C, Wang H 2022 *IEEE Electron Dev. Lett.* **43** 870
- [60] Ma G K, Yang Z S, Chen A, Wan X Y, Liu N F, Zhao X H, Yu Z Y, Wang H 2022 *IEEE Electron Dev. Lett.* **43** 1444
- [61] Luo Q, Xu X X, Liu H T, Lv H B, Gong T C, Long S B, Liu Q, Sun H T, Banerjee W, Li L, Gao J F, Lu N D, Chung S S, Li J, Liu M 2015 *IEEE International Electron Devices Meeting (IEDM)* Washington, DC, USA, December 7–9, 2015 p10.4.1
- [62] Luo Q, Xu X X, Lv H B, Gong T C, Long S B, Liu Q, Sun H T, Li L, Lu N D, Liu M 2016 *IEEE International Electron Devices Meeting (IEDM)* San Francisco, CA, USA, December 3–7, 2016 p11.7.1
- [63] Wan T Q, Lu Y F, Yuan J H, Li H Y, Li Y, Huang X D, Xue K H, Miao X S 2021 *IEEE Electron Dev. Lett.* **42** 613
- [64] Cheng H, Chien W, Kuo I, Yeh C, Gignac L, Kim W, Lai E, Lin Y, Bruce R, Lavoie C 2018 *IEEE International Electron Devices Meeting (IEDM)* San Francisco, CA, USA, December 1–5, 2018 p37.3.1
- [65] Cheng H Y, Kuo I, Chien W, Yeh C, Chou Y, Gong N, Gignac L, Yang C, Cheng C, Lavoie C 2020 *IEEE Symposium on VLSI Technology* Honolulu, HI, USA, June 16–19, 2020 p1
- [66] Lee J, Kim S, Lee S, Ban S, Heo S, Lee D, Mosendz O, Hwang H 2022 *IEEE Symposium on VLSI Technology and Circuits* Honolulu, HI, USA, June 13–17, 2022 p320
- [67] Ban S, Lee J, Kim T, Hwang H 2023 *IEEE Symposium on VLSI Technology and Circuits* Kyoto, Japan, June 11–16, 2023 p1
- [68] Jia S J, Li H L, Gotoh T, Longaud C, Zhang B, Lyu J, Lv S L, Zhu M, Song Z T, Liu Q, Robertson J, Liu M 2020 *Nat. Commun.* **11** 4636
- [69] Cheng H Y, Chien W, Kuo I, Lai E, Zhu Y, Jordan-Sweet J L, Ray A, Carta F, Lee F, Tseng P 2017 *IEEE International Electron Devices Meeting (IEDM)* San Francisco, CA, USA, December 2–6, 2017 p2.2.1
- [70] Luo Q 2023 *3D Integration of Resistive Switching Memory* (Boca Raton: CRC Press)
- [71] Wang Z W, Kang J, Yu Z, Fang Y, Ling Y, Cai Y, Huang R, Wang Y 2017 *Nanotechnology* **28** 055204
- [72] Li J C, Ren S G, Li Y, Peng W L, Zhou Z W, Xue Y B, Zhang Y, Cao Z W, Sun J Y, He Y H, Miao X S 2024 *IEEE International Electron Devices Meeting (IEDM)* San Francisco, CA, USA, December 7–11, 2024 p1
- [73] Ren S G, Mao G Q, Xue Y B, Zhang Y, Sun J Y, Zuo W B, Li Y, Xue K H, Miao X S 2024 *Appl. Phys. Lett.* **125** 123503
- [74] Wang Z W, Kang J, Bai G D, Zhong G F, Wang B W, Ling Y T, Chen Q Y, Bao L, Wu L D, Cai Y M, Robertson J, Huang R 2020 *IEEE Electron Dev. Lett.* **41** 1009
- [75] Nandi S K, Liu X, Venkatachalam D K, Elliman R G 2015 *J. Phys. D: Appl. Phys.* **48** 195105
- [76] Yang G Q, Chen A, Liu N F, Ma G K, Lin Z N, Fu Y Y, Zhao X H, Rao Y H, Tao L, Wan H Z, Duan J X, Shen L P, Sun P, Yang D H, Wang H 2022 *IEEE Trans. Electron Dev.* **70** 65
- [77] Xu X, Luo Q, Gong T, Lv H, Long S, Liu Q, Chung S S, Li J, Liu M 2016 *IEEE Symposium on VLSI Technology* Honolulu, HI, USA, June 14–16, 2016 p1
- [78] Fang Y C, Wang Z W, Cheng C D, Yu Z Z, Zhang T, Yang

- Y C, Cai Y M, Huang R 2019 *Sci. China Inf. Sci.* **62** 229401
- [79] Li C, Han L L, Jiang H, Jang M H, Lin P, Wu Q, Barnell M, Yang J J, Xin H L, Xia Q F 2017 *Nat. Commun.* **8** 15666
- [80] Ni R, Yang L, Huang X D, Ren S G, Wan T Q, Li Y, Miao X S 2021 *IEEE Trans. Electron Dev.* **68** 4897
- [81] Li J, Ren S G, Li Y, Yang L, Yu Y, Ni R, Zhou H, Bao H, He Y, Chen J 2023 *Sci. Adv.* **9** eadf7474
- [82] Wang Z J, Zhang G B, Li P T, Xing S P, Wang Z, Fan X M, Sun J B, Gao D W, Wan Q, Zhang Y S 2024 *Phys. Rev. Appl.* **22** 064003
- [83] Lim B M, Lee Y M, Yoo C S, Kim M, Kim S J, Kim S, Yang J J, Lee H S 2024 *ACS Nano* **18** 6373
- [84] Bae J, Kwon C, Park S O, Jeong H, Park T, Jang T, Cho Y, Kim S, Choi S 2024 *Sci. Adv.* **10** eadm7221
- [85] Kim K M, Zhang J, Graves C, Yang J J, Choi B J, Hwang C S, Li Z, Williams R S 2016 *Nano Lett.* **16** 6724
- [86] Cheong W H, Jeon J B, In J H, Kim G, Song H, An J, Park J, Kim Y S, Hwang C S, Kim K M 2022 *Adv. Funct. Mater.* **32** 2200337
- [87] Yoon J H, Song S J, Yoo I H, Seok J Y, Yoon K J, Kwon D E, Park T H, Hwang C S 2014 *Adv. Funct. Mater.* **24** 5086
- [88] Luo Q, Xu X X, Gong T C, Lv H B, Dong D N, Ma H L, Yuan P, Gao J F, Liu J, Yu Z A, Li J F, Long S B, Li Q, Liu M 2017 *IEEE International Electron Devices Meeting (IEDM)* San Francisco, CA, USA, December 2–6, 2017 p2.7.1
- [89] Ma C, Sun W, Nie L, Li Y J, Wu Y T, Fan Z, Tang W, Zhang K, Liu Y, Zhao S 2025 *Symposium on VLSI Technology and Circuits (VLSI Technology and Circuits)* Kyoto, Japan, June 2025 p1
- [90] Chen H Y, Yu S, Gao B, Huang P, Kang J, Wong H S P 2012 *International Electron Devices Meeting (IEDM)* San Francisco, CA, USA, December 10–13, 2012 p20.7.1
- [91] Luo Q, Xu X X, Liu H T, Lv H B, Gong T C, Long S B, Liu Q, Sun H T, Banerjee W, Li L, Gao J F, Lu N D, Chung S S, Li J, Liu M 2015 *IEEE International Electron Devices Meeting (IEDM)* Washington, DC, USA, December 7–9, 2015 p10.2.1
- [92] Li H T, Li K S, Lin C H, Hsu J L, Chiu W C, Chen M C, Wu T T, Sohn J, Eryilmaz S B, Shieh J M 2016 *IEEE Symposium on VLSI Technology* Honolulu, HI, USA, June 14–16, 2016 p1
- [93] Yang S, Kim T, Kim S, Chung D, Kim T H, Lee J K, Kim S, Ismail M, Mahata C, Kim S 2023 *Nanoscale* **15** 13239
- [94] Ding Y X, Yang J G, Liu Y, Gao J F, Wang Y, Jiang P F, Lv S X, Chen Y T, Wang B P, Wei W, Gong T C, Xue K H, Luo Q, Miao X S, Liu M 2023 *IEEE Symposium on VLSI Technology and Circuits* Kyoto, Japan, June 11–16, 2023 p1
- [95] Lu C, Meng J, Yu J, Song J, Wang T, Zhu H, Sun Q Q, Zhang D W, Chen L 2024 *Nano Lett.* **24** 2018
- [96] Qin S J, Tung M, Belliveau E, Liu S H, Kwon J, Chen W C, Jiang Z, Wong S S, Won H S P 2022 *IEEE Symposium on VLSI Technology and Circuits* Honolulu, HI, USA, June 13–17, 2022 p314
- [97] Hsu C W, Wang I T, Lo C L, Chiang M C, Jang W Y, Lin C H, Hou T H 2013 *Symposium on VLSI Technology* Kyoto, Japan, June 11–13, 2013 pT166
- [98] Bridarolli D, Zucchelli C, Mannocci P, Ricci S, Farronato M, Pedretti G, Sun Z, Ielmini D 2024 *IEEE International Electron Devices Meeting (IEDM)* San Francisco, CA, USA, December 7–11, 2024 p1
- [99] Barraud S, Ezzadeen M, Bosch D, Dubreuil T, Castellani N, Meli V, Hartmann J, Mouhdach M, Previtali B, Giraud B 2020 *IEEE International Electron Devices Meeting (IEDM)* San Francisco, CA, USA, December 12–18, 2020 p29.5.1
- [100] Hsieh E R, Zheng X, Le B Q, Shih Y C, Radway R M, Nelson M, Mitra S, Wong S 2021 *IEEE Electron Dev. Lett.* **42** 335
- [101] Liu T Y, Yan T H, Scheuerlein R, Chen Y, Lee J K, Balakrishnan G, Yee G, Zhang H, Yap A, Ouyang J 2013 *IEEE Journal of Solid-State Circuits* **49** 140
- [102] Lee H D, Kim S, Cho K, Hwang H, Choi H, Lee J, Lee S, Lee H, Suh J, Chung S O 2012 *Symposium on VLSI Technology* Honolulu, HI, USA, June 12–14, 2012 p151
- [103] Hsieh M C, Liao Y C, Chin Y W, Lien C H, Chang T S, Chih Y D, Natarajan S, Tsai M J, King Y C, Lin C J 2013 *IEEE International Electron Devices Meeting (IEDM)* Washington, DC, USA, December 9–11, 2013 p10.3.1
- [104] Baek I, Kim D, Lee M, Kim H J, Yim E, Lee M, Lee J, Ahn S, Seo S, Lee J 2005 *IEEE International Electron Devices Meeting (IEDM)* Washington, DC, USA, December 5–7, 2005 p750
- [105] Ho C, Huang H H, Lee M T, Hsu C L, Lai T Y, Chiu W C, Lee M, Chou T H, Yang I, Chen M C 2012 *International Electron Devices Meeting (IEDM)* San Francisco, CA, USA, December 10–13, 2012 p2.8.1
- [106] Huang J J, Tseng Y M, Luo W C, Hsu C W, Hou T H 2011 *International Electron Devices Meeting (IEDM)* Washington, DC, USA, December 5–7, 2011 p31.7.1
- [107] Chen Y C, Lin C C, Chang Y F 2021 *Micromachines* **12** 50
- [108] Yu S M, Deng Y X, Gao B, Huang P, Chen B, Liu X Y, Kang J F, Chen H Y, Jiang Z Z, Wong H S P 2014 *IEEE International Symposium on Circuits and Systems (ISCAS)* Melbourne, Australia, June 1–5, 2014 p421
- [109] Wang K X, Lu J, Xiang Z Y, Li R P, Wang Z X, Jin H L, Jiang R 2024 *Appl. Phys. Lett.* **124** 203503
- [110] Yu M X, Cai Y M, Wang Z W, Fang Y C, Liu Y F, Yu Z Z, Pan Y, Zhang Z X, Tan J, Yang X, Li M, Huang R 2016 *Sci. Rep.* **6** 21020
- [111] Yu M X, Fang Y C, Wang Z W, Chen G, Pan Y, Yang X, Yin M H, Yang Y C, Li M, Cai Y M, Huang R 2016 *Nanotechnology* **27** 205202
- [112] Chen Q, Wang Z, Yu M, Fang Y, Yu Z, Yang Y, Cai Y, Huang R 2019 *Phys. Script.* **94** 045001
- [113] Wang C, Feng D, Tong W, Hua Y, Liu J, Wu B, Zhao W, Song L, Zhang Y, Xu J, Wei X 2020 *IEEE Trans. Comput.-Aided Des. Integr. Circuits Syst.* **40** 762
- [114] Chevallier C J, Siau C H, Lim S F, Namala S R, Matsuoka M, Bateman B L, Rinerson D 2010 *IEEE International Solid-State Circuits Conference (ISSCC)* San Francisco, CA, USA, February 7–11, 2010 p260
- [115] Kawahara A, Azuma R, Ikeda Y, Kawai K, Katoh Y, Hayakawa Y, Tsuji K, Yoneda S, Himeno A, Shimakawa K 2012 *IEEE J. Solid-State Circ.* **48** 178
- [116] Dubreuil T, Amari P, Barraud S, Lacord J, Esmanhotto E, Meli V, Martin S, Castellani N, Previtali B, Andrieu F 2022 *IEEE International Memory Workshop (IMW)* Germany, May 15–18, 2022 p1
- [117] Sing S P, Wang Y C, Lin W H, Chih Y D, Wang Y, King Y C, Lin C J 2024 *IEEE Trans. Electron Dev.* **71** 2399
- [118] Jiang Z Z, Qin S J, Li H T, Fujii S, Lee D, Wong S, Wong H S P 2019 *IEEE Trans. Electron Dev.* **66** 5147
- [119] Qin S J, Jiang Z Z, Li H T, Fujii S, Lee D, Wong S S, Wong H S P 2019 *IEEE Trans. Electron Dev.* **66** 5139
- [120] Park K, Ryu J, Sahu D P, Kim H M, Yoon T S 2022 *RSC Adv.* **12** 18547

- [121] Fang Y C, Yu Z Z, Wang Z W, Zhang T, Yang Y C, Cai Y M, Huang R 2018 *IEEE Electron Dev. Lett.* **39** 819
- [122] Lee Y, Jeon B, Cho Y, Kim J, Shim W, Kim S 2025 *Adv. Mater. Technol.* **10** 2400585
- [123] Sun L F, Zhang Y S, Han G, Hwang G, Jiang J B, Joo B, Watanabe K, Taniguchi T, Kim Y M, Yu W J, Kong B S, Zhao R, Yang H 2019 *Nat. Commun.* **10** 3161
- [124] Lo C L, Hou T H, Chen M C, Huang J J 2012 *IEEE Trans. Electron Dev.* **60** 420
- [125] Li H T, Gao B, Chen H Y H, Chen Z, Huang P, Liu R, Zhao L, Jiang Z J, Liu L F, Liu X Y, Yu S M, Kang J F, Nishi Y, Wong H S P 2015 *IEEE Trans. Electron Dev.* **62** 3160
- [126] Sun J W, Wang Z W, Gao J, Shan L, Wang Q S, Yang Y H, Cai Y M, Huang R 2024 *IEEE International Reliability Physics Symposium (IRPS)* Monterey, CA, USA, March 24–28, 2024 p1
- [127] Yu S M, Chen H Y, Deng Y, Gao B, Jiang Z Z, Kang J, Wong H S P 2013 *Symposium on VLSI Technology* Kyoto, Japan, June 11–13, 2013 pT158
- [128] Zambelli C, Grossi A, Olivo P, Walczyk C, Wenger C 2015 *IEEE Computer Society Annual Symposium on VLSI* Montpellier, France, July 8–10, 2015 p327
- [129] Lee W J, Kim B, Koo M, Kim Y 2024 *ACS Appl. Electron. Mater.* **6** 2232
- [130] Han G, Kim Y, Kim J, Kim D, Seo Y, Lee C, Choi J, Lee J, Ahn D, Oh S 2024 *IEEE Symposium on VLSI Technology and Circuits* Honolulu, HI, USA, June 16–20, 2024 p1
- [131] Xu W, Zhao Y, Huang P, Liu X, Kang J 2019 *IEEE 13th International Conference on ASIC (ASICON)* Chongqing, China, October 29–November 1, 2019 p1
- [132] Ielmini D, Pedretti G 2025 *Chem. Rev.* **125** 5584
- [133] Larcher L, Padovani A, Pirrotta O, Vandelli L, Bersuker G 2012 *International Electron Devices Meeting (IEDM)* San Francisco, CA, USA, December 10–13, 2012 p20.1.1
- [134] Chen Z, Li H T, Chen H Y, Chen B, Liu R, Huang P, Zhang F F, Jiang Z Z, Ye H F, Gao B 2016 *Nanotechnology* **27** 215204
- [135] Yu S M, Guan X, Wong H S P 2012 *International Electron Devices Meeting (IEDM)* San Francisco, CA, USA, December 10–13, 2012 p26.1.1
- [136] Cai Y M, Wang Z W, Yu Z Z, Ling Y T, Chen Q Y, Yang Y F, Bao S Y, Wu L D, Bao L, Wang R S, Huang R 2020 *IEEE International Electron Devices Meeting (IEDM)* San Francisco, CA, USA, December 12–18, 2020 p13.4.1

SPECIAL TOPIC—Semiconductor physics and devices

Research progress of high-density resistive random-access memory^{*}

ZHAO Dongxue WANG Zongwei[†] YANG Gaoqi WU Zimeng
 QIU Yuchen SUN Jingwei CAI Yimao[‡]

(School of Integrated Circuits, Beijing Advanced Innovation Center for Integrated Circuits, Peking University, Beijing 100871, China)

(Received 7 May 2026; revised manuscript received 27 May 2026)

Abstract

Resistive random access memory (RRAM) has emerged as a promising candidate for high-density data storage in the post-Moore era, owing to its simple structure, excellent CMOS compatibility, and potential for in-memory computing. However, conventional two-dimensional RRAM based on the 1T1R (one-transistor-one-resistor) architecture faces fundamental scaling limitations, mainly due to the trade-off between operating current and transistor footprint, which constrains further density improvement. This paper reviews recent progress in high-density RRAM, focusing on key bottlenecks in two-dimensional scaling and the transition toward three-dimensional integration. The evolution of 1T1R structures and optimization strategies for nTmR array configurations are analyzed at both device and array levels, with attention to challenges including insufficient driving capability, aggravated sneak-path interference, and reliability degradation. Recent progress in three-dimensional RRAM is then discussed, focusing on the switching mechanisms and performance requirements of selector devices. Representative technologies, including metallic filament-based selectors, amorphous chalcogenide threshold switching devices, and insulator-metal transition selectors, are compared. The advantages of self-selective memory cells for density enhancement are also discussed. At the array level, horizontal stacking, vertical stacking, and transistor-based three-dimensional architectures are compared, among which vertical stacking is identified as the most promising approach for ultra-high-density integration. Key issues in three-dimensional arrays, including leakage paths, parasitic effects, and thermal management, are analyzed along with potential solutions. Overall, improving selector performance and optimizing three-dimensional stacking architectures are critical for achieving ultra-high-density RRAM, supporting next-generation non-volatile memory and intelligent computing systems.

Keywords: resistive random access memory, high density, scaling, vertical stacking, selector

DOI: [10.7498/aps.75.20260651](https://doi.org/10.7498/aps.75.20260651)

CSTR: [32037.14.aps.75.20260651](https://cstr.cn/32037.14.aps.75.20260651)

* Project supported by the National Natural Science Foundation of China (Grant Nos. 62322401, 62341407, U24B20166), the Beijing Natural Science Foundation and the Xiaomi Innovation Joint Fund (Grant No. L223004), and the “111” Project (Grant No. B18001).

[†] Corresponding author. E-mail: wangzongwei@pku.edu.cn

[‡] Corresponding author. E-mail: caiyimao@pku.edu.cn