

专题: 半导体物理与器件

高压低损耗 GaN 功率晶体管及其集成技术*

罗小蓉^{1)2)†} 魏子俊¹⁾ 邓高强¹⁾ 魏杰¹⁾ 李肇基¹⁾ 张波¹⁾

1) (电子科技大学, 先进功率与射频器件及集成教育部工程研究中心, 成都 610054)

2) (成都信息工程大学通信工程学院 (微电子学院), 成都 610225)

(2026 年 7 月 13 日收到; 2026 年 8 月 4 日收到修改稿)

氮化镓 (GaN) 高电子迁移率晶体管凭借其高临界击穿场强、高浓度二维电子气与高电子迁移率等优势, 已成为高频、高效电能转换电源系统的核心器件. 当前针对 GaN 功率晶体管的研究正朝着高击穿电压、高可靠性、低动态导通电阻与高集成度等方向持续演进. 本文系统综述了 GaN 功率晶体管在上述关键方向的挑战和研究进展: 首先阐述了栅极工程, 涵盖常关型实现技术与栅极耐压提升技术; 其次, 分析了器件击穿电压提升技术, 详细探讨了场板与沟槽终端、氟离子注入、横向超结以及极化超结技术; 进而, 剖析了动态导通电阻的退化机理及相关优化技术; 最后, 分析了功率集成技术的最新发展, 涵盖了双向开关、半桥集成、驱控一体集成以及 GaN CMOS 集成. 通过梳理技术演进路径, 旨在厘清高压低损耗 GaN 功率器件在结构、工艺和集成方面的核心挑战和研究进展, 对比分析了不同技术路线的优势与局限, 阐述了 GaN 功率器件设计过程中不同性能参数之间的折中关系, 并展望了更高耐压、更高可靠性的 GaN 功率晶体管及其集成电路的未来发展方向.

关键词: GaN 高电子迁移率晶体管, 栅极工程, 电场调制, 动态导通电阻, 功率集成电路**DOI:** 10.7498/aps.75.20260966**CSTR:** 32037.14.aps.75.20260966

1 引言

氮化镓 (GaN) 材料在功率电子应用中有着巨大的性能优势. GaN 禁带宽度为 3.4 eV, 临界击穿电场 (E_C) 约为硅 (Si) 材料的 10 倍, AlGaN/GaN 异质结的极化效应可在界面处产生极高密度 (10^{13} cm^{-2}) 的二维电子气 (2-dimensional electron gas, 2DEG), 且 2DEG 的电子迁移率较硅材料高出近 50%^[1,2]. 因此, GaN 高电子迁移率晶体管 (high-electron-mobility transistors, HEMTs) 能够以更小的器件尺寸实现比硅基器件更高的击穿电压 (breakdown voltage, BV). 同时, 小尺寸叠加 2DEG 的优势也显著降低了器件的比导通电阻 ($R_{\text{ON,sp}}$), 兼具高击穿电压 (BV) 和低阻的优势. 图 1 比较了基于 3 种半导体材料 (GaN, SiC, Si)

的功率器件 BV 和 $R_{\text{ON,sp}}$ 的理论关系, 在实现同等击穿电压的情况下, GaN 功率器件展现出最低的比导通电阻.

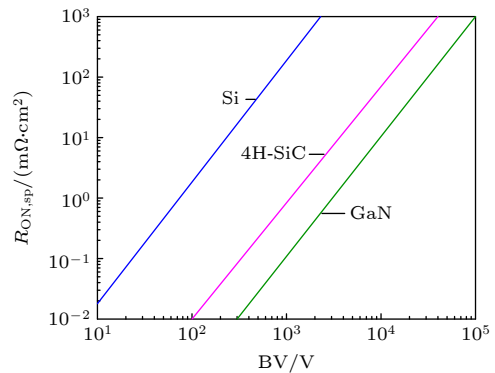


图 1 GaN, SiC 和 Si 的功率器件的 $R_{\text{ON,sp}}$ -BV 理论极限对比
Fig. 1. Theoretical $R_{\text{ON,sp}}$ -BV limits for the GaN-, SiC- and Si-based power devices.

* 国家自然科学基金区域创新发展联合基金重点项目 (批准号: U25A20493).

† 通信作者. E-mail: xrluo@uestc.edu.cn

得益于上述优势, GaN 功率 HEMT 已经在汽车电子^[3]、快充电源^[4]、5G 通信^[5]及人工智能数据中心^[6]等领域发挥着越来越关键的作用. Yole 集团的报告^[7]显示, GaN 技术的持续进步使其市场规模从 2020 年的 4580 万美元增长至 2025 年的 4.072 亿美元, 5 年间增幅达 889%, 预计其市场规模有望持续攀升.

GaN 功率器件的核心性能指标包括: 1) 击穿电压, 其量化了器件在关断状态下阻断电压的能力, 决定了器件的耐压和功率等级以及安全工作区, 在 GaN HEMT 中, 击穿电压通常受限于电场分布不均和泄漏电流过大; 2) 比导通电阻 ($R_{\text{ON,sp}} = \text{导通电阻} \times \text{器件表面积}$), 综合反映了器件导通能力与面积利用率, 低 $R_{\text{ON,sp}}$ 不仅能实现低导通损耗、提升系统效率, 还能在同等电流等级下缩小芯片面积并提升功率密度. $R_{\text{ON,sp}}$ 受 2DEG 密度与迁移率、欧姆接触及漂移区长度 (L_{GD}) 等因素影响. 击穿电压和比导通电阻存在相互制约关系; 3) 可靠性是器件在重复使用和复杂电热应力工况下保持性能稳定、不发生退化或失效的能力, 是 GaN 功率器件商业化应用的重要门槛, GaN HEMT 的可靠性问题主要包括动态导通电阻退化、阈值电压漂移以及热-电耦合老化等; 4) 工艺因素, 上述性能指标的优化, 都需要同工艺可行性以及成本进行综合考虑, 如何实现工艺简单可量产的高性能产品, 同样是 GaN 功率器件走向大规模商业化所必须面对的问题.

随着 GaN 功率器件在更广泛领域迈向大规模应用, 其在实用化进程中面临的关键技术挑战日益凸显, 这些挑战主要涵盖以下 4 个方面: 1) GaN HEMT 栅极击穿电压偏低、栅压摆幅偏小, 器件在高速、高压开关过程中的栅压过冲易造成栅极击穿而失效; 2) GaN HEMT 的击穿电压远未达到 GaN 材料的理论极限, 绝大多数主流商用常关型 (增强型, E-mode) GaN HEMT 的最高耐压等级目前仍低于 900 V; 3) 动态导通电阻退化效应依然普遍存在, 器件在实际电力电子应用中的导通损耗高于其静态预期, 不利于实现低损耗; 4) 全 GaN 集成电路 (GaN integrated circuits, GaN IC) 仍受制于高性能 p 沟道场效应晶体管 (P-channel field-effect transistor, p-FET) 缺失、衬底背栅效应等技术短板, 元器件集成数量和电路功能均有所限制. 针对上述技术挑战, 本文分别从栅极工程、击穿电压提升技术、动态导通电阻优化技术以及功率集成技

术 4 个部分开展综述, 旨在阐述 4 类技术挑战的应对方法与技术演进路径.

2 栅极工程

栅极工程主要解决两方面的问题: 一是实现常关型 (或增强型, E-mode) 和高阈值电压 (V_{TH}); 二是提高栅极击穿电压. 在电力电子应用中, 为降低功耗并简化栅极驱动, 功率开关需要常关型器件. 由于 AlGaIn/GaN 异质结界面存在 2DEG, 传统 GaN 功率 HEMT 为常开型 (或耗尽型, D-mode) 器件, 其阈值电压 V_{TH} 为负值. 因此, 实现高 V_{TH} 是其在电力电子领域大规模应用前必须解决的问题. 同时, 在高速开启瞬态过程中, 由于栅电容的耦合效应, 瞬态栅压可能达到极高值, 从而导致栅极击穿. 因此, 高栅极击穿电压能够保障高速安全运行并提升栅极鲁棒性.

2.1 常关型实现技术

目前已有多种常关型实现方法: 超薄势垒层、凹槽栅 MIS 结构、氟离子注入及 p-GaN 栅结构, 其关键都在于耗尽栅电极下方的 2DEG, 但这也可能导致器件的导通电阻增大. 因此, 在实际的器件设计中, 常关型的实现往往需要综合阈值电压、导通电阻以及工艺复杂度等因素进行折中考虑.

2.1.1 超薄势垒层技术

通过减薄 AlGaIn/GaN 异质结中的 AlGaIn 势垒层以削弱极化强度, 可降低异质结界面处的 2DEG 浓度. 图 2 展示了 AlGaIn 层厚度对 2DEG 浓度的影响. 当厚度从 d_3 减小至 d_1 时, 导带提升至费米能级以上, 此时 2DEG 消失, 从而实现了器件的常关型. 该技术的主要优势在于无需任何刻蚀步骤, 避免了刻蚀损伤引入缺陷^[8], 在实现增强型的基础上不影响器件的稳定性和可靠性. 1995 年, 弗吉尼亚大学 Khan 等^[9]将 AlGaIn 层厚度减薄至 10 nm, 首次利用超薄势垒层技术实现了常关型 AlGaIn/GaN HEMT, 实测的阈值电压约为 0.05 V. 然而, 由于异质结界面极化减弱, 2DEG 浓度随之降低, 导致器件输出电流能力较差, 导通电阻增大. 为此, 中国科学院微电子研究所 Zhao 等^[10]利用低压化学气相沉积 SiN_x 覆盖栅区以外的区域, 借助 $\text{SiN}_x/\text{AlGaIn}$ 界面处存在的大量固定正电荷在 AlGaIn/

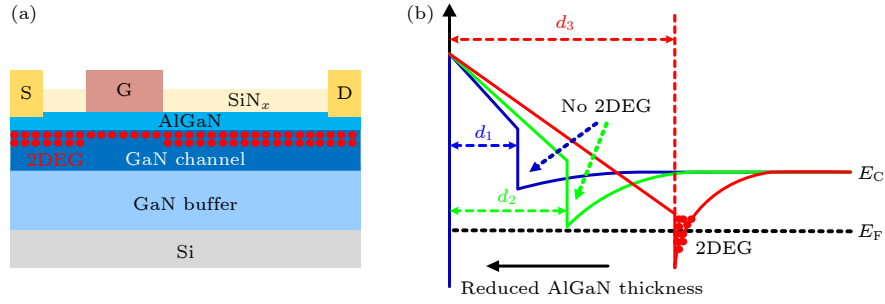

 图 2 超薄势垒层 AlGaIn/GaN HEMT (a) 器件结构; (b) 2DEG 和 AlGaIn 势垒层厚度 ($d_1 < d_2 < d_3$) 关系图

Fig. 2. Ultra-thin barrier layer AlGaIn/GaN HEMT: (a) Device structure; (b) energy band diagram under gate with different AlGaIn thicknesses ($d_1 < d_2 < d_3$).

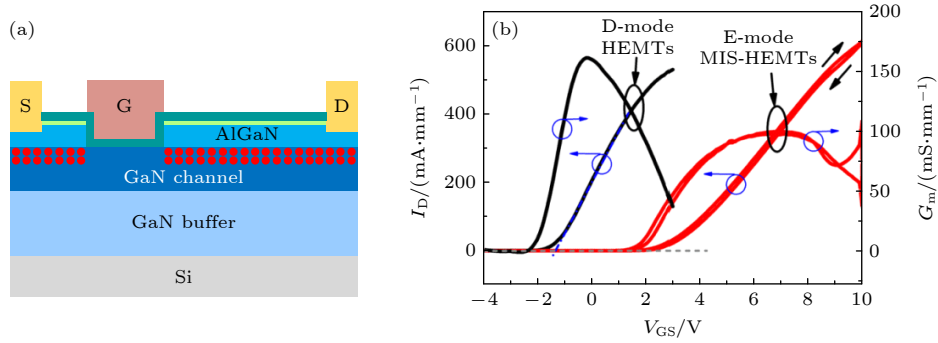

 图 3 凹槽 MIS 栅的 AlGaIn/GaN HEMT (a) 器件结构; (b) 凹槽 MIS 栅 HEMT 与常开型 HEMT 的转移特性曲线对比^[11]

Fig. 3. MIS recessed-gate AlGaIn/GaN HEMT: (a) Device structure; (b) comparison of the transfer characteristics of the MIS recessed-gate HEMT and the normally-on HEMT^[11].

GaN 异质结界面处感应生成 2DEG, 缓解了势垒层减薄带来的影响, 最终通过采用 5.5 nm 超薄势垒层, 实现了阈值电压 $V_{TH} = 0.9$ V 的 AlGaIn/GaN HEMT 器件.

2.1.2 凹槽栅 MIS 技术

基于以上技术, 通过选择性减薄栅极下方势垒层甚至去除势垒层形成凹槽栅结构, 以提高阈值电压, 同时缓解导通性能的退化. 此外, 为抑制栅极泄漏电流并扩大栅压摆幅, 通常在栅金属与半导体之间插入绝缘栅介质, 具有凹槽 MIS 栅结构的 AlGaIn/GaN HEMT 如图 3(a) 所示. 如图 3(b) 所示, 具有凹槽栅的常关型 AlGaIn/GaN HEMT 实现了正向 V_{TH} ^[11]. 目前主要的刻蚀技术包括物理刻蚀与化学刻蚀. 电感耦合等离子体刻蚀作为一种广泛应用于凹槽栅结构制造的物理刻蚀技术, 因其优异的可控性与材料选择性而备受青睐^[12], 然而易引入显著损伤. 化学刻蚀虽能大幅减少损伤, 但其缓慢的刻蚀速率与有限的可控性使其不适用于大规模生产^[13], 因此通常将两种方法结合使用.

2.1.3 氟离子注入技术

通过在栅极下方的 AlGaIn 层中注入氟基等离子体有效抬升 AlGaIn 的导带, 从而消除栅下区域 AlGaIn/GaN 界面的 2DEG, 实现常关型, 对应的器件结构及能带图如图 4 所示. 该技术由香港科技大学 Cai 等^[14]于 2005 年首次提出, 研制出了阈值电压为 0.9 V 的肖特基栅 AlGaIn/GaN HEMT^[15]. 2010 年, 氟离子注入技术得到进一步优化, 使得阈值电压提升至 1.8 V^[16]. 中国科学院苏州纳米技术与纳米仿生研究所 Zhang 等^[17]于 2015 年采用氟离子注入结合 MIS 栅结构, 将阈值电压提升至 3.3 V. 氟离子注入技术的优势在于工艺简单, 但其缺点在于氟离子注入过程对势垒层造成损伤, 且氟离子在高温和电应力条件下稳定性较差, 导致阈值电压漂移, 进而影响器件可靠性.

2.1.4 p-GaN 栅技术

通过在栅极与 AlGaIn 层之间插入 p 型 GaN 层可实现常关型, 其结构如图 5 所示^[18]. p 型 GaN 层中的电离受主能抬升栅下 AlGaIn 层及 AlGaIn/GaN

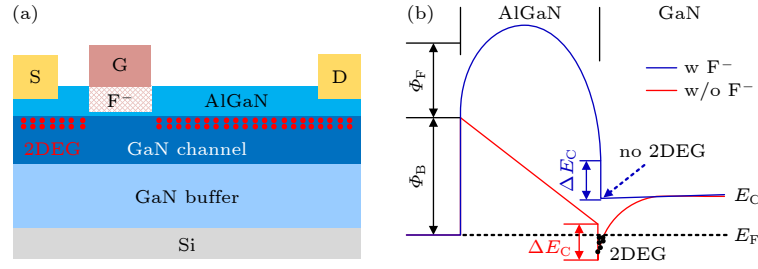


图 4 栅下氟离子注入的 AlGaIn/GaN HEMT (a) 器件结构; (b) 氟离子注入前后的能带图对比

Fig. 4. AlGaIn/GaN HEMT with F⁻ ion implantation: (a) Device structure; (b) variation of energy band with and without F⁻ ion implantation.

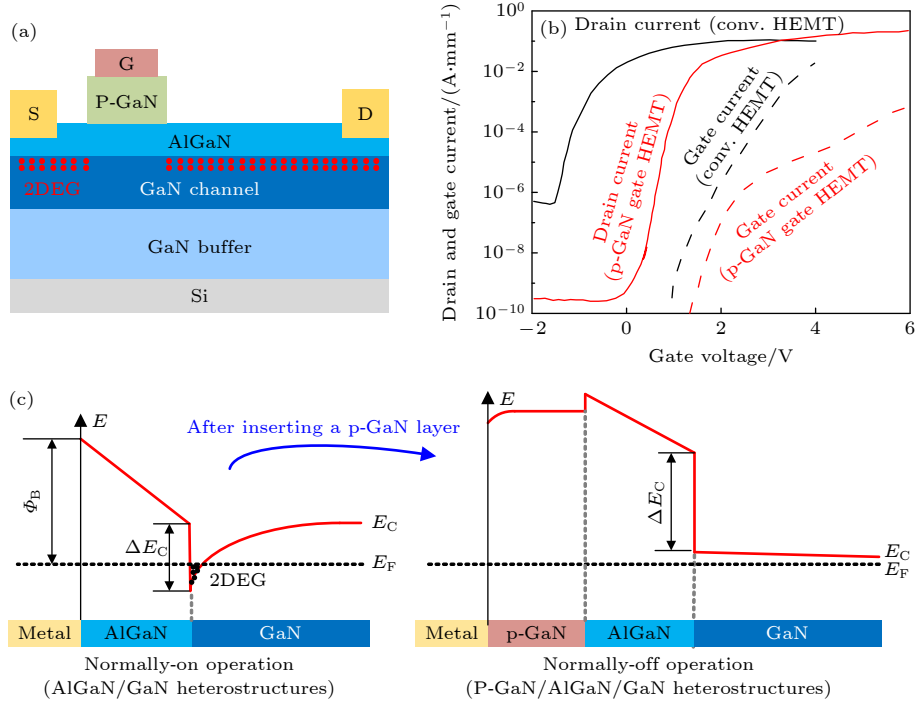

 图 5 p-GaN 栅 AlGaIn/GaN HEMT (a) 器件结构; (b) 转移特性曲线对比^[18]; (c) 加入 p 型 GaN 层前后器件的能带图对比^[19]

Fig. 5. p-GaN gate AlGaIn/GaN HEMT: (a) Device structure; (b) comparison of the transfer characteristics^[18]; (c) energy band diagram through gate stack with and without p-GaN layer^[19].

界面处的导带, 从而耗尽栅下区域的 2DEG^[19], 如图 5(c) 所示. 该技术满足常关型器件的要求, 并因工艺相对简单、界面损伤小及性能稳定等优势, 在商业市场中占据主导地位.

松下公司开发的 p-GaN 栅 HEMT 已实现 1.0 V 的阈值电压^[18], 展现出高饱和输出电流和低栅泄漏电流等优点. 然而, GaN 中 p 型掺杂的激活率相对较低, 导致 p-GaN 栅 HEMT 的阈值电压通常处于 0—2 V 的较低范围^[20]. 同时, 传统 p-GaN 栅 HEMT 的栅极击穿电压受限于栅金属与 p-GaN 层之间形成的反向偏置肖特基结, p-GaN 栅 HEMT 的最大适用栅压通常被限制在 6 V 以内^[21].

综上所述, 实现常关型的不同技术路线均需面

临综合器件性能优化与工艺复杂度的权衡, 并在发展中缓解常关型实现所带来的导通电阻增大问题. 凹槽栅 MIS 技术克服了超薄势垒层技术电流能力低的问题, p-GaN 栅技术凭借其出色的综合性能已成为商业化应用的首选, 各种常关型实现技术对比如表 1 所列.

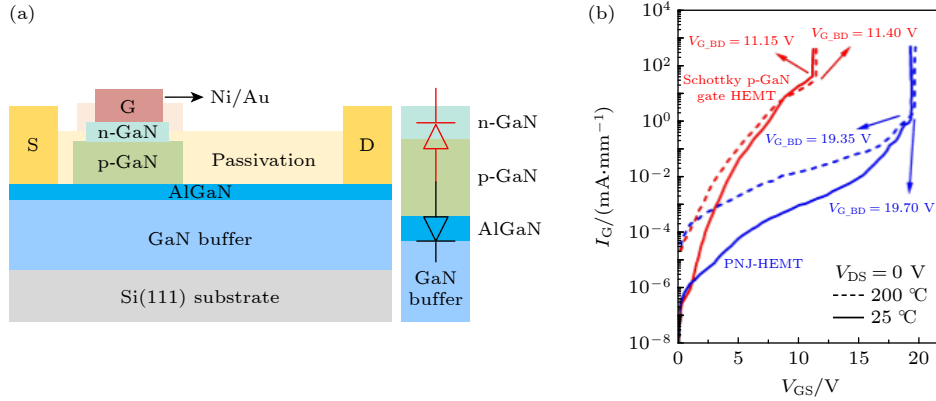
2.2 栅极耐压提升技术

在众多常关型实现技术中, p-GaN 栅已成为商业化的主流技术. 为进一步改善 p-GaN 栅 HEMT 的栅极击穿电压偏低、栅极鲁棒性差的问题, 推动其大规模使用, 研究者提出了多种不同的 p-GaN 栅堆叠结构.

表 1 不同常关型实现技术对比

Table 1. Comparison of normally-off technologies.

技术路线	主要优势	阈值范围/V	主要局限
超薄势垒层技术	无需刻蚀, 阈值均匀	0—1 ^[9,10]	电流能力减弱
凹槽栅MIS技术	高阈值, 可控性强	1—3.3 ^[17]	刻蚀损伤影响可靠性
氟离子注入技术	工艺简单	0.9—1.8 ^[15,16]	注入损伤影响可靠性
p-GaN栅技术	工艺简单, 可靠性高	1—2 ^[20]	综合性能较优

图 6 附加反向 PN 结的 PNJ-HEMT (a) 器件结构及栅极叠层等效电路; (b) PNJ-HEMT 与肖特基 p-GaN 栅 HEMT 的栅极击穿特性曲线对比^[22]Fig. 6. PNJ-HEMT: (a) Device structure and the equivalent circuit of the gate stack; (b) gate breakdown characteristics of PNJ-HEMT and Schottky p-GaN gate HEMT^[22].

2.2.1 附加反向 PN 结结构

通过在栅堆叠中引入反向 PN 结, 可有效提升栅极击穿电压. 2020 年, 一种具有 n 型 GaN/p 型 GaN/AlGaIn/GaN 栅堆叠结构的 p-GaN 栅 HEMT (GaN-based p-n junction gate HEMT, PNJ-HEMT) 被提出^[22], 其结构如图 6(a) 所示. 当施加正栅压时, PN 结处于反偏状态, 可显著降低栅极泄漏电流, 并使栅极击穿电压从传统肖特基型 p-GaN 栅 HEMT 的 11.15 V 提升至 19.35 V, 如图 6(b) 所示. 传统肖特基型 p-GaN 栅由于正向栅压引起的电场峰值位于肖特基结界面处, 其栅极泄漏电流易受表面态的影响. PNJ-HEMT 在正向栅压偏置下的电场峰值转移至 PN 结内部, 栅极泄漏电流对表面态的敏感性降低. 在 25—200 °C 温度范围内, PNJ-HEMT 展现出良好的热稳定性, 阈值电压保持在 1.78 V 左右, 具有更好的栅极鲁棒性.

2.2.2 附加高阻层结构

通过在肖特基栅金属与 p 型 GaN 层界面处引入高阻层, 亦可提升栅极击穿电压, 其结构如图 7(a) 所示^[23], 通过氧等离子体处理与高温退火工艺, 将 p 型 GaN 上表面转化为 GaON 作为表面

高阻层 (surface reinforcement layer, SRL). GaON 具有更宽的禁带宽度 (约 4.1 eV), 可显著提高栅极的击穿电压, 如图 7(b) 所示. 图 7(c), (d) 展示了栅极寿命预测的结果: 在目标寿命为 10 年、栅极失效率控制在 1% 的条件下, 带有 SRL 的器件的最大适用栅驱动电压可从 5.9 V 提升至 7.8 V.

2.2.3 AlGaIn/GaN 栅堆叠结构

在 p 型 GaN 层上方插入 AlGaIn 层是提升栅极击穿电压的另一方法, 形成的栅堆叠结构如图 8(a) 所示, 当施加正向栅压时, 插入的 AlGaIn 层可抑制热载流子注入, 从而增强栅极鲁棒性^[24]. 栅极寿命预测的结果表明, 在目标寿命为 10 年、栅极失效率控制在 63.2% 的条件下, 所提出的器件实现了 10.8 V 的最大适用栅驱动电压, 如图 8(b) 所示, 而传统器件在该条件下预测的最大适用栅驱动电压仅 6.7 V (如图 7(d) 所示).

2.2.4 混合栅结构

在传统 p-GaN 栅 HEMT 中, 栅金属与 p 型 GaN 层的接触通常分为肖特基型接触和欧姆型接触两种, 如图 9(a) 所示. 肖特基接触利用反偏肖特基势垒可显著抑制栅极泄漏电流, 但栅极金属与

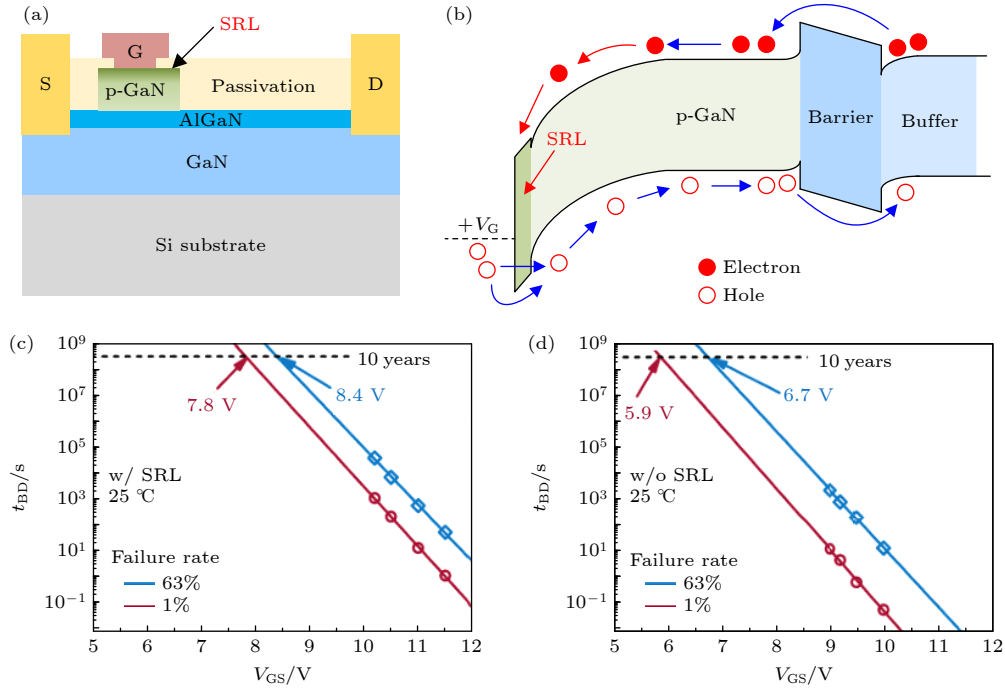


图 7 附加表面高阻层(SRL)的 p-GaN 栅 HEMT^[23] (a) 器件结构; (b) 垂直于栅极叠层方向上的能带图; 25 °C 时 (c) SRL HEMT 和 (d) 传统肖特基 p-GaN 栅 HEMT 的栅极寿命预测结果

Fig. 7. p-GaN gate HEMT with SRL^[23]: (a) Device structure; (b) vertical energy band diagram through the gate stack; lifetime prediction of p-GaN gate HEMTs (c) with SRL and (d) without SRL at 25 °C.

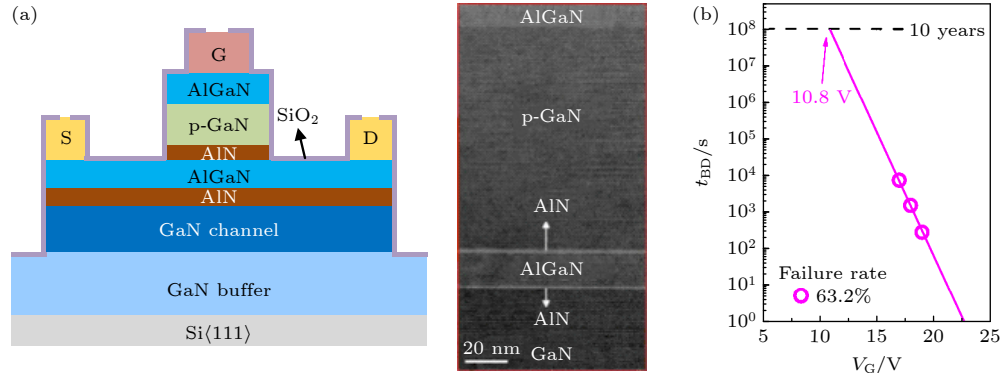


图 8 AlGaIn/p-GaN 栅堆叠的 HEMT^[24] (a) 器件结构; (b) 器件栅极寿命预测结果

Fig. 8. AlGaIn/p-GaN/AlGaIn/GaN HEMT^[24]: (a) Device structure; (b) lifetime prediction with failure rate of 63.2% of the proposed GaN HEMT.

p-GaN/AlGaIn/GaN 异质结共同构成了背靠背的二极管 D1 和 D2. 这种结构导致 p 型 GaN 层呈现浮空状态, 在长时间的栅极或漏极高电压应力下, 积累在 p 型 GaN 层内的电荷难以快速释放, 引发阈值电压漂移和动态导通电阻退化. 欧姆接触可有效释放 p 型 GaN 层中存储的电荷, 具有更好的阈值电压稳定性, 但栅极泄漏电流更大. 而且为了避免二极管 D3 的开启, 正向栅压不得高于 PN 结开启电压, 这限制了栅压摆幅并增加了驱动电路设计的复杂性. 为了克服肖特基 p-GaN 栅和欧姆 p-GaN

栅各自的缺陷, 研究人员提出了将两者结合的混合栅结构, 如图 9(c), (d) 所示, 通过在肖特基栅内部嵌入局部欧姆接触作为 p 型 GaN 层内存储电荷的泄放通道, 可维持较低栅极泄漏电流, 并抑制高压应力下的阈值电压漂移^[25,26].

综上所述, 针对传统 p-GaN 栅 HEMT 面临的栅极击穿电压偏低及栅极鲁棒性差等问题, 当前的栅极工程通过不同的物理机制提供了有效的优化路径. 表 2 总结并对比了上述不同 p-GaN 栅堆叠技术的实现方式与核心优势.

表 2 p-GaN 栅耐压提升技术对比
Table 2. Comparison of BV enhancement techniques for p-GaN Gate.

技术路线	栅堆叠方式(栅结构)	栅极性能
附加反向PN结	栅金属/n-GaN/p-GaN	有结势垒, 栅耐压高
AlGaIn/GaN栅堆叠	栅金属/AlGaIn/p-GaN	有结势垒, 栅耐压高
附加高阻层	栅金属/GaN/p-GaN	无结势垒, 栅耐压较高
混合栅	肖特基栅嵌入局部欧姆栅	低栅泄漏电流和 V_{TH} 稳定

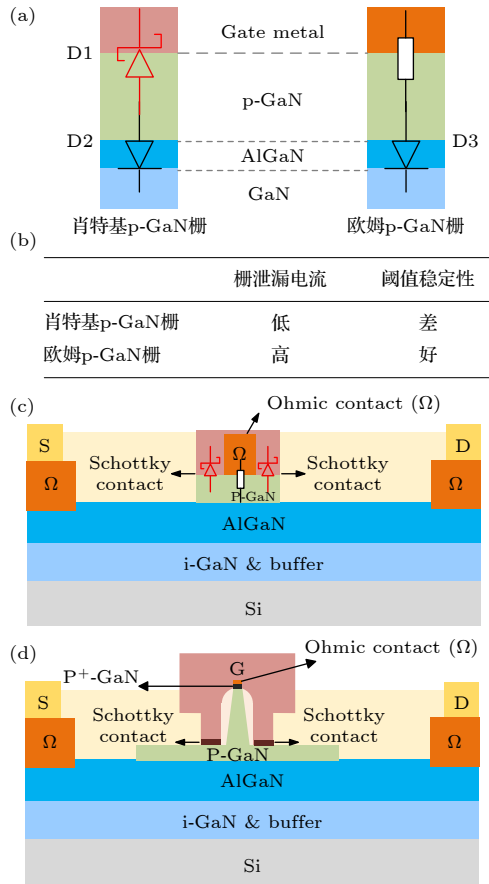


图 9 混合栅结构 p-GaN HEMT (a) 肖特基 p-GaN 栅叠层和欧姆 p-GaN 栅叠层等效电路示意图; (b) 两种栅结构的特点对比; (c) 平面型混合栅结构^[26]; (d) 台面型混合栅结构^[25]

Fig. 9. Hybrid gate p-GaN HEMT: (a) Equivalent circuits of the Schottky and Ohmic p-GaN gate stacks; (b) comparison of the characteristics of the two gate structures; (c) planar hybrid-gate structure^[26]; (d) mesa-type hybrid-gate structure^[25].

3 击穿电压提升技术

尽管 GaN 具有极高的临界击穿电场 (约 3.3 MV/cm), 但受限于非理想的电场分布及由缺陷引起的泄漏电流等因素, GaN 功率器件的实际 BV 远低于其理论值. 理论 BV 与实验值之间的差异可通过巴利加优值 (Baliga figure of merit, BFOM) 量化^[27]:

$$BFOM_{\text{实测}} = BV^2 / R_{\text{ON,sp}}, \quad (1)$$

$$BFOM_{\text{理论}} = k\varepsilon\mu_n E_c^3. \quad (2)$$

对于当前先进的 GaN 器件, 所实现的 BFOM (将实际测量值代入 (1) 式求得) 仍低于材料理论值 (将材料参数代入 (2) 式求得) 的 30%^[28].

本节概述用以提升 GaN 功率 HEMT 击穿电压的相关技术, 通常涉及两种技术途径: 1) 优化电场分布以实现均匀场强, 缓解电场集中引起的提前击穿; 2) 抑制由缺陷、界面态等引起的泄漏电流.

3.1 场板与沟槽终端技术

场板与沟槽终端是降低峰值电场、扩展耗尽区宽度从而提升击穿电压的常用技术. 场板技术包括单层场板和多层场板技术, 用以缓解耐压状态下栅极边缘处的峰值电场, 多层场板较单层场板能够实现更均匀的电场分布. 图 10(a) 展示了具有双层场板的 AlGaIn/GaN HEMT. 该器件在不同工艺制备阶段测得的击穿电压如图 10(b) 所示, 单层场板制备完成后器件的击穿电压在 600—700 V 之间, 双层场板制备完成后的击穿电压则高达 900 V^[29]. 2012 年, 一种采用新型空气桥场板 (air-bridge field plate, AFP) 的 AlGaIn/GaN HEMT 被提出^[30], 如图 10(c), (d) 所示, 空气桥场板因空气低介电系数而最小化寄生栅源电容, 且实验结果表明, 相比传统场板器件, 采用空气桥场板的器件关态击穿电压提升至 3 倍 (达 375 V), 同时空气间隙的存在避免了金属场板和器件表面直接接触, 缓解了低电位金属场板对 2DEG 的耗尽作用, 因此, AFP 器件相比传统 FP 器件具有更低的导通电阻.

在沟槽终端技术方面, 主要通过刻蚀部分漂移区势垒层以调制电荷浓度, 从而有效降低栅极边缘处的高电场峰值, 避免提前击穿. 与此同时, 在沟槽终端边缘会形成场强大小适中的新电场峰值, 提高了漂移区表面的平均电场强度, 进而实现了更高的击穿电压.

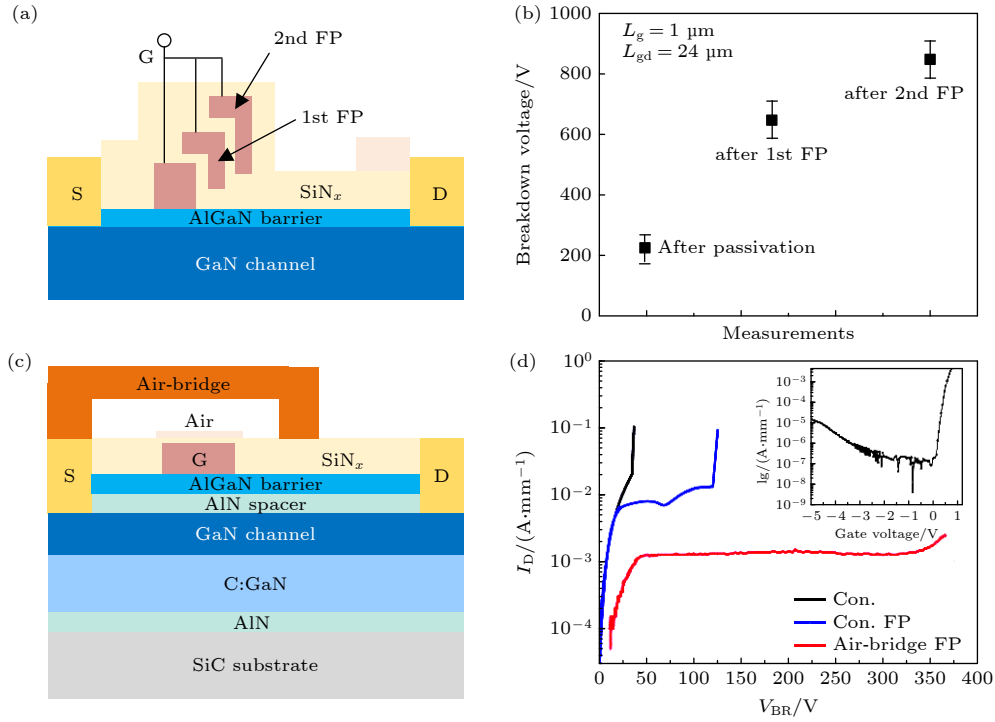


图 10 场板技术 (a) 带有双场板的器件结构; (b) 钝化工艺、第 1 层场板 (1st FP)、第 2 层场板 (2nd FP) 对器件 BV 的影响^[29]; (c) 具有空气桥场板 (AFP) 的 HEMT 器件结构; (d) 击穿特性曲线^[30]

Fig. 10. AlGaIn/GaN HEMTs with various field plate technologies: (a) Schematic cross-section of the device with dual field plates; (b) BV variation trends of the dual-field-plate device at different process stages^[29]; (c) schematic cross-section of the HEMT with AFP; (d) off-state characteristics^[30].

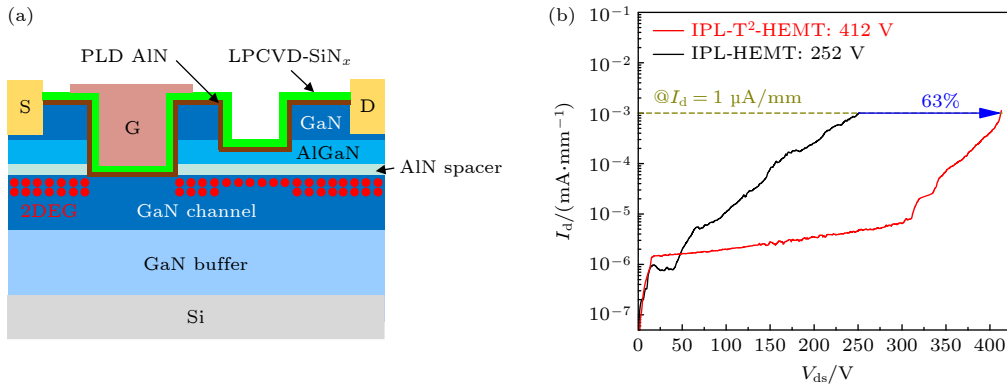


图 11 具有沟槽终端 (T^2) 和 AlN 界面保护层的 MIS-HEMT (a) 器件结构; (b) 测试的击穿特性曲线^[31]

Fig. 11. MIS-HEMT with trench termination (T^2) and AlN IPL structure: (a) Device structure; (b) measured off-state breakdown characteristics^[31].

2018 年, Yang 等^[31]提出了一种采用脉冲激光沉积 AlN 界面保护层与沟槽终端结合的 GaN 晶体管, 如图 11(a) 所示. 该界面保护层有效降低了界面态密度, 不仅改善器件稳定性, 而且抑制了泄漏电流引起的提前击穿, 沟槽终端结构扩展了耗尽区并改善了电场均匀性, 使击穿电压提升了 63%, 如图 11(b) 所示.

Wu 等^[32]于 2022 年提出在栅极右侧漂移区及近漏区选择性刻蚀部分 AlGaIn, 形成凹槽, 并在

其上覆盖栅场板与漏场板, 形成如图 12(a) 所示的结构. 该结构有效降低了电场峰值, 减少了载流子与晶格间的能量交换, 从而抑制了自热效应. 相较于传统器件, 其击穿电压从 747 V 提升至 804 V, 如图 12(b) 所示.

3.2 氟离子注入技术

在漂移区引入氟离子可降低该区域的 2DEG 密度, 进而改变耐压状态下的表面电场分布. 2007 年,

Song 等^[33]提出了一种在栅极附近的 AlGaIn 层中注入氟离子的轻掺杂漏极 HEMT(low-density drain HEMT, LDD-HEMT), 其结构如图 13(a) 所示. 在不改变器件物理尺寸的前提下, 击穿电压提升 50%, 如图 13(b) 所示, 动态导通电阻退化也得到改善.

不同于早期在 AlGaIn 层中进行氟离子注入的方案, Yang 等^[34]将氟离子注入栅漏间的厚 SiN_x 钝化层中, 如图 14(a) 所示. 该方案使氟离子的空间分布远离 2DEG 沟道, 有效抑制了注入引入的

损伤和氟离子对 2DEG 浓度和迁移率的影响, 缓解了导通电阻退化. 在相同尺寸参数下, 采用该技术制备的 HEMT 击穿电压从传统 AlGaIn/GaN HEMT 的 680 V 提升至 803 V, 如图 14(b) 所示. 在 100 V 漏极静态偏压下, 动态导通电阻仅增加 23%, 而在 AlGaIn 势垒层中进行氟离子注入的 HEMT 则增加了 98%.

优化氟离子注入区域的版图布局可进一步提升击穿电压. 如图 15(a) 所示, 氟离子注入窗口的

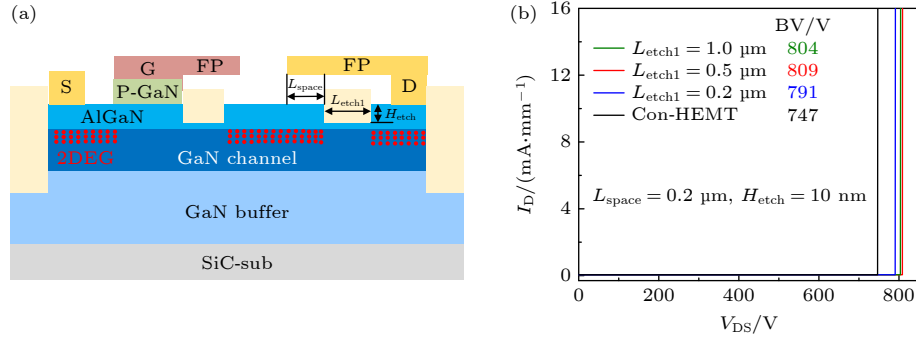


图 12 部分刻蚀 AlGaIn 势垒层的 p-GaN HEMT (a) 器件结构; (b) 不同刻蚀区长度 (L_{etch1}) 对器件击穿特性的影响^[32]

Fig. 12. p-GaN HEMT with the partial etched AlGaIn layer: (a) Device structure; (b) breakdown characteristics of Con-HEMTs and etched HEMTs with various L_{etch1} ^[32].

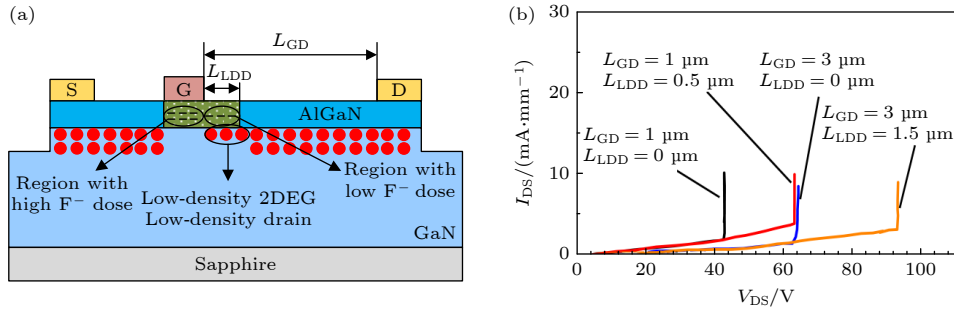


图 13 氟离子注入技术 (a) 器件结构; (b) 氟离子注入窗口尺寸 (L_{LDD}) 对器件击穿特性的影响^[33]

Fig. 13. LDD-HEMT: (a) Device structure; (b) off-state BV with and without the LDD region^[33].

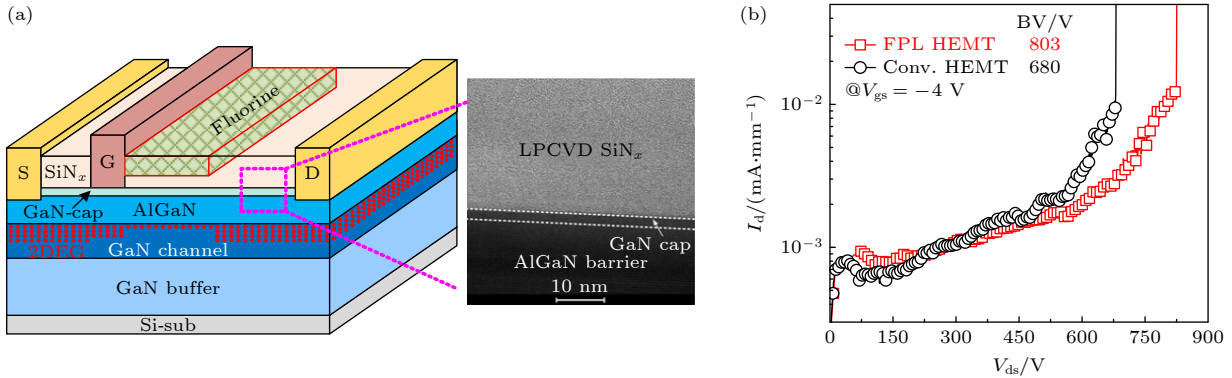
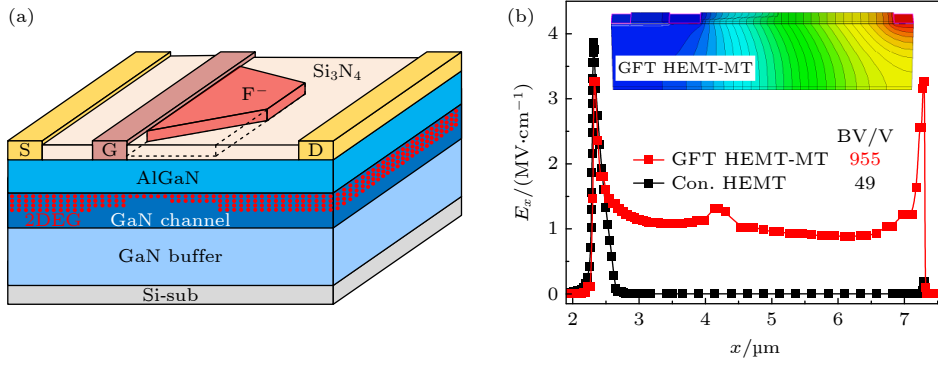
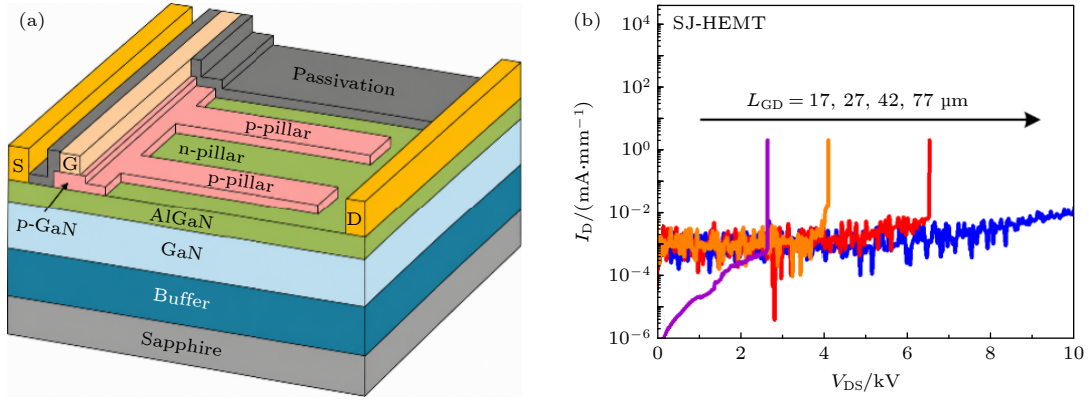


图 14 氟离子注入钝化层的 AlGaIn/GaN HEMT (a) 器件结构 (插图为 LPCVD SiN_x 的 HR-TEM 显微图); (b) 器件击穿特性曲线^[34]

Fig. 14. FPL HEMT: (a) Device structure (inset shows HR-TEM micrograph of LPCVD SiN_x); (b) measured off-state breakdown characteristics^[34].

图 15 氟离子图形化注入技术 (a) 器件结构; (b) 击穿时的横向电场分布图^[35]Fig. 15. GFT HEMT: (a) Device structure; (b) lateral E-field distributions at breakdown^[35].图 16 横向超结技术 (a) 器件结构; (b) 不同漂移区长度 (L_{gd}) 对器件击穿特性的影响^[36]Fig. 16. Lateral superjunction AlGaIn/GaN HEMT: (a) Device structure; (b) breakdown voltage curves of devices with different L_{gd} ^[36].

宽度自栅极侧向漏极侧呈现渐变式收窄^[35]. 该设计有助于形成更为均匀的电场分布, 进而使击穿电压提升至 955 V, 如图 15(b) 所示.

3.3 横向超结技术

2024 年, Yang 等^[36] 提出了一种横向超结技术, 在 AlGaIn 势垒层表面周期性排列薄层 p-GaN (p 柱), 如图 16(a) 所示, 在关态下, 薄层 p-GaN 与 2DEG 可相互耗尽, 优化了漂移区的电场分布, 并提高了漂移区的平均电场强度. 实验结果表明, 在 L_{gd} 为 77 μm 的条件下击穿电压超 10 kV, 如图 16(b) 所示, 这表明横向超结技术为万伏级超高压 GaN 功率器件设计提供了一种可行方案.

3.4 极化超结技术

极化超结技术采用 AlGaIn/GaN/AlGaIn 双异质结结构, 通过改变极化方向在两个极化界面分别诱导产生高浓度的 2DEG 与二维空穴气 (2-dimensional hole gas, 2DHG). 在关态下, 这些电荷在电

场作用下被耗尽, 留下正负极化电荷, 其作用机制类似于传统超结器件中的 pn 柱电荷平衡, 通过极化结辅助耗尽漂移区来大幅度提升器件的击穿电压. 已有许多相关研究指出极化超结技术是一种实现高压高功率 GaN 功率器件的可行方法^[37–40]. 2011 年, 基于极化结概念的 GaN 超异质结场效应晶体管 (polarization-superjunction HEMT, PSJ-HEMT) 首次被实验验证, 其结构如图 17(a) 所示, 实现了超过 1.1 kV 的击穿电压, 如图 17(b) 所示^[39].

2022 年, Sun 等^[40] 基于极化超结概念, 在 GaN/AlGaIn/GaN 外延层上制备了逆导型极化超结 HEMT (reverse-conducting polarization-superjunction HEMT, RC-PSJ-HEMT). 该结构集成了反向导通肖特基二极管, 以实现桥式电路应用中的反向续流功能, 结构如图 18(a), (b) 所示. 实验结果表明, 在 L_{gd} 为 7.5 μm 的条件下, RC-PSJ-HEMT 的击穿电压从传统 HEMT 的 202 V 提升至 723 V, 如图 18(c) 所示. 由于集成了肖特基二极管, 器件在极低电压 (约 0.68 V) 下就可实现反向导通, 且不同

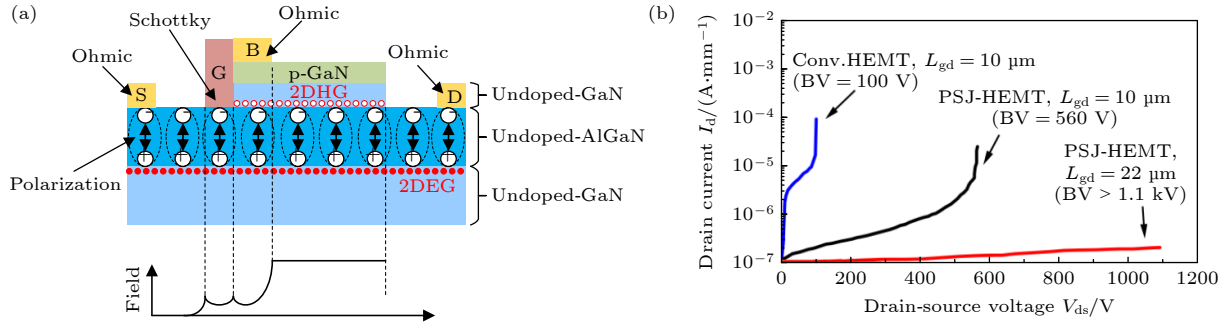


图 17 极化超结技术 (a) 器件结构及关态电场分布图; (b) 传统 HEMT 与极化超结 HEMT 的击穿特性对比^[39]

Fig. 17. PSJ-HEMT: (a) Device structure and its E-field distribution during OFF-state. (b) measured off-state breakdown characteristics of Conv. HEMT and PSJ-HEMT^[39].

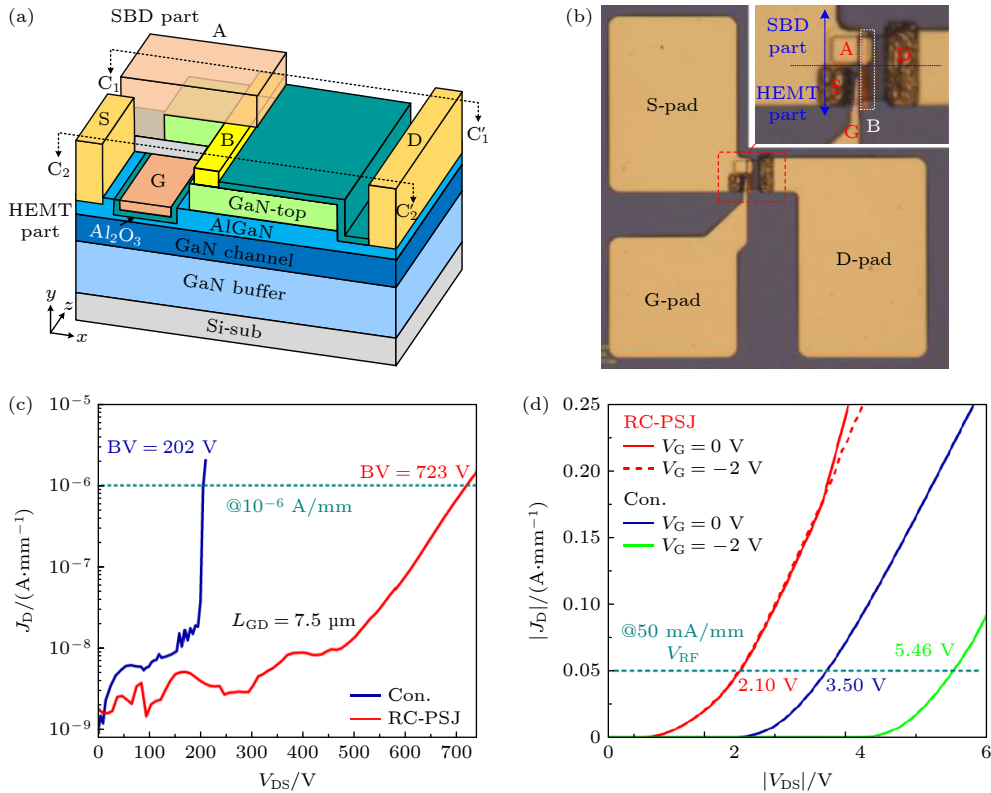


图 18 逆导型极化超结 HEMT(RC-PSJ-HEMT)^[40] (a) 器件结构; (b) 器件显微照片; (c) 击穿特性; (d) 反向导通特性

Fig. 18. RC-PSJ-HEMT^[40]: (a) Device structure; (b) microscope picture of a fabricated RC-PSJ-HEMT; (c) measured blocking characteristics; (d) measured reverse conduction characteristics.

于传统 HEMT 续流, 集成 SBD 的开启电压与栅极电压无关, 如图 18(d) 所示, 大幅降低了续流阶段的死区损耗。

综上所述, GaN 器件击穿电压的提升并非单一性能的孤立优化, 还需和其他性能如比导通电阻和可靠性等进行折中考虑, 这也是高性能功率器件设计的核心。氟离子注入技术的注入位置经历了从 AlGaAs 势垒层到钝化层的迭代, 注入区域的版图布局也进行了相应优化, 最终将导通能力的损失

降至最低并获得了优异动态稳定性; 横向超结与极化超结技术则更进一步, 利用电荷补偿机制优化了漂移区的电场分布, 从物理机制上打破传统的性能极限, 实现耐压与比导通电阻的协同优化。本部分涉及的击穿电压提升技术总结对比如表 3。

4 动态导通电阻优化技术

动态导通电阻退化是目前 GaN 功率器件普遍存在的问题。在高压关态下, 表面陷阱及 GaN 缓

表 3 击穿电压提升技术对比
Table 3. Comparison of breakdown voltage enhancement techniques.

技术路线	核心机制	主要局限
金属场板	优化电场分布	寄生电容变大
空气桥场板	低介电常数场板降低寄生电容	泄漏电流较大 ^[30]
沟槽终端+保护层	调控极化强度以优化电场分布, 降低界面态	不利于 R_{ON} 降低且工艺复杂 ^[31]
氟离子注入	引入负电荷调制电场	注入损伤影响可靠性
极化超结	正负极化电荷优化电场	跨导下降 ^[39]
横向超结	p-GaN辅助耗尽2DEG以优化电场	对工艺敏感

冲层中的体陷阱会俘获 2DEG 中的电子, 当器件再次开启时, 这些电子无法被及时释放, 导致 2DEG 浓度降低, 导通电阻增大, 严重制约 GaN 电力电子系统的效率提升.

4.1 动态电阻退化机理

GaN HEMT 中的电流崩塌现象最初在射频应用中被观察到, 其在功率器件应用中又被称为动态导通电阻退化, 表现为在施加关态漏极偏压应力后, 饱和电流密度降低, 导通电阻显著增大, 如图 19(a) 所示. 动态导通电阻退化会导致实际导通损耗与静态测试值之间出现显著偏差, 进而造成损耗模型失准. 更为关键的是, 增加的导通电阻会触发一个正反馈循环: 焦耳热不断积累, 使器件温度上升, 导致电子迁移率下降, 延长被俘获电子的释放时间, 从而进一步加剧导通电阻的退化. 这一循环最终会因热失控而导致器件发生永久性失效^[41,42].

GaN HEMT 的动态导通电阻退化并非单一因素所致, 而是多种物理机制在器件开关过程中共同作用的结果, 如图 19(b) 所示, 其机制主要可归纳为以下 3 类.

1) 表面陷阱诱导的电子俘获. 在高功率、硬开关工况下, AlGaIn/GaN HEMT 沟道层中产生的热电子可穿透势垒层并被表面陷阱俘获^[43], 形成固定的负电荷从而诱发“虚栅效应”, 这会降低 2DEG 浓度, 进而增大导通电阻.

2) 缓冲层陷阱诱导的电子俘获. 当 AlGaIn/GaN HEMT 工作于高漏压的正向阻断状态时, 电子也会从衬底注入并在高电场的作用下被缓冲层中的深能级陷阱俘获^[44], 这同样会诱发“虚栅效应”, 最终导致导通电阻退化.

3) 阈值电压的正向漂移. 对于采用肖特基 p-GaN 栅的 HEMT, 其 V_{TH} 在开关过程中会因“电荷存储效应”发生动态漂移. 当器件承受高压关态应力 (V_{DSQ}) 时, 栅-漏电容 (C_{GD}) 被充电, p 型 GaN 层中会留下净负电荷, 如图 20(a) 所示. 随后漏压降至开态导通电压 (V_{DSM}) 时, C_{GD} 应放电, 但此时栅极的反偏肖特基结阻碍了 p 型 GaN 层中多余负电荷的释放, 导致这部分电荷被“存储”在 p 型 GaN 层中, 如图 20(b) 所示. 为了开启沟道, 栅极需额外电压来中和这些电荷, 宏观上表现为 V_{TH} 升高 (正向漂移). 这样的阈值电压动态正向漂移会

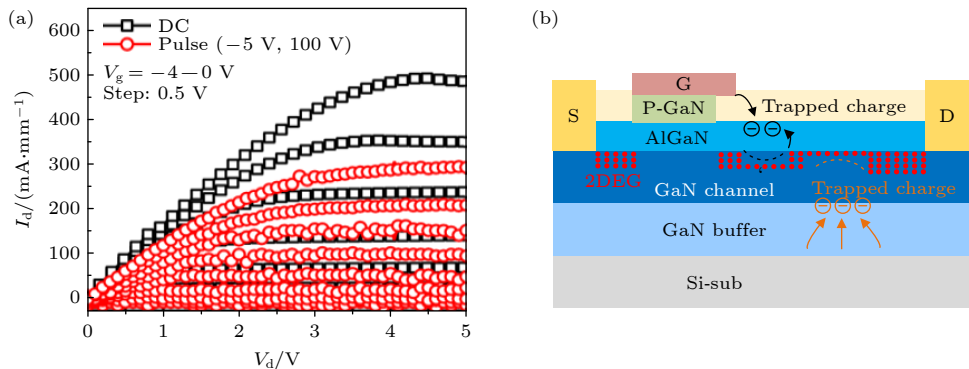


图 19 AlGaIn/GaN HEMT 的动态导通电阻退化效应及其物理机制研究 (a) 脉冲开关状态和直流静态下的输出特性对比; (b) 与陷阱相关的动态导通电阻退化物理机制

Fig. 19. Dynamic on-resistance degradation in AlGaIn/GaN HEMTs and its underlying physical mechanisms: (a) Comparison of the output characteristics measured under pulsed switching and DC steady-state conditions; (b) schematic of trap-induced physical mechanisms for dynamic R_{ON} degradation.

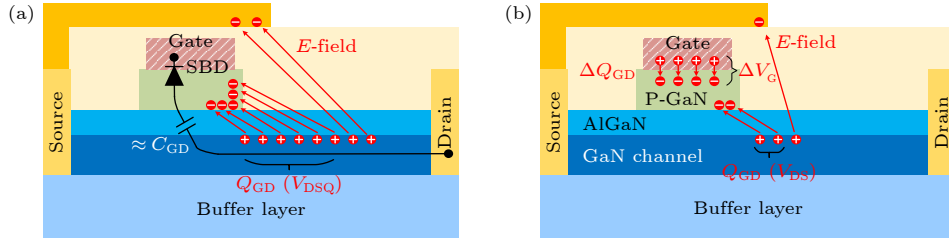


图 20 “电荷存储效应”导致阈值电压漂移的作用机理 (a) 器件在高漏极电压应力下的电荷分布示意图; (b) 应力结束后漏压降至开态导通电压的电荷分布示意图

Fig. 20. Physical mechanism of V_{TH} shift due to the “charge storage effect”: (a) Device under high drain voltage stress; (b) drain voltage drops to the on-state value after stress.

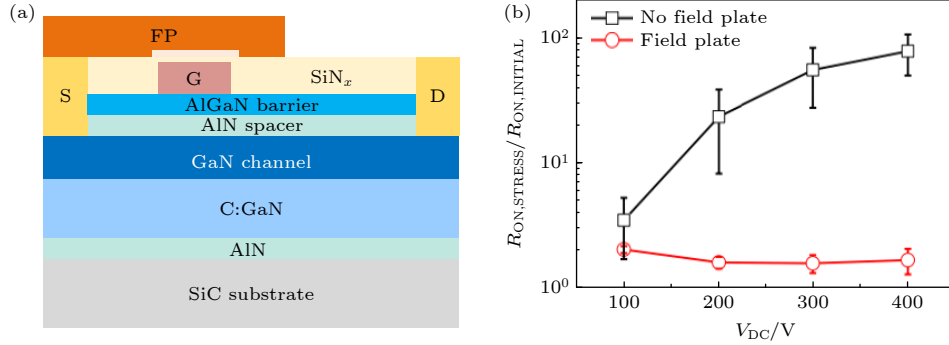


图 21 带有场板的 AlGaIn/GaN HEMT (a) 器件结构; (b) 有/无场板器件的动态导通电阻对比^[48]

Fig. 21. AlGaIn/GaN HEMTs with FP: (a) Device structure; (b) comparison of dynamic R_{ON} degradation ratios with/without field plate (FP) structures^[48].

通过调制沟道导电能力, 直接导致开关瞬态后的动态电阻退化^[45–47]. 在固定栅极驱动电压 (V_{GS}) 下, V_{TH} 升高意味着过驱动电压 ($V_{GS} - V_{TH}$) 的降低. 由于线性区漏极电流 $I_D \propto (V_{GS} - V_{TH})$, 所以在相同 V_{DS} 下, 导通电流 I_D 因 ($V_{GS} - V_{TH}$) 的减小而下降, 即表现为动态导通电阻的增大.

4.2 动态电阻优化技术

4.2.1 场板优化

场板抑制动态电阻退化的机理是降低器件表面电场强度, 进而抑制表面电荷俘获效应. 相关实验证实, 施加 400 V 关态应力后, 无场板器件的动态导通电阻增至初始值的 78 倍, 而采用场板的器件仅增大了 1.8 倍, 如图 21(b) 所示. 进一步分析表明, 重复开关操作中的高功率瞬态加剧了热电子向 AlGaIn 层或界面陷阱的注入, 场板通过削减峰值电场, 有效抑制了热电子向势垒层的注入, 从而显著缓解了动态导通电阻退化^[48].

4.2.2 表面钝化

Shi 等^[11] 提出了一种具有高温生长的 LPCVD-

SiN_x 钝化层的常关型 MIS-HEMT, 其结构如图 22(a) 所示, 器件表面通过高质量的钝化层降低了界面态密度, 抑制了表面电荷俘获行为, 从而提高了器件的动态性能与可靠性. 该技术在短栅漏间距器件中有效降低了动态导通电阻退化幅度 (低于 10%), 测试结果如图 22(b) 所示. 文献 [46,49] 证明了基于氢离子钝化技术的 AlGaIn/GaN HEMT 也能够抑制动态导通电阻退化, 其结构及测试结果如图 23 所示, 该器件在完整保留 p-GaN 栅结构的同时, 氢离子仅钝化有源区上方的 p-GaN 层. 其改善机理在于氢离子钝化技术相比传统干法刻蚀工艺, 具有更小的有源区界面注入损伤, 进而降低了表面陷阱密度. Wu 等^[50] 提出了基于新型有源钝化技术的 p-GaN 栅 HEMT (actively-passivated p-GaN gate HEMT, AP-HEMT), 其结构及测试结果如图 24 所示. 器件的大部分漂移区覆盖了一层与 p-GaN 栅相连的薄层, 当器件关断时, 薄 p 型 GaN 层能够屏蔽从栅极向器件内部的热电子注入, 防止了在高压关态下由表面陷阱引起的电荷俘获, 显著抑制了器件的动态导通电阻退化.

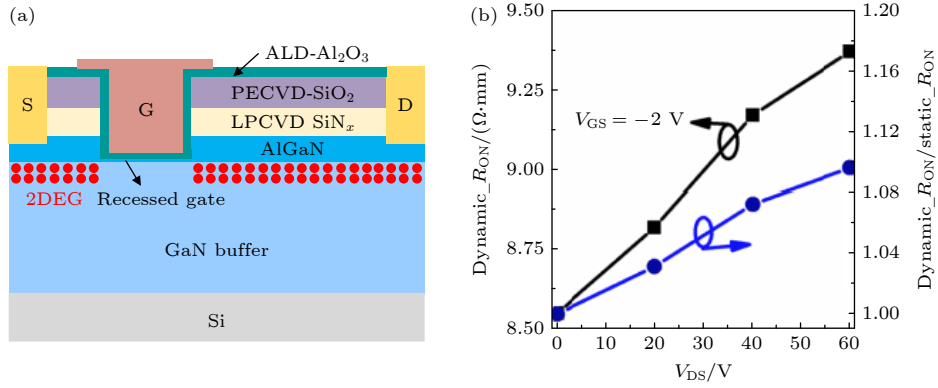

 图 22 LPCVD-Si_x 钝化技术 (a) 器件结构; (b) 动态导通电阻测试结果^[11]

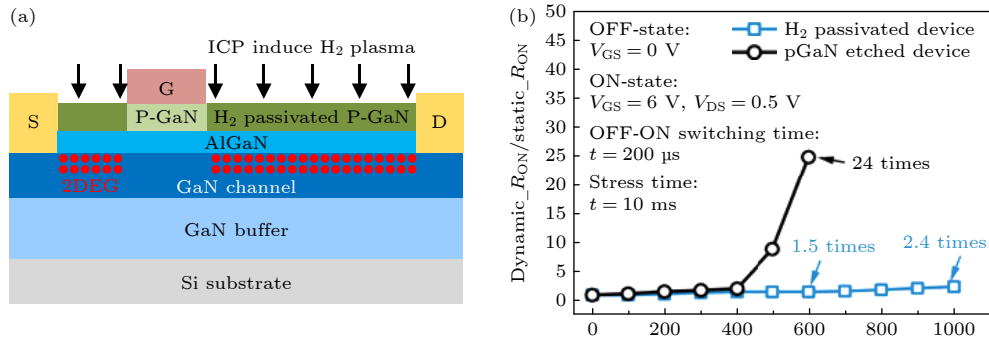
 Fig. 22. E-mode GaN-based MIS-HEMTs with LPCVD-Si_x passivation: (a) Schematic cross-section; (b) dynamic R_{ON} test results^[11].

 图 23 氢离子钝化技术 (a) 器件结构; (b) 动态导通电阻测试结果^[46,49]

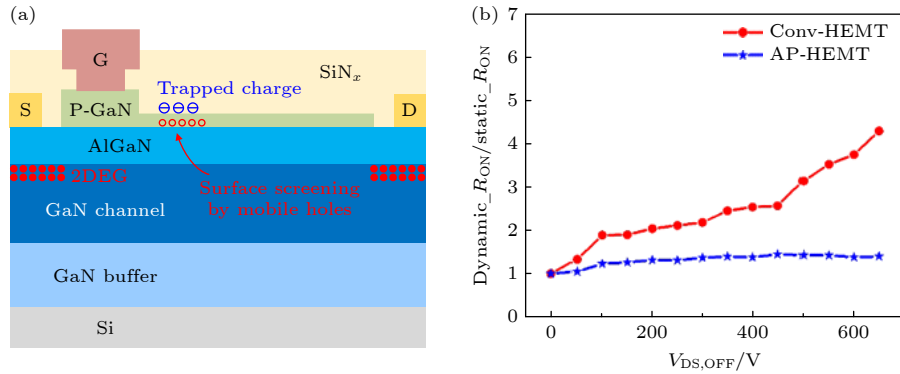
 Fig. 23. Hydrogen ion-passivated AlGaIn/GaN HEMT devices: (a) Schematic diagram of the structure; (b) dynamic R_{ON} Test results^[46,49].

 图 24 有源钝化技术 (a) 器件结构; (b) 动态导通电阻测试结果^[50,51]

 Fig. 24. AP-HEMT: (a) Schematic cross-section; (b) dynamic R_{ON} test results^[50,51].

4.2.3 空穴注入

2015 年, 松下公司 Kaneko 等^[52] 提出在器件漏极附近新增一个与漏电极相连的 p 型 GaN 层, 如图 25(a) 所示, 当器件关断时, 该 p 型 GaN 区域在高漏极电压下向缓冲层中注入空穴, 从而有效释放被体内陷阱俘获的电子. 该结构被称为混合漏极栅注入晶体管 (hybrid drain-embedded GIT, HD-GIT). 实验表明, HD-GIT 在 850 V 高压下的动态

导通电阻退化率仅为 10%, 而传统 GIT 在 620 V 下其退化率高达 150%, 如图 25(b) 所示. 该研究证实, 漏极侧空穴注入技术可显著增强 GaN 器件的高压动态稳定性, 凭借其高可靠性及后续松下、Infineon 的工艺优化, HD-GIT 结构于 2017 年实现了商业化.

综上所述, 动态导通电阻退化主要由表面态和体深能级缺陷的电荷俘获效应以及阈值电压漂移

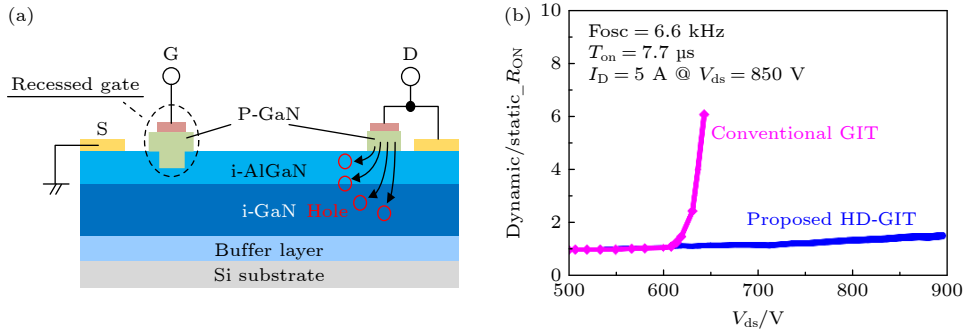

 图 25 空穴注入技术 (a) HD-GIT 新结构及空穴注入原理^[52]; (b) 动态导通电阻测试结果

Fig. 25. HD-GIT: (a) Schematic diagram illustrating the operating principle of HD-GIT^[52]; (b) dynamic R_{ON} test results.

引起, 抑制动态导通电阻退化的典型方法包括: 场板技术、钝化技术、空穴注入技术, 一方面降低电场峰值, 减小载流子的注入或俘获, 另一方面减小界面态或表面陷阱。

5 功率集成技术

GaN HEMT 作为横向器件, 在单片集成方面具有天然优势, 集成化可减少外部元件数量, 最小化互连寄生效应的影响, 进而提升集成电路的工作频率, 降低功耗. 目前 GaN HEMT 的功率集成既包括以双向开关、半桥集成等为代表的功率级集成, 又包括 GaN 高压器件与驱动、控制、保护等低压电路的单片集成。

5.1 双向开关

双向开关 (bi-directional switch, BDS) 是一种四象限开关器件, 与单向开关不同, BDS 具备双向导通电流和双向阻断电压的能力, 是实现交流转交流 (AC-AC) 电能变换的核心元件。

单片集成的 GaN BDS 最早于 2007 年被报道, 松下公司 Morita 等^[53]利用双栅极 AlGaIn/GaN 晶体管实现了双向开关功能, 并初步验证了其在高效 AC-AC 矩阵变换器中的应用潜力. 但在随后的十余年中, 由于商业级的高性能 GaN BDS 产品的缺失, 基于 BDS 的高级拓扑并未得到普及. 在传统方案中, BDS 通常由分立的单向器件 (如 IGBT 或超结 MOSFET) 与二极管背靠背组合而成, 如图 26 所示. 这种分立式架构的局限是串联二极管存在正向导通压降, 增大了导通损耗. 此外, 多个分立器件的互连会引入寄生电感, 显著增加了复杂拓扑 (如矩阵变换器) 的高频设计难度与热管

理难度^[54]. 直到 2024 年, 随着 Infineon, Navitas, Transphorm 等企业相继推出通过 JEDEC 认证的商用 GaN BDS 产品, 该技术才开始正式从实验室走向大规模商业化应用。

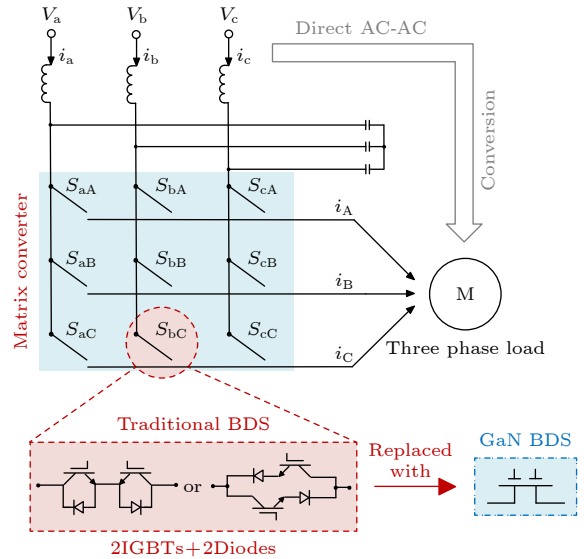


图 26 基于 BDS 的矩阵变换器 (用于实现 AC-AC 电能变换)

Fig. 26. Matrix converter based on BDS with GaN BDS.

相较传统分立方案, GaN BDS 利用 AlGaIn/GaN 异质结的 2DEG 沟道, 实现了无体二极管且对称的双向导通能力, 消除了分立器件串联带来的寄生参数, 还实现了极低的开关与导通损耗. 根据结构差异, GaN BDS 可分为共源型 (common-source) 和共漏型 (common-drain) 两种结构, 如图 27 所示. 共漏型 GaN BDS 因共享漂移区的设计具有更高的芯片面积利用率^[55], 在理想状态下, 其芯片面积可缩减至传统分立方案的 1/4. 然而在实际器件设计中, 还需要考虑衬底电位管理、耐压裕量以及热管理等因素, 因此实际器件面积相比理论值偏大。

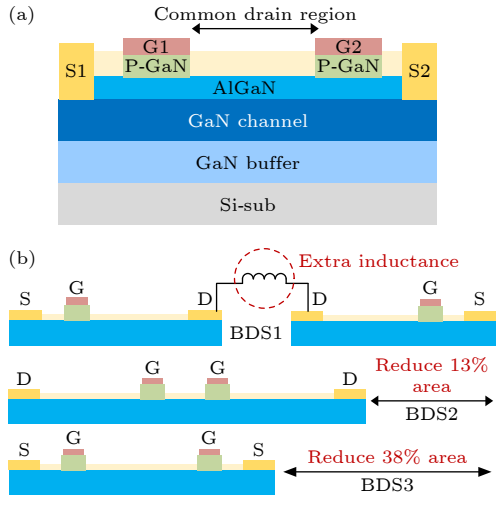


图 27 GaN BDS 实现方式 (a) 共漏型 GaN BDS 器件结构; (b) 分立双向开关 (BDS1)、共源型双向开关 (BDS2) 和共漏型双向开关 (BDS3) 面积利用对比

Fig. 27. GaN BDS topologies: (a) Common-drain GaN BDS structure; (b) comparison of area utilization among discrete, common-source, and common-drain bidirectional switches.

作为典型的横向器件, GaN BDS 的外延结构与传统单向 GaN-on-Si HEMT 类似, 其衬底位于器件背面. 对于单向器件, 衬底通常直接与源极短接. 然而共漏 GaN BDS 工作于交流电压工况下, 其两端的电压极性在每半周期交替反转, 若简单地将衬底与任一电极连接, 在关态下, 衬底电位将可能与高电位侧的电压齐平. 这种剧烈的衬底电位波动会引发比单向器件更严重的“虚栅效应”, 导致器件动态电阻恶化、阈值电压漂移等问题^[56]. 因此, 衬底电位管理是共漏型 GaN BDS 所面临的主要挑战之一. 图 28(a) 展示了采用两个背靠背二极管串联的衬底电位管理方案^[57,58], 可将衬底钳位至低电位源极, 但当器件由关断状态切换为导通状态时, 两个背靠背二极管会同时处于反向偏置状态, 导致衬底内的负电荷无法泄放, 同样会引发动态性能退化^[59], 因此这种方案又称为“衬底半浮空”方案. 相比之下, 通过集成自偏置衬底电位管理电路, 如图 28(b) 所示, 可动态地将衬底钳位至低电位侧^[60], 并在开关过程中提供电荷泄放路径, 尽管集成该电路会额外消耗芯片面积并增加设计复杂度, 但能有效抑制动态导通电阻退化.

器件结构的创新也是提升 BDS 性能的重要途径. 香港大学 Qin 等^[61]于 2025 年提出了一种多导电沟道的 BDS 结构, 如图 29 所示, 表面陷阱或体陷阱只能影响靠近器件表面或缓冲层的沟道. 该方

法通过牺牲部分沟道的 2DEG 保护了中间沟道的 2DEG, 缓解了“虚栅效应”, 但该设计在一定程度上增加了工艺复杂度. 此外, 北京大学 Chang 等^[62,63]于 2025 年引入了 AlGaIn/GaN/AlGaIn 背势垒结构 (如图 30 所示). 该结构借助 GaN 沟道与下层 AlGaIn 界面处的极化势垒, 构建了一个空穴势阱. 当器件导通且栅压较大时, 空穴可从栅极注入, 积累在该势阱中形成“virtual body”, 构成了正电荷屏蔽层, 从而有效中和缓冲层中被俘获电子的影响, 进而规避衬底偏置对 2DEG 的影响.

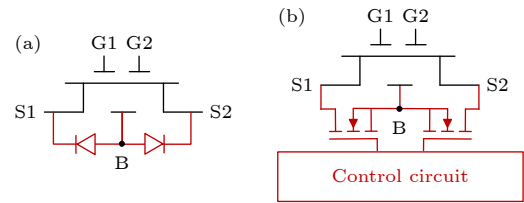


图 28 共漏型 GaN BDS 常见衬底电位管理方式 (a) 衬底半浮空; (b) 自偏置衬底电位管理电路

Fig. 28. Common substrate potential management methods for GaN BDS: (a) Semi-floating substrate; (b) self-biased substrate circuit.

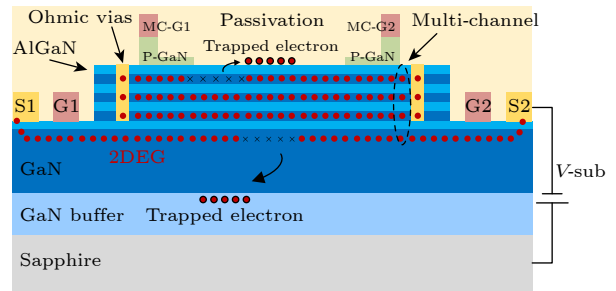


图 29 具有多沟道结构的 BDS^[61]

Fig. 29. BDS with multi-channel^[61].

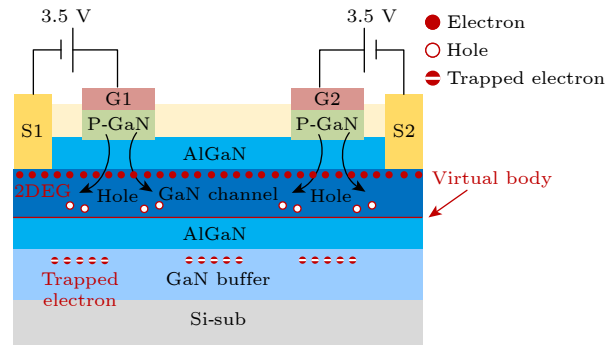


图 30 带有“virtual body”的 BDS^[62]

Fig. 30. BDS with “virtual body”^[62].

5.2 半桥集成

半桥 (half-bridge) 拓扑 (如图 31(a) 所示) 是

现代电力电子变换器(如 buck/boost 变换器、LLC 谐振变换器及有源钳位反激变换器等)中最基础且不可或缺的功率单元之一^[64]. 当系统开关频率向数百千赫兹(kHz)乃至兆赫兹(MHz)级演进时,传统基于分立器件构建的半桥拓扑受限于封装互连所引入的寄生电感^[65,66],在极高 dV/dt 与 dI/dt 的瞬态过程中会引发严重的振荡和电磁噪声干扰. 相比之下, GaN 单片集成半桥通过将高侧与低侧 GaN HEMT 集成于单一衬底(如图 31(b)),消除了外部封装引脚与 PCB 走线带来的寄生电感,不仅能实现纳秒级的超低传输延迟与更精准的死区时间控制,而且彻底释放了半桥拓扑在 MHz 级别、零电压开关(ZVS)工况下的应用潜力.

尽管单片集成带来了巨大的系统级优势,但在器件物理层面, GaN 集成半桥面临着与 GaN BDS 同样的衬底电位管理挑战. 在 GaN-on-Si 平台中,高侧与低侧器件共用同一导电硅衬底,由于低侧管的源极(SL)接地,而高侧管的源极(即开关节点 SN)电位在 0 V 与直流母线电压(V_{DD})之间浮动,高低侧管的衬底-源极无法同时处于等电位状态. 若

直接将公共衬底接地,当高侧管导通时,其源极电位跃升接近 V_{DD} ,导致高侧管承受极高的负向衬底偏置电压,使得高侧管产生严重的动态导通电阻退化. 最新研究进一步指出,在感性硬开关工况下,这种高压背栅应力与硬开关瞬态应力会产生强烈的相互作用,使得高侧管的动态导通电阻恶化程度远超静态预期^[67]. 反之,若将衬底连接至开关节点,低侧管在关断状态下又将承受极高的正向衬底偏置电压.

针对集成半桥的衬底电位管理,同样可采用类似 BDS 中的“virtual body”技术,利用空穴注入机制中和衬底偏置对 2DEG 的影响,如图 32 所示^[63]. 此外,采用绝缘体上硅(silicon-on-insulator, SOI)工艺结合深槽隔离(deep trench isolation, DTI)技术(如图 33),通过刻蚀直达 SiO_2 埋层的沟槽配合氮离子注入实现高低侧器件的隔离,是一种可行的集成半桥衬底电位管理方案^[68,69]. 尽管能从根源上消除串扰,但该方案目前能够应用的电压等级较低,且工艺复杂制造成本高.

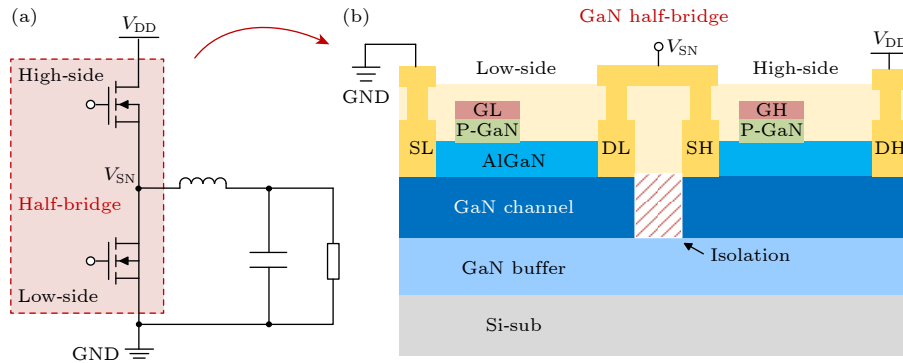


图 31 半桥拓扑 (a) 基于半桥的 Buck 电路^[64]; (b) GaN 集成半桥

Fig. 31. Half-bridge circuits: (a) Buck circuit implemented with discrete transistors^[64]; (b) lateral structure of the monolithic GaN half-bridge.

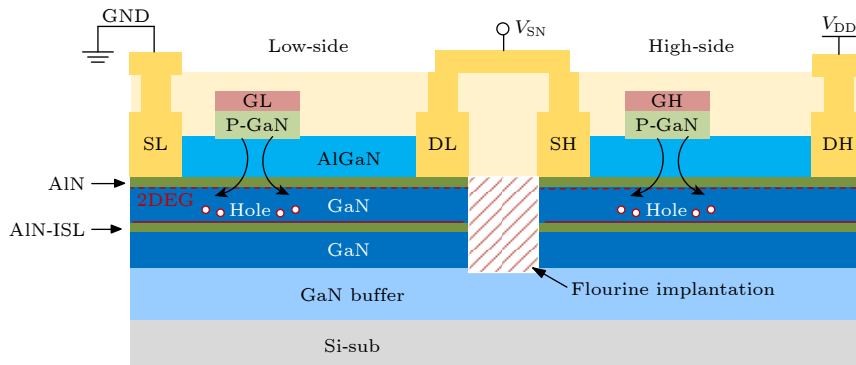


图 32 采用“virtual body”的 GaN 集成半桥^[63]

Fig. 32. GaN integrated half-bridge with “virtual body”^[63].

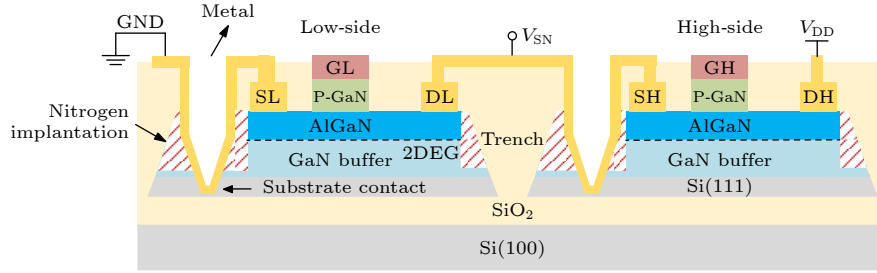


图 33 采用 SOI 工艺和深槽隔离技术的 GaN 集成半桥, 实现高侧和低侧开关的源-衬底等电位^[68]

Fig. 33. GaN integrated half-bridge featuring SOI technology and deep trench isolation, achieving source-to-substrate equipotential for both the high-side and low-side switches^[68].

5.3 驱控一体集成

为突破传统分立方案在兆赫兹 (MHz) 级开关频率下面临的寄生电感、传输延迟及电磁干扰瓶颈, 将栅极驱动器、保护电路乃至逻辑控制电路与 GaN 高压功率晶体管进行集成, 构成“驱控一体”的智能功率集成电路, 已成为释放 GaN 器件高频潜力的重要技术路径^[70-72]。“驱控一体”集成方案的核心优势在于从物理上最小化互连寄生参数, 实现纳秒级的超快开关速度、极低的开关损耗与振铃, 为系统在数十至数百兆赫兹频率下稳定工作奠定基础^[65,73-75]。

目前, 驱控一体集成主要包含混合集成与单片集成两条技术路线, 它们在集成度、性能与商业化成熟度上各具特色。其中单片集成则是更为彻底的解决方案, 其旨在将所有功能模块, 包括高压功率开关、低压驱动器、控制器、保护电路乃至无源元件, 全部制作在同一块 GaN 芯片上, 实现真正的“全 GaN”功率系统芯片。实现单片集成的关键在于需要一个功能丰富的工艺平台。研究表明, 基于主流商用硅基 p-GaN 栅 HEMT 平台, 通过工艺调整可在同一外延片上制造出多种基础元器

件^[68,76,77], 如图 34 所示: 例如通过调节栅漏距离获得不同耐压等级的常关型 GaN 器件; 通过刻蚀 p 型 GaN 层形成常开型器件用于有源负载; 利用栅源短接的常关型 GaN 器件作为二极管; 利用金属-绝缘层-金属 (MIM) 结构制作电容; 利用 2DEG 通道制作线性电阻等。这些基本构建模块为在芯片上实现复杂的数字与模拟电路奠定了基础。

在单片集成具体的电路设计与创新方面, 驱动电路的集成是首要环节。有研究基于 200 V GaN-on-SOI 平台对全 GaN 栅极驱动器架构进行了系统性对比, 涵盖双电源、基本自举、改进型自举及电荷泵自举 4 种方案^[78]。研究结果表明, 双电源架构性能最优但需额外电源; 而在单电源方案中, 改进型自举架构在面积、损耗和延迟间取得了最佳平衡, 被实验验证为有效驱动集成半桥的方案。早在 2016 年 Zhang 等^[79]在常开型 GaN-on-SiC 工艺上为 100 MHz 同步降压转换器设计的单片集成驱动器, 特别是改进型有源上拉方案, 通过将高侧驱动器上拉端连接至开关节点, 有效降低了静态损耗并缩减了芯片面积, 展示了 VHF 频段高效集成的潜力。此外, 针对特定性能优化的驱动技术也得以集成, 例如集成快速 dV/dt 反馈环路的主动栅极驱

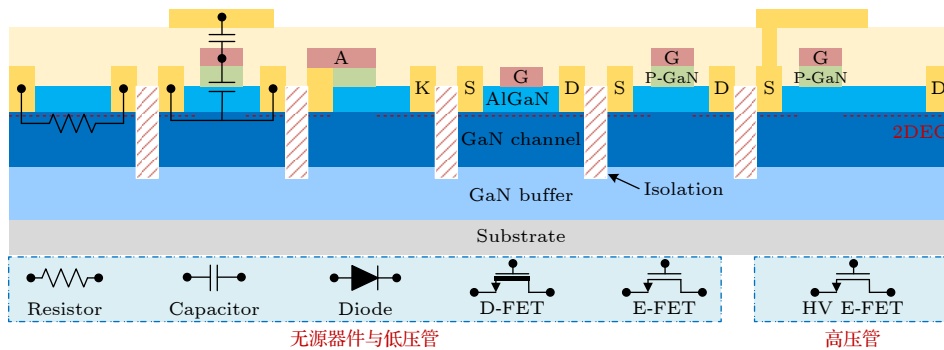


图 34 基于 p-GaN 栅 HEMT 技术的功率集成平台

Fig. 34. Power integration platform based on p-GaN gate HEMT technology.

动器, 可独立控制电压上升速率以优化开关损耗与 EMI 的权衡 [78]; 以及集成多电平栅极驱动器, 通过产生负栅压抑制半桥串扰引起的误开启, 并降低死区时间的反向导通损耗, 实验表明其可将同步整流降压转换器效率从 88.6% 提升至 90.7% [80].

在集成驱动电路的基础上, 进一步集成具有保护功能的电路对于构建可靠的“智能功率级”至关重要. Xu 等 [81] 在 p-GaN 栅平台上单片集成了包含电荷泵栅极驱动器、过流保护及 UVLO 电路的完整解决方案, 如图 35(a) 所示, 其中过流保护响应时间快至 10 ns. 更进一步的集成展示了“全 GaN”单片降压转换器 IC, 在单一芯片上集成了功率开关、高侧驱动器、PWM 反馈控制器及过流保护电

路, 如图 36 所示, 能够有效应对输入突变、负载突变及过流事件, 标志着 GaN 功率 IC 向片上系统 (system-on-chip, SoC) 迈出了关键一步 [82,83].

5.4 GaN CMOS 集成

互补金属氧化物半导体 (complementary metal-oxide-semiconductor, CMOS) 利用成对的 n 沟道场效应晶体管 (n-channel field-effect transistor, n-FET) 和 p 沟道场效应晶体管 (p-channel field-effect transistor, p-FET) 来构建逻辑电路, 具有静态功耗低、抗干扰能力强、集成度高和成本低等显著优势. 然而, 高性能、高可靠性的 GaN p-FET 是制约 GaN CMOS 集成技术的瓶颈, 成为近年来的

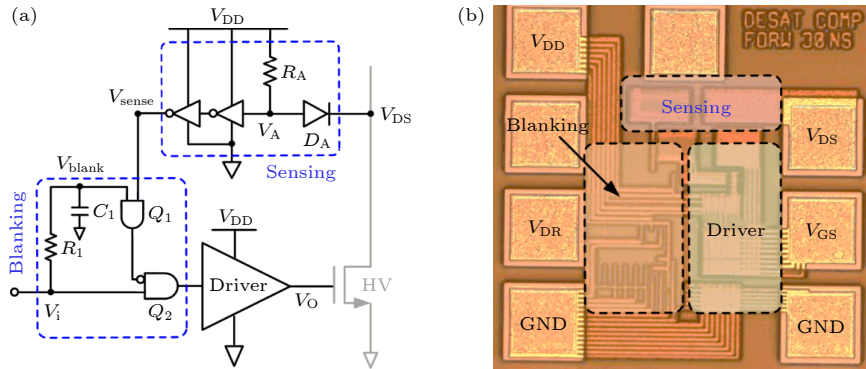


图 35 驱控一体集成的具体电路设计 [81] (a) 集成栅驱动和过流保护电路的电路原理图; (b) 驱控一体 GaN IC 的显微照片
Fig. 35. Specific circuit design of drive control integration [81]: (a) Schematic of the GaN HEMT circuit with integrated gate driver and overcurrent protection circuit; (b) micrograph of the fabricated integrated GaN IC.

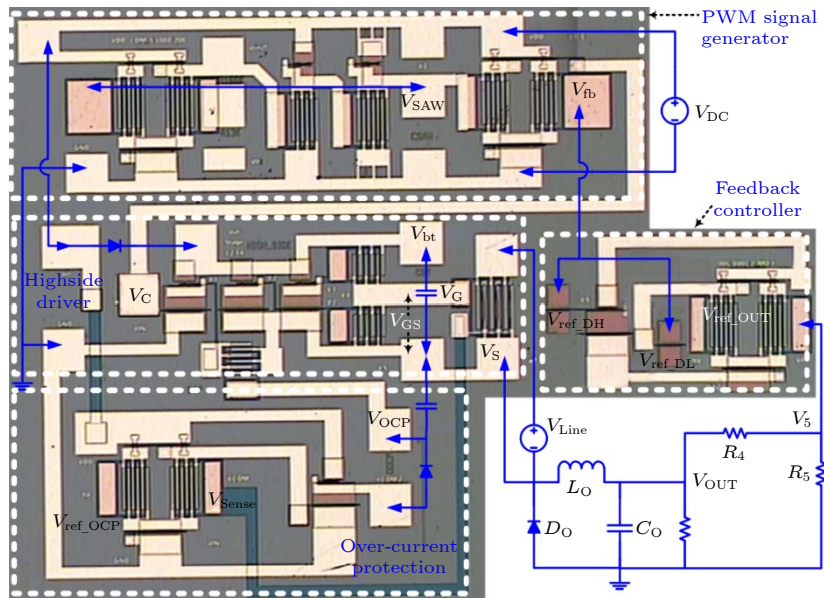


图 36 全 GaN DC-DC 降压转换器 IC 的显微照片 [82]
Fig. 36. Micrograph of the all-GaN DC-DC buck converter IC [82].

研究热点和难点之一. 因此, GaN CMOS 技术的研究重点包括: 高性能 p-FET 器件优化设计和兼容集成方案探索. 图 37 显示了 GaN p-FET 器件技术演进图 [84-93]. 目前 GaN CMOS 技术已历经 10 余年的发展, 其性能演进主要包括以下 3 个方面.

1) 早期 GaN CMOS 单片集成探索. 基于异质界面处极化 2DHG 制造出的 GaN p-FET 于 2004 年被首次报道, 这为解决传统体掺杂 GaN 中 Mg 受主激活率低的问题提供了新的思路 [84]. 2012 年, 美国圣母大学 Li 等 [85] 基于极化诱导 2DHG 的

技术路线成功制备了常开型 p-FET. 但将 GaN n-FET(2DEG 沟道) 与 p-FET(2DHG 沟道) 这两种对极化电场方向和能带结构要求不同的器件单片集成同样是一个难题. 2014 年, 德国亚琛工业大学 Hahn 等 [86] 设计了特殊的双异质结外延层, 利用其极化方向差异同时产生 2DEG 与 2DHG, 首次证实了 n-FET 与 p-FET 单片集成的可行性并首次通过刻蚀凹槽工艺实现了常关型 p-FET. 2016 年, 美国 HRL 实验室 Chu 等 [87] 采用选区外延 (selective area epitaxy, SAG) 技术, 在蓝宝石衬底

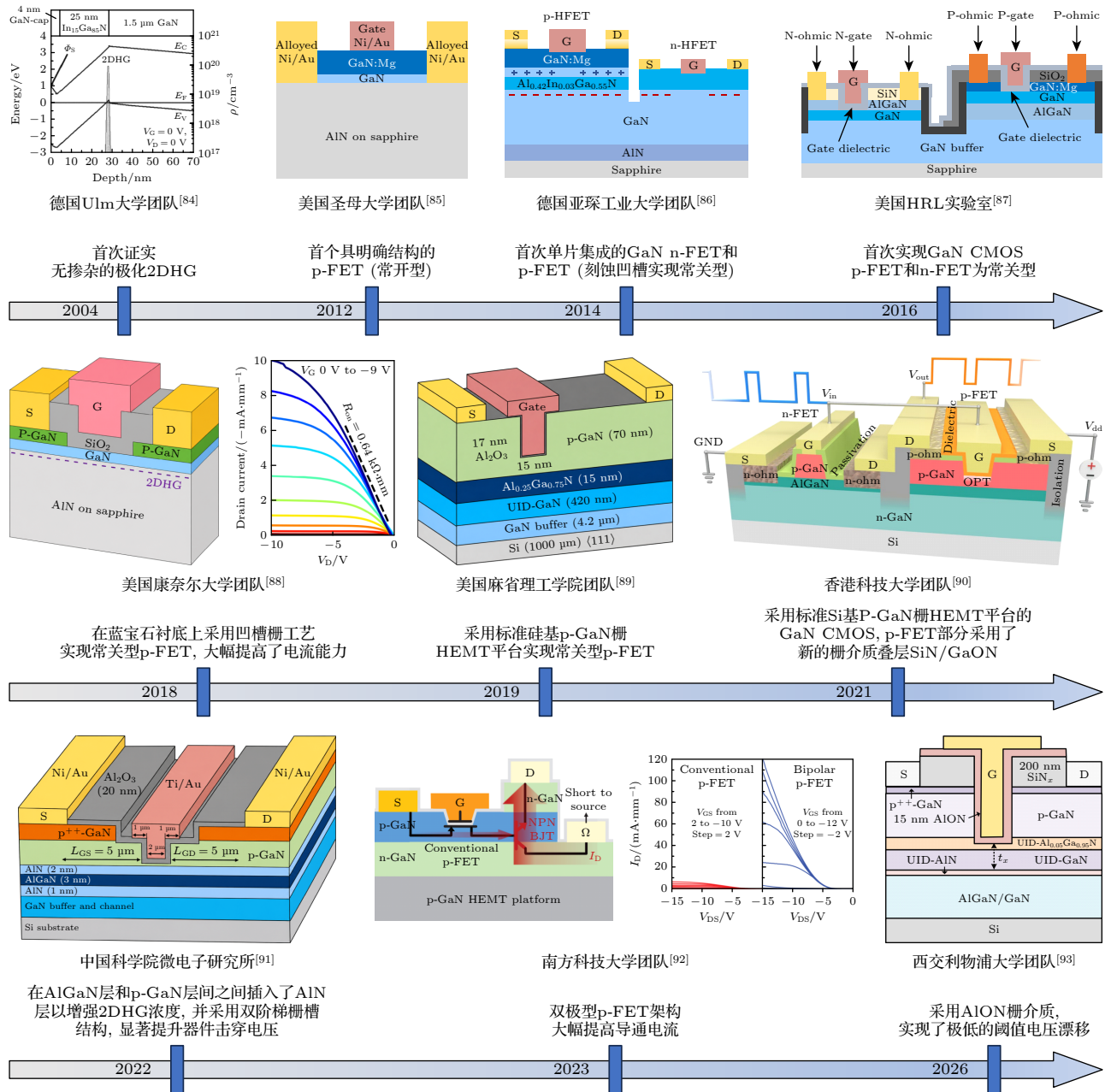


图 37 GaN p-FET 器件技术演进图

Fig. 37. Evolution of key technologies for GaN p-FET devices.

上成功制造出了首个具有栅介质且逻辑功能完整的 GaN CMOS 反相器。

2) 主流商用平台融合. 实现与主流商用硅基 p-GaN 栅 HEMT 平台兼容的单片集成方案是 p-FET 技术面临的又一挑战. 2019 年, 美国麻省理工学院 Chowdhury 等^[89]在主流商用硅基 p-GaN 栅 HEMT 平台上实现了常关型 p-FET. 在此基础上, 2021 年, 香港科技大学 Zheng 等^[90]在主流商用硅基 p-GaN 栅 HEMT 平台上实现了单片集成 n-FET 和 p-FET 的 GaN CMOS, 并且引入了氧等离子体处理的埋沟道技术与首创的 SiN/GaON 复合栅介质. 该方案在实现高工艺兼容性的同时, 降低了器件的漏电流和静态功耗, 从实验层面验证了 GaN CMOS 技术向高性能商用制造转化的可行性.

3) 性能持续优化. 器件级的优化方案也是实现高可靠性、低损耗的 GaN CMOS 单片集成的重要技术基础. 自首次报道以来, 针对 p-FET 器件性能的优化工作就在持续进行中, 2018 年, 美国康奈尔大学 Bader 等^[88]采用 AlN/蓝宝石衬底搭配凹槽栅工艺, 大幅提升了 p-FET 电流能力. 2022 年, 中国科学院微电子研究所 Jin 等^[91]提出了双阶梯栅结构, 显著缓解了栅极边缘峰值电场, 大幅提升了 p-FET 的击穿电压. 2023 年, 南方科技大学 Tang 等^[92]提出了基于 NPN 外延堆叠的双极型 p-FET (BiP-FET) 架构, 利用更高迁移率的电子代替空穴放大电流, 将 p-FET 的导通电流密度提升了数十倍. 2026 年, 西交利物浦大学 Zhang 等^[93]提出了采用 AlON 栅介质的 p-FET, 实现了比传统 p-FET (Al_2O_3 栅介质) 更低的阈值漂移和关态漏电流.

总体而言, 高密度集成带来的热耦合问题与器件隔离难题是各种集成技术面临的共性问题. 在具体技术路线上: 双向开关与半桥集成的动态性能以及可靠性受限于衬底电位管理的有效性; 而驱控一体化集成的长远发展, 则有赖于 GaN CMOS 技术的实现, 其阻碍在于当前高性能 GaN p-FET 器件的缺失.

6 总结与展望

GaN 功率 HEMT 正朝着更高栅极可靠性、更高击穿电压、更低导通电阻和更高集成度的方向发展. 本文分别针对上述关键方向的研究进展与技术

革新进行综述, 总结如下:

1) AlGaIn/GaN HEMT 常关型技术的核心目标在于实现正阈值电压 ($V_{\text{TH}} > 0$), 且 V_{TH} 需要较高, 并综合考虑器件导通电流能力以及工艺可行性. 具体而言: MIS 凹槽栅常关型技术有效抑制了泄漏电流并扩大了栅压摆幅, 兼顾了高阈值电压和导通电流能力, 但受限于刻蚀损伤和阈值均匀性的问题, 不适用于大规模生产. 相比之下, p-GaN 栅常关型技术具有避免刻蚀势垒层界面态和界面损伤小、工艺相对简单等综合优势, 目前在商业市场中占据主导地位. 然而, 受限于 p 型掺杂激活率低及反向偏置肖特基结的影响, p-GaN 栅 HEMT 仍面临阈值电压不够高 (通常低于 2 V) 及最大适用栅压受限 (通常低于 6 V) 的技术局限, 这成为后续栅极工程进一步突破的关键. 通过引入合适的栅堆叠层或者采用肖特基和欧姆结合的金半接触, 能有效增强 p-GaN 栅耐压能力与鲁棒性.

2) 击穿电压是衡量功率器件关态阻断能力的关键指标. 现有的击穿电压提升技术主要围绕“优化电场分布”与“抑制泄漏电流”两大途径展开, 在不断演进中致力于调和高击穿电压和低导通电阻的权衡矛盾, 并实现多种性能的协同优化: 场板与沟槽终端技术通过物理结构调节电场分布, 而场板配合部分刻蚀势垒层技术实现了电场分布与自热效应的协同优化; 氟离子注入技术早期直接将氟离子注入 AlGaIn 层的方案易造成 2DEG 损伤与导通电阻退化, 进而促使该工艺向注入钝化层及图形化注入的方向演进, 实现了高耐压与低动态导通电阻退化的平衡. 超结技术打破了传统器件的耐压局限: 横向超结技术通过 p-GaN 与 2DEG 的相互耗尽, 实现了超 10 kV 的击穿电压; 极化超结技术则利用双异质结相互辅助耗尽, 这两种方案实现了击穿电压和导通电阻的协同优化.

3) 动态导通电阻退化是导致 GaN 器件导通损耗高于理论预期的主要因素, 也是限制 GaN 功率器件更广泛应用的关键短板, 该问题是多种陷阱效应及电荷存储效应在 GaN 器件开关过程中共同作用的结果. 现有的动态电阻优化技术分别从电场调制、界面态抑制及载流子补偿 3 个方面给出了解决方案: 场板结构通过削减峰值电场, 在提高击穿电压的同时, 也缓解了热电子向势垒层注入的问题, 改善了动态性能退化; 钝化技术通过降低界面态密度抑制了表面陷阱俘获, 进而抑制动态导通电

阻退化; HD-GIT 技术通过引入空穴注入机制来中和被体陷阱俘获电子, 显著降低了动态导通电阻退化率, 并成功实现了商业化。

4) 功率集成技术是释放 GaN 器件高频应用潜力的必由之路, 也是新能源汽车、数据中心等领域进一步实现电源系统高效率、小型轻量化的关键。尽管前景广阔, 但实现更高效更复杂的功率集成仍存在诸多挑战。首先, 高性能双向开关和半桥集成都需要克服衬底电位管理问题, 目前 Infineon、Navitas 等公司均已推出产品级的双向开关解决方案^[94,95]; 其次, 高性能 p-FET 的缺失仍然是制约低压控制电路单片集成的核心障碍。最后, GaN 全集成仍然面临高效隔离、热管理、工艺复杂度和整体长期可靠性等挑战。

基于当前的研究进展与技术脉络, 高压、低损耗且高可靠的 GaN 功率晶体管及其集成技术, 正从实验室走向产业化的深水区。针对 GaN 功率器件未来展望如下:

1) 实现更高击穿电压是 GaN 功率器件未来的核心追求, 可使其从快充、数据中心等中低压场景走向电动汽车主驱、固态变压器等 1200 V 以上的高压主战场。尽管横向 GaN HEMT 采用超结技术有望实现 10 kV 耐压的突破, 但从产业成熟度看, 业界普遍认为目前横向的 GaN 尚难以支撑 1200 V 以上的高压场景。此外, 横向器件并非高压 GaN 的唯一答案, 垂直结构击穿电压由垂直方向的漂移区厚度决定, 更有利于实现高压乃至超高压耐压等级。

2) 可靠性仍然是 GaN 功率 HEMT 实现更大规模产业化应用的瓶颈, 栅极稳定性、动态电阻退化等可靠性机理与可靠性加固是一个长期性的课题。

3) 在 GaN 功率集成领域, 以双向开关为代表的功率级集成技术具备结构复杂度低、工艺可行性高等显著优势, 有望推动电力电子拓扑向简洁化与高频化方向演进。然而, GaN 驱控一体化集成电路的实现仍高度依赖于高性能 p-FET 的技术突破。

4) GaN 未来的发展将超越单一器件性能的优化, 迈向材料、器件、电路与系统层面的协同创新, 其成功不仅取决于单项技术的突破, 更依赖于整个产业链: 从材料生长、器件工艺、集成设计到应用验证的紧密协作与生态构建, 最终目标是实现电能的高效、智能、可靠转换, 为下一代绿色能源与电气化社会奠定坚实的硬件基础。

参考文献

- [1] Mishra U K, Parikh P, Wu Y F 2002 *Proc. IEEE* **90** 1022
- [2] Chen K J, Häberlen O, Lidow A, Tsai C L, Ueda T, Uemoto Y, Wu Y F 2017 *IEEE Trans. Electron Devices* **64** 779
- [3] Favero D, Marcuzzi A, De Santi C, Meneghesso G, Zanoni E, Meneghini M 2023 *AEIT International Conference on Electrical and Electronic Technologies for Automotive* Modena, Italy, July 17–19, 2023 p1
- [4] TrendForce 2024 <https://www.trendforce.com/news> [2024-08-16]
- [5] Lu H, Zhang M, Yang L, et al. 2025 *Fundam. Res.* **5** 315
- [6] Navitas Semiconductor Data Center [Online] Available: <https://navitassemi.com/datacenter/>
- [7] Yole Intelligence 2024 Power SiC/GaN Compound Semiconductor Market Monitor, Q4 2024 [Online] Available: <https://www.yolegroup.com/product/quarterly-monitor/power-sicgan-compound-semiconductor-market-monitor/>
- [8] Huang S, Liu X Y, Wang X H, et al. 2018 *IEEE Trans. Electron Devices* **65** 207
- [9] Khan M A, Chen Q, Sun C J, Yang J W, Blasingame M, Shur M S, Park H 1996 *Appl. Phys. Lett.* **68** 514
- [10] Zhao R, Huang S, Wang X H, et al. 2020 *Appl. Phys. Lett.* **116** 103502
- [11] Shi Y J, Huang S, Bao Q L, et al. 2016 *IEEE Trans. Electron Devices* **63** 614
- [12] Chen C H, Keller S, Haberer E D, et al. 1999 *J. Vac. Sci. Technol. B* **17** 2755
- [13] Tang C, Xie G, Sheng K 2015 *IEEE 27th International Symposium on Power Semiconductor Devices and ICs (ISPSD)* Hong Kong, China, May 10–14, 2015 p233
- [14] Cai Y, Zhou Y, Chen K J, Lau K M 2005 *IEEE Electron Device Lett.* **26** 435
- [15] Cai Y, Zhou Y, Lau K M, Chen K J 2006 *IEEE Trans. Electron Devices* **53** 2207
- [16] Chen H W, Wang M J, Chen K J 2010 *68th Device Research Conference* Notre Dame, IN, USA June 21–23, 2010 p137
- [17] Zhang Z L, Fu K, Deng X G, et al. 2015 *IEEE Electron Device Lett.* **36** 1128
- [18] Uemoto Y, Hikita M, Ueno H, et al. 2007 *IEEE Trans. Electron Devices* **54** 3393
- [19] Greco G, Iucolano F, Roccaforte F 2018 *Mater. Sci. Semicond. Process.* **78** 96
- [20] Brochen S, Brault J, Chenot S, Dussaigne A, Leroux M, Damilano B 2013 *Appl. Phys. Lett.* **103** 032102
- [21] He J B, Wei J, Yang S, Wang Y R, Zhong K L, Chen K J 2019 *IEEE Trans. Electron Devices* **66** 3453
- [22] Hua M Y, Wang C C, Chen J T, Zhang L, Zheng Z Y, Chen K J 2020 *IEEE 15th International Conference on Solid-State & Integrated Circuit Technology (ICSICT)* Kunming, China, November 3–6, 2020 p1
- [23] Zhang L, Zheng Z Y, Yang S, Song W J, He J B, Chen K J 2021 *IEEE Electron Device Lett.* **42** 22
- [24] Liu C H, Chiu H C, Wang H C, Kao H L, Huang C R 2021 *IEEE Electron Device Lett.* **42** 1432
- [25] Dai X Y, Jiang Q M, Huang S, Feng C, Ji Z C, Gao X G, Wang X H, Liu X Y 2024 *IEEE Electron Device Lett.* **45** 988
- [26] Zhang C, Li S, Liu S Y, et al. 2022 *IEEE International Electron Devices Meeting (IEDM)* San Francisco, USA, December 3–7, 2022 p35.4.1
- [27] Baliga B J 1989 *IEEE Electron Device Lett.* **10** 455
- [28] EPC Corporation 2023 GaN Power Device Reliability Report 2023 [Online] Available: <https://epc-co.com/epc/Portals/0/>

- epc/documents/product-training/Reliability%20Report%20Phase%2015.pdf
- [29] Xing H, Dora Y, Chini A, Heikman S, Keller S, Mishra U K 2004 *IEEE Electron Device Lett.* **25** 161
 - [30] Xie G, Xu E, Lee J M, Hashemi N, Zhang B, Fu F Y, Ng W T 2012 *IEEE Electron Device Lett.* **33** 670
 - [31] Yang C, Luo X R, Zhang A B, et al. 2018 *IEEE Trans. Electron Devices* **65** 5203
 - [32] Wu S, Yin L Q, Ren K L, Zhang J H 2023 *19th China International Forum on Solid State Lighting & 2022 8th International Forum on Wide Bandgap Semiconductors (SSLCHINA: IFWS)* Suzhou, China, February 7–10, 2023 p100
 - [33] Song D, Liu J, Cheng Z Q, Tang W C W, Lau K M, Chen K J 2007 *IEEE Electron Device Lett.* **28** 189
 - [34] Yang C, Luo X R, Sun T, Zhang A B, Ouyang D F, Deng S Y, Wei J, Zhang B 2019 *Nanoscale Res. Lett.* **14** 191
 - [35] Deng S Y, Luo X R, Wei J, Jia Y J, Sun T, Xi L F, Jiang Z L, Yang K M, Jiang Q F, Zhang B 2021 *IEEE Workshop on Wide Bandgap Power Devices and Applications in Asia (WiPDA Asia)* Wuhan, China, August 25–27, 2021 p403
 - [36] Yang J J, Yu J J, Cui J W, et al. 2024 *IEEE International Electron Devices Meeting (IEDM)* San Francisco, USA, December 7–11, 2024 p1
 - [37] Yang C, Xiong J Y, Wei J, Wu J F, Peng F, Deng S Y, Zhang B, Luo X R 2016 *Superlattices Microstruct.* **92** 92
 - [38] Peng F, Yang C, Deng S Y, Ouyang D Y, Zhang B, Wei J, Luo X R 2019 *Sci. China Inf. Sci.* **62** 62403
 - [39] Nakajima A, Sumida Y, Dhyani M H, Kawai H, Narayanan E M 2011 *IEEE Electron Device Lett.* **32** 542
 - [40] Sun T, Yang K M, Wei J, Jia Y J, Deng S Y, Zhao Z J, Zhang B, Luo X R 2022 *IEEE J. Electron Devices Soc.* **10** 808
 - [41] Deng G Q, Bi X H, Yang C, Luo B F, Xie X T, Li J H, Zhang B, Wu J, Luo X R 2026 *IEEE Electron Device Lett.* **47** 128
 - [42] Deng G Q, Bi X H, Shen J Y, Liu R K, Yan Y Y, Yang C, Xie X T, Wei J, Zhang B, Zheng C Y 2025 *IEEE Trans. Power Electron.* **40** 14425
 - [43] Meneghini M, Rossetto I, Bisi D, et al. 2014 *IEEE Trans. Electron Devices* **61** 4070
 - [44] Yang S, Zhou C H, Han S W, Wei J, Sheng K, Chen K J 2017 *IEEE Trans. Electron Devices* **64** 5048
 - [45] Yang S, Han S W, Sheng K, Chen K J 2019 *IEEE J. Emerg. Sel. Top. Power Electron.* **7** 1425
 - [46] Li F, Li A, Wang Y B, Zhu Y H, Yu C R Y, Ding C M R, Wu S Q, Liu W, Yu G H, Gao X T, Wang Z M, Zhang B S 2023 *35th International Symposium on Power Semiconductor Devices and ICs (ISPSD)* Hong Kong, China, May 28–June 1, 2023 p99
 - [47] Wei J, Xie R L, Xu H, Wang H X, Wang Y R, Hua M Y, Zhong K L, Tang G F, He J B, Zhang M, Chen K J 2019 *IEEE Electron Device Lett.* **40** 526
 - [48] Hwang I, Kim J, Chong S, Choi H S, Hwang S K, Oh J, Shin J K, Chung U I 2013 *IEEE Electron Device Lett.* **34** 1494
 - [49] Hao R H, Fu K, Yu G H, et al. 2016 *Appl. Phys. Lett.* **109** 152106
 - [50] Wu Y L, Wei J, Wang M J, et al. 2023 *IEEE Electron Device Lett.* **44** 25
 - [51] Wu Y L, Nuo M Q, Yang J J, et al. 2024 *IEEE Trans. Electron Devices* **71** 484
 - [52] Kaneko S, Kuroda M, Yanagihara M, Ikoshi A, Okita H, Morita T, Tanaka K, Hikita M, Uemoto Y, Takahashi S, Ueda T 2015 *IEEE 27th International Symposium on Power Semiconductor Devices and ICs (ISPSD)* Hong Kong, China, May 10–14, 2015 p41
 - [53] Morita T, Yanagihara M, Ishida H, Hikita M, Kaibara K, Matsuo H, Uemoto Y, Ueda T, Tanaka T, Ueda D 2007 *IEEE International Electron Devices Meeting* Washington, DC, USA, December 10–12, 2007 p865
 - [54] Liu J C, Kim H, Young A J, Jiao Y, Persson E, Xiao Z Y, Pandya B, Jahns T M, Imam M 2026 *IEEE Trans. Power Electron.* **41** 12371
 - [55] Chiu P J, Wu X Q, Chen C Y, et al. 2026 *IEEE Trans. Power Electron.* **41** 7270
 - [56] Ma Y F, Li S, Yan H, Wang L X, Li M F, Lu W H, Ma J, Ye R, Wang D G, Zhou J J, Wu W R, Wei J X, Zhang L, Liu S Y, Sun W F 2025 *37th International Symposium on Power Semiconductor Devices and ICs (ISPSD)* Kumamoto, Japan, June 1–5, 2025 p201
 - [57] Bahl S R, Senesky M, Tipirneni N, Henson T N 2014 *U. S. Patent* 20140374766A1
 - [58] Imam M, Kim H, Leong K K, Lal R K 2024 *U. S. Patent* 11862630B2
 - [59] Zhu J J, Zhou Z J, Chen J T, et al. 2026 *IEEE 38th International Symposium on Power Semiconductor Devices and ICs (ISPSD)* Las Vegas, NV, USA, May 24–28, 2026 p541
 - [60] Imam M, Kim H, Leong K K, Lal R K 2019 *U. S. Patent* US 20190326280A1
 - [61] Qin Y, Xiao M, Cui H C, Yang X, Yang Z N, Gong H H, Liu K, Kravchenko I, Udrea F, Cheng K, Wang H, Zhang Y H 2025 *IEEE International Electron Devices Meeting (IEDM)* San Francisco, CA, USA, December 6–10, 2025 p26.7.1
 - [62] Chang H, Yang J J, Yu J J, et al. 2025 *Appl. Phys. Lett.* **127** 213502
 - [63] Wu Z, Zhou Z J, Deng L G, Chen T, Ng Y H, Cheng Y, Geng Y T, Chen K J 2025 *IEEE International Electron Devices Meeting (IEDM)* San Francisco, CA, USA, December 6–10, 2025 p26.2.1
 - [64] Deng G Q, Zhang W J, Liang J Y, Li R, Kim N, Ng W T, Luo X R, Fu F 2020 *PCIM Asia 2020; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management* Shanghai, China, November 16–18, 2020 p1
 - [65] Kinzer D 2020 *IEEE International Electron Devices Meeting (IEDM)* San Francisco, CA, USA, December 12–18, 2020 p27.5.1
 - [66] Fichtenbaum N, Giandalia M, Sharma S, Zhang J 2017 *IEEE Power Electron. Mag.* **4** 33
 - [67] Yang X, Cui H C, Yang Z N, Porter M, Lu B, Zhang Y H 2026 *IEEE Trans. Power Electron.* **41** 266
 - [68] Li X D, Geens K, Guo W M, et al. 2019 *IEEE Electron Device Lett.* **40** 1499
 - [69] Li X D, Van Hove M, Zhao M, et al. 2017 *IEEE Electron Device Lett.* **38** 918
 - [70] Reusch D, Strydom J 2014 *IEEE Trans. Power Electron.* **29** 2008
 - [71] Trescases O, Murray S K, Jiang W L, Zaman M S 2020 *IEEE International Electron Devices Meeting (IEDM)* San Francisco, CA, USA, December 12–18, 2020 p27.4.1
 - [72] Qin Y, Ming X, Zhuang C W, Lin Z Y, Huang M, Li Z J, Zhang B 2026 *IEEE J. Solid-State Circuits* **61** 2263
 - [73] Chen K J, Wei J, Tang G F, Xu H, Zheng Z Y, Zhang L, Song W J 2020 *IEEE International Electron Devices Meeting (IEDM)* San Francisco, CA, USA, December 12–18, 2020 p27.1.1

- [74] Basler M, Reiner R, Moench S, et al. 2021 *IEEE Access* **9** 163122
- [75] Wei J, Tang G F, Xie R L, Chen K J 2020 *Jpn. J. Appl. Phys.* **59** SG0801
- [76] Wei J, Zheng Z Y, Tang G F, et al. 2024 *IEEE Trans. Electron Devices* **71** 1365
- [77] Li S, Ma Y F, Lu W H, et al. 2023 *IEEE International Electron Devices Meeting (IEDM)* San Francisco, CA, USA, December 9–13, 2023 p1
- [78] Kemdeng J, Cousineau M, Rouger N 2024 *IEEE Workshop on Wide Bandgap Power Devices and Applications in Europe (WiPDA Europe)* Cardiff, United Kingdom, September 16–18, 2024 p1
- [79] Zhang Y Z, Rodríguez M, Maksimović D 2016 *IEEE Trans. Power Electron.* **31** 7926
- [80] Takehisa T, Takahashi T, Furuta J, Shintani M, Kobayashi K 2024 *IEEE Energy Conversion Congress and Exposition (ECCE)* Phoenix, AZ, USA, October 20–24, 2024 p6570
- [81] Xu H, Tang G F, Wei J, Zheng Z Y, Chen K J 2022 *IEEE Trans. Ind. Electron.* **69** 6784
- [82] Sun R Z, Liang Y C, Yeo Y C, Zhao C Z, Chen W J, Zhang B 2020 *IEEE J. Emerg. Sel. Top. Power Electron.* **8** 31
- [83] Lu Y, Ming X, Qin Y, Chen L M, Zhuang C W, Gong X C, Lu W X, Zhang B 2025 *37th International Symposium on Power Semiconductor Devices and ICs (ISPSD)* Kumamoto, Japan, June 1–5, 2025 p89
- [84] Zimmermann T, Neuburger M, Kunze M, Daumiller I, Denisenko A, Dadgar A, Krost A, Kohn E 2004 *IEEE Electron Device Lett.* **25** 450
- [85] Li G W, Wang R H, Verma J, Xing H L, Jena D 2012 *70th Device Research Conference* University Park, PA, USA, June 18–20, 2012 p153
- [86] Hahn H, Reuters B, Kotzea S, Lükens G, Geipel S, Kalisch H, Vescan A 2014 *72nd Device Research Conference* Santa Barbara, CA, USA, June 22–25, 2014 p259
- [87] Chu R M, Cao Y, Chen M, Li R, Zehnder D 2016 *IEEE Electron Device Lett.* **37** 269
- [88] Bader S J, Chaudhuri R, Nomoto K, Hickman A, Chen Z, Then H W, Muller D A, Xing H G, Jena D 2018 *IEEE Electron Device Lett.* **39** 1848
- [89] Chowdhury N, Lemettinen J, Xie Q Y, Zhang Y H, Rajput N S, Xiang P, Cheng K, Suikonen S, Then H W, Palacios T 2019 *IEEE Electron Device Lett.* **40** 1036
- [90] Zheng Z Y, Zhang L, Song W J, et al. 2021 *Nat. Electron.* **4** 595
- [91] Jin H, Jiang Q M, Huang S, et al. 2022 *IEEE Electron Device Lett.* **43** 1191
- [92] Tang J J, Jiang Z H, Wang C C, Chen J T, Chen H H, Zhang Y H, Zheng Z Y, Wang X Y, Ma J, Zhao J L, Liu J X, Sun Q, Hua M Y 2023 *International Electron Devices Meeting (IEDM)* San Francisco, CA, USA, December 9–13, 2023 p1
- [93] Zhang X M, Duan J C, Ding Y H, et al. 2026 *IEEE Electron Device Lett.* **47** 712
- [94] Infineon Technologies AG 2026 IGLT65R055B2 (Datasheet) (in Chinese) [英飞凌 IGLT65R055B2 CoolGaN™ BDS 650 V G5 数据手册]
- [95] Navitas Semiconductor 2025 NV6428 Datasheet: Navitas Semiconductor

SPECIAL TOPIC — Semiconductor physics and devices

High-voltage low-loss GaN power transistors and their integration techniques*

LUO Xiaorong^{1)2)†} WEI Zijun¹⁾ DENG Gaoqiang¹⁾

WEI Jie¹⁾ LI Zhaoji¹⁾ ZHANG Bo¹⁾

1) (Engineering Research Center of Advanced Power and RF Devices and Integration, Ministry of Education, University of Electronic Science and Technology of China, Chengdu 610054, China)

2) (School of Communication Engineering (School of Microelectronics), Chengdu University of Information Technology, Chengdu 610225, China)

(Received 13 July 2026; revised manuscript received 4 August 2026)

Abstract

Gallium nitride (GaN) high-electron-mobility transistors (HEMTs) are the core components for high-frequency, high-efficiency power conversion systems due to their high critical breakdown electric field, high-density two-dimensional electron gas (2DEG), and exceptional electron mobility. Current research on GaN power transistors is driven by the demands for higher breakdown voltages, improved reliability, minimized

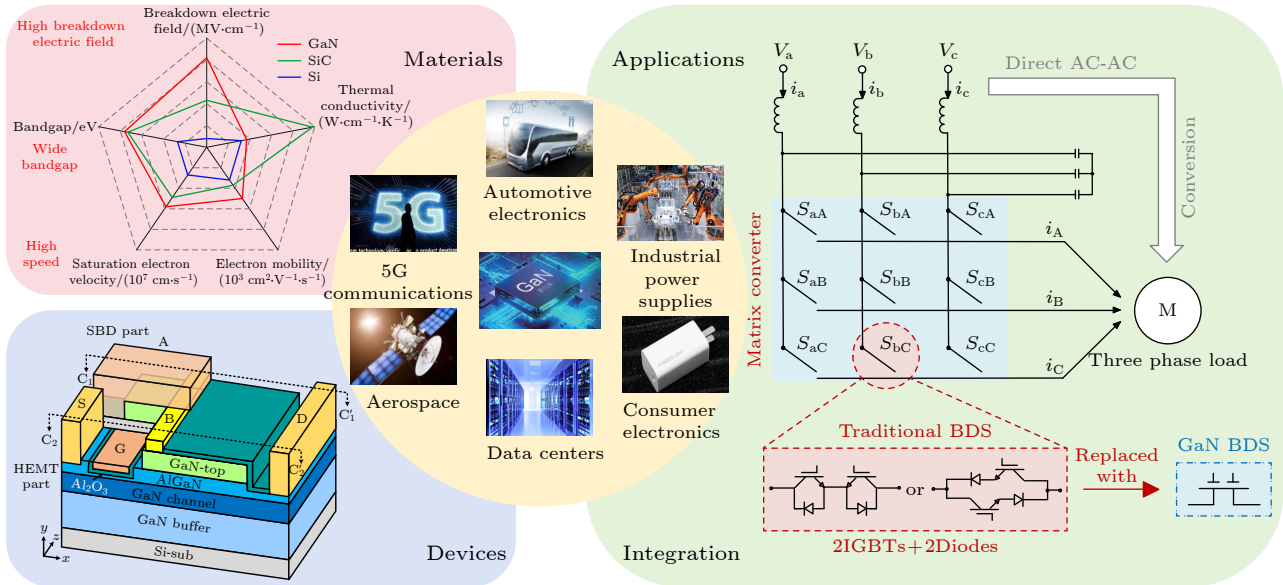
* Project supported by the Key Program of Joint Funds for Regional Innovation and Development of the National Natural Science Foundation of China (Grant No. U25A20493).

† Corresponding author. E-mail: xrluo@uestc.edu.cn

dynamic on-resistance (R_{ON}), and advanced integration.

This paper systematically reviews the challenges and recent progress of GaN power transistors across these domains. First, gate engineering is introduced, encompassing technologies for realizing normally-off operation and techniques for enhancing gate breakdown voltage. Next, technologies for improving breakdown voltage are analyzed, discussing in detail field plates, trench terminations, fluorine ion implantation, lateral superjunctions, and polarization superjunctions. Furthermore, the degradation mechanisms of dynamic R_{ON} and their corresponding optimization strategies are discussed. Finally, the latest developmental trends in power integration technologies are reviewed, covering bidirectional switches, half-bridge integration, monolithic drive-and-control integration, and GaN CMOS integration.

By tracing the trajectory of technological evolution, this review aims to elucidate the core structural, process, and integration challenges and research progress facing high-voltage, low-loss GaN power devices. Furthermore, it comparatively analyzes the advantages and limitations of different technical routes, elaborates on the trade-off relationships among various performance parameters in the design of GaN power devices, and ultimately provides perspectives on future development directions for realizing higher-voltage and higher-reliability GaN power transistors and their ICs: it is a road along the co-innovation of materials, devices, circuits, and systems.



Keywords: GaN high-electron-mobility transistors, gate engineering, electric field modulation, dynamic on-resistance, power integrated circuits

DOI: 10.7498/aps.75.20260966

CSTR: 32037.14.aps.75.20260966

高压低损耗GaN功率晶体管及其集成技术

罗小蓉 魏子俊 邓高强 魏杰 李肇基 张波

High-voltage low-loss GaN power transistors and their integration techniques

LUO Xiaorong WEI Zijun DENG Gaoqiang WEI Jie LI Zhaoji ZHANG Bo

引用信息 Citation: *Acta Physica Sinica*, 75, 180809 (2026) DOI: 10.7498/aps.75.20260966

CSTR: 32037.14.aps.75.20260966

在线阅读 View online: <https://doi.org/10.7498/aps.75.20260966>

当期内容 View table of contents: <http://wulixb.iphy.ac.cn>

您可能感兴趣的其他文章

Articles you may be interested in

GaN高电子迁移率晶体管界面工程对高温与动态偏压可靠性提升的作用机制

Mechanism of GaN high electron mobility transistor interface engineering in enhancing high-temperature and dynamic bias reliability

物理学报. 2026, 75(8): 180809 <https://doi.org/10.7498/aps.75.20251629>

氢离子注入GaN高电子迁移率晶体管栅极正向输运、退化与击穿

Forward transport, degradation, and breakdown of hydrogen-ion-implanted GaN high electron mobility transistor gate

物理学报. 2026, 75(5): 180809 <https://doi.org/10.7498/aps.75.20251343>

低压p-GaN高电子迁移率晶体管重离子辐照效应

Heavy ion irradiation effects in low-voltage p-GaN high-electron-mobility transistors

物理学报. 2026, 75(8): 180809 <https://doi.org/10.7498/aps.75.20251571>

氮化镓功率集成

Gallium nitride power integration

物理学报. 2026, 75(8): 180809 <https://doi.org/10.7498/aps.75.20260273>

浪涌电流应力下肖特基型p-GaN高电子迁移率晶体管器件可靠性

Reliability of Schottky-type p-GaN high-electron-mobility transistors under surge current stress

物理学报. 2026, 75(8): 180809 <https://doi.org/10.7498/aps.75.20251573>

重离子辐射对AlGaIn/GaN高电子迁移率晶体管低频噪声特性的影响

Effect of heavy ion radiation on low frequency noise characteristics of AlGaIn/GaN high electron mobility transistors

物理学报. 2024, 73(3): 036103 <https://doi.org/10.7498/aps.73.20221360>