

## 补充材料

### 钙钛矿相界面插层对 $\text{SrFeO}_x$ 基忆阻器的性能提升\*

陈开辉<sup>1)2)</sup> 樊贞<sup>1)2)†</sup> 董帅<sup>1)</sup> 李文杰<sup>1)</sup> 陈奕宏<sup>1)</sup> 田国<sup>1)</sup> 陈德杨<sup>1)</sup>

秦明辉<sup>1)</sup> 曾敏<sup>1)</sup> 陆旭兵<sup>1)</sup> 周国富<sup>2)</sup> 高兴森<sup>1)</sup> 刘俊明<sup>3)</sup>

1) (华南师范大学华南先进光电子研究院先进材料研究所, 广州 510006)

2) (华南师范大学华南先进光电子研究院, 广东省光信息材料与技术重点实验室  
和国家绿色光电子国际联合研究中心, 广州 510006)

3) (南京大学固体微结构物理国家重点实验室, 南京 210093)

对于本文的  $\text{Au}/\text{BM-SFO}/\text{SRO}$  和  $\text{Au}/\text{BM-SFO}/\text{PV-SFO}/\text{SRO}$  器件, 需要使用负向电压进行电铸而正向电压进行 SET, 该现象与文献[S1, S2]报道的一致, 其原因解释如下。

以  $\text{Au}/\text{BM-SFO}/\text{SRO}$  器件为例( $\text{Au}/\text{BM-SFO}/\text{PV-SFO}/\text{SRO}$  器件的原理类似, 不重复介绍), 在初始状态下,  $\text{BM-SFO}$  层内并无  $\text{PV-SFO}$  导电细丝。若  $\text{Au}$  电极施加负向电压进行电铸,  $\text{Au}$  中吸附的氧气电离为氧离子并被注入至  $\text{BM-SFO}$  层中, 然后迅速漂移至  $\text{BM-SFO}/\text{SRO}$  界面并进行堆积, 使局部  $\text{BM-SFO}$  相转变为  $\text{PV-SFO}$  相, 这可能是导电细丝的形核过程(如图 S1(b))。持续施加负向电压,  $\text{PV-SFO}$  相导电细丝向上生长, 通过控制负向电压和限制电流的大小, 可让导电细丝并不完全贯穿  $\text{BM-SFO}$  层(如图 S1(c)和图 S1(d)); 即电铸完成后, 器件处于高阻态 HRS (但该态电导相比于初始态明显降低)。然后再施加正电压, 氧离子可从  $\text{SRO}$  中抽出, 并通过已经形成的  $\text{PV-SFO}$  导电细丝向上迁移, 使导电细丝完全贯穿  $\text{BM-SFO}$  层, 形成低阻态 LRS。上述机理可解释为何用负电压进行

电铸而用正电压进行 SET。

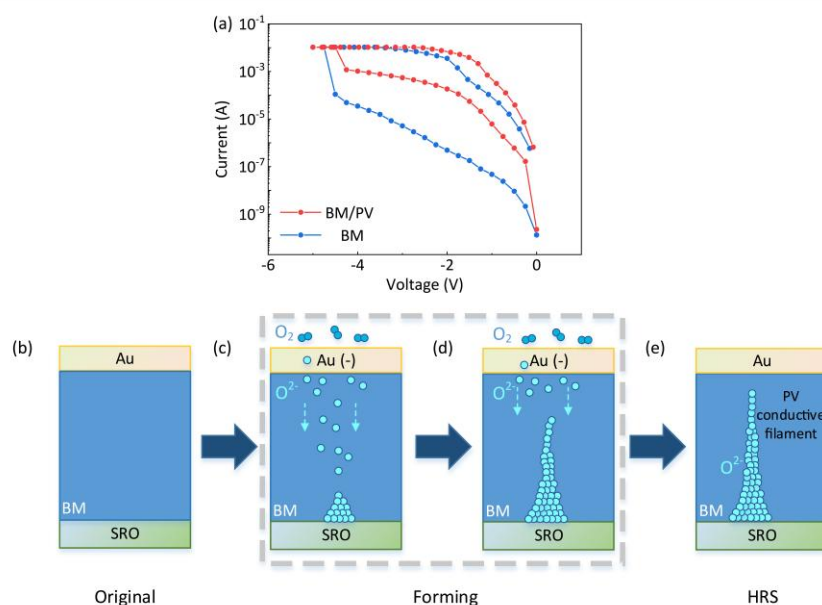


图 S1 (a) BM-SFO/PV-SFO 双层忆阻器和 BM-SFO 单层忆阻器电铸过程  $I$ - $V$  曲线图；(b) Au/BM-SFO/SRO 器件初始状态；(c), (d) Au/BM-SFO /SRO 器件在顶电极外加负向偏压下的电铸过程；(e)电铸结束后 Au/BM-SFO/SRO 器件内部形成 PV-SFO 导电细丝

Fig. S1.  $I$ - $V$  characteristics of BM-SFO/PV-SFO double-layer memristor and BM-SFO single-layer memristor in the electroforming process; (b) initial state of the Au/BM-SFO/SRO device; (c), (d) electroforming process of the Au/BM-SFO /SRO device with negative bias applied to the top electrode; (e) formation of PV-SFO conductive filaments inside the Au/BM-SFO /SRO device after electroforming.

若使用正电压进行电铸，所需要的电压很大(>10 V)，而且电铸完成后薄膜已完全击穿，无法体现阻变行为(结果未展示)。究其原因，可能是正电压电铸过程中，氧离子需要从 SRO 中抽出并向上迁移，但由于初始态下 BM-SFO 层中并无 PV-SFO 导电细丝作为氧离子传导的“桥梁”，因此氧离子迁移相对困难，需要很

大的电铸电压。

导电细丝型忆阻器在 LRS 下由于导电细丝连通, 通常表现出欧姆导电行为, 而在 HRS 下由于导电细丝断开, 通常表现出 SCLC 等导电行为<sup>[S1,S3]</sup>. 通过对 LRS 和 HRS 下  $I$ - $V$  曲线的拟合, 可以推导出导电机理, 进而判断是否与导电细丝模型一致.

如图 S2 所示, 单层忆阻器和双层忆阻器的 LRS 过程的  $I$ - $V$  曲线斜率分别为 1.055 和 1.129, 斜率接近 1, 这与欧姆导电的公式

$$I_{\text{Ohm}} = qn_0\mu \frac{V}{Ad_s} \quad (\text{S1})$$

相一致, 这说明在 LRS 状态下由欧姆导电主导. (S1) 式中,  $q$  为元电荷,  $n_0$  为热平衡状态下自由载流子浓度,  $\mu$  为电子迁移率,  $A$  为导电区域横截面积,  $d_s$  为导电区域长度.

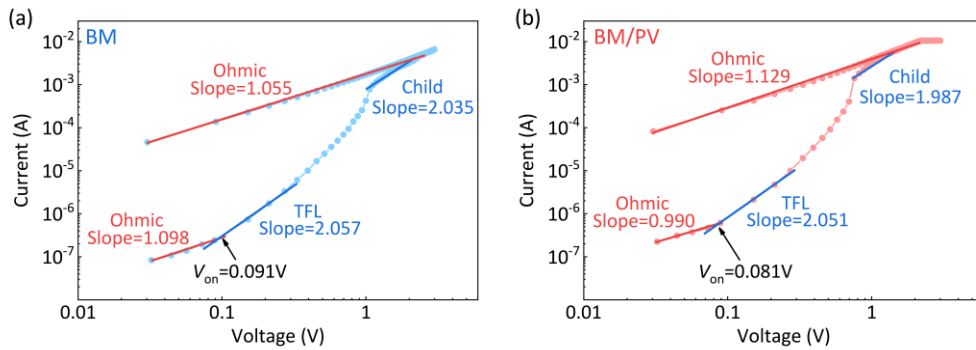


图 S2 (a) BM-SFO 单层忆阻器和 (b) BM-SFO/PV-SFO 双层忆阻器  $I$ - $V$  曲线拟合结果

Fig. S2.  $I$ - $V$  curve fitting results for (a) BM-SFO single-layer memristor and (b) BM-SFO/PV-SFO double-layer memristor.

对于这两种器件(图 S2)的中 HRS 的导电状态可以分为 4 个部分, 当  $V < V_{\text{on}}$  ( $V_{\text{on}}$  为欧姆导电和陷阱填充受限(TFL)导电之间的切换电压),  $I$ - $V$  曲线斜率分别为 1.098 和 0.990, 符合欧姆导电的特性. 当  $V > V_{\text{on}}$  时,  $I$ - $V$  曲线斜率分别为 2.057 和 2.051, 斜率近似为 2, 电压增大直到斜率趋于稳定时, 两种器件的  $I$ - $V$  曲线斜率分别为 2.035 和 1.987, 斜率也近似为 2, 这两个部分分别符合 TFL 的导电公式和 Child 导电的公式:

$$I_{\text{TFL}} = \frac{9}{8} \varepsilon \mu_n \theta \frac{V^2}{A d_s^3}, \quad (\text{S2})$$

$$I_{\text{Child}} = \frac{9}{8} \varepsilon \mu_n \frac{V^2}{A d_s^3}, \quad (\text{S3})$$

其中  $\theta < 1$ , 是自由载流子密度与总载流子(自由和俘获)密度之比;  $\varepsilon$  为静态介电常数. 从 TFL 导电到 Child 导电的中间过渡阶段是导电细丝开始连接的过程, 此时器件  $I$ - $V$  曲线的斜率远大于 1.

根据上述分析得出, 两种器件的 LRS 中的  $I$ - $V$  行为符合欧姆导电, HRS 中的  $I$ - $V$  行为符合带有许多浅层陷阱的 SCLC, 因此, 可以推测出该器件为导电细丝型忆阻器.

导电细丝型忆阻器的细丝断开距离可以用以下公式<sup>[S3]</sup>表示:

$$d_s = \left( \frac{9}{8} V_{\text{on}} R_{\text{Ohm}} \mu_n A \varepsilon \theta \right)^{1/3}, \quad (\text{S4})$$

其中  $R_{\text{Ohm}}$  是 HRS 状态欧姆导电的电阻, 其中的  $V_{\text{on}}$ ,  $R_{\text{Ohm}}$  和  $\theta$  可以从图 S2 中得到, 最终可求得  $d_{s\_BM/PV}/d_{s\_BM} = 0.798$ , 即双层忆阻器中导电细丝的断裂距离相比于单层忆阻器缩短了约 20%. 导电细丝断裂距离缩短, 有利于降低断裂过程的随机性, 所以双层忆阻器 HRS 电导分布相比于单层忆阻器更加集中.

为了探究双层忆阻器中导电细丝断裂的位置，使用未 forming 的 BM/PV 器件，提供外部偏压的探针接到 A 电极上，而 B 电极连接接地的探针，如图 S3(a) 所示，这样两个器件就被反向串联起来。施加 +8 V 偏置电压 10 s 使其 SET，然后使用 0.2 V 读取电压分别读取顶电极 A 或 B 和底电极之间的电流以确认电阻值 (如图 S3(b)和图 S3(c)所示)。接着再次进行写入，通过 A 电极施加 -12 V 外部偏置电压 10 s，而 B 电极接地，使其 RESET，然后使用同样方法分别读取顶电极 A 或 B 和底电极之间的电流。

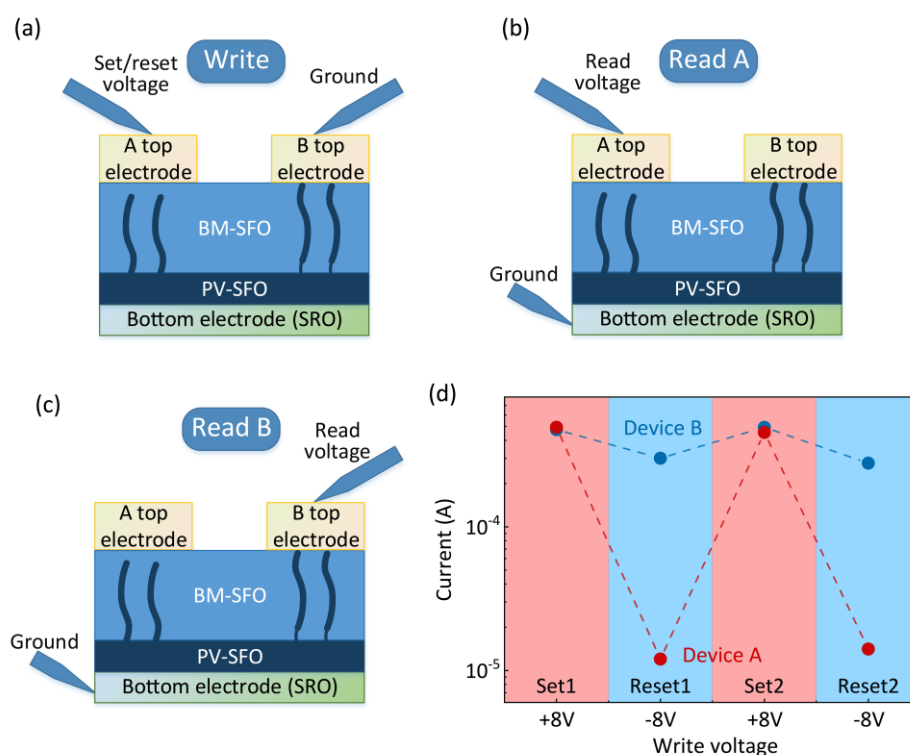


图 S3 BM-SFO/PV-SFO 双层忆阻器断裂位置测试的(a)写入过程、(b) A 电极读取过程、(c) B 电极读取过程示意图以及(d)测试结果

Fig. S3. Schematic diagrams of (a) writing process, (b) reading process of the device with Electrode A and (c) reading process of the device with Electrode B and (d) test results revealing the location of filament rupture in the BM-SFO/PV-SFO double-layer memristor.

重复上述 SET、读取、RESET、读取过程多次，所获得的读取电流如图 S3(d) 所示，只有 A 电极的器件的电流值发生大幅度变化，而 B 电极的器件的电流值几乎不变。因此可以推测出导电细丝的断开更容易发生在施加正偏的顶电极附近，这和 Kim 等<sup>[S1]</sup>观测到的结果一致。

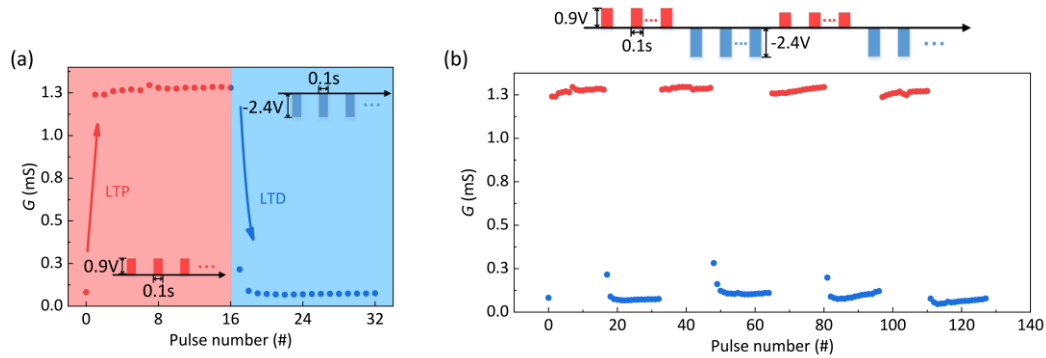


图 S4 (a) BM-SFO 单层忆阻器的 LTP 和 LTD 特性曲线，所施加脉冲如插图所示；(b) 单层忆阻器多次循环下的 LTP 和 LTD 特性曲线，上方插图展示了所施加的脉冲

Fig. S4. (a) LTP and LTD characteristics of the BM-SFO single-layer memristor, and the insets show the schematics of applied pulses; (b) multi-cycle LTP and LTD characteristics of the single-layer memristor, and the upper inset shows schematics of the applied pulses.

### 参考文献

[S1] Kim H G, Nallagatla V R, Kwon D H, Jung C U, Kim M 2020 *J. Appl. Phys.* **128** 074501

[S2] Acharya S K, Jo J, Raveendra N V, Dash U, Kim M, Baik H, Lee S, Park B H, Lee J S, Chae S C, Hwang C S, Jung C U 2017 *Nanoscale* **9** 10502

[S3] Kim K M, Choi B J, Shin Y C, Choi S, Hwang C S 2007 *Appl. Phys. Lett.* **91** 012907