

# Au/PZT/BIT/p-Si 异质结的制备与性能研究\*

王 华<sup>1,2)</sup> 于 军<sup>1)</sup> 董小敏<sup>1)</sup> 王耘波<sup>1)</sup> 周文利<sup>1)</sup> 赵建洪<sup>1)</sup> 周东祥<sup>1)</sup>

<sup>1)</sup> 华中科技大学电子科学与技术系, 武汉 430074)

<sup>2)</sup> 桂林电子工业学院电子信息分院, 桂林 541004)

(2000 年 5 月 1 日收到, 2000 年 12 月 13 日收到修改稿)

采用脉冲激光沉积(PLD)工艺,制备了以  $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ (BIT)为过渡阻挡层的 Au/PZT/BIT/p-Si 异质结. 研究了 BIT 铁电层对  $\text{Pb}(\text{Zr}_{0.52}\text{Ti}_{0.48})\text{O}_3$ (PZT)薄膜晶相结构、铁电及介电性能的影响,对 Au/PZT/BIT/p-Si 异质结的导电机制进行了讨论. 氧气气氛 530℃ 淀积的 PZT 为多晶铁电薄膜,与直接淀积在 Si 基片上相比,加入 BIT 铁电层后 PZT 铁电薄膜的(110)取向更加明显. 在铁电层总厚度均为 400 nm 的情况下,PZT/BIT 双层铁电薄膜比 PZT 单层铁电薄膜具有更大的剩余极化和更低的矫顽场. 观察到顺时针回滞的  $C-V$  特性曲线,表明铁电极化控制了硅的表面势,薄膜呈现极化开关的特性; $I-V$  特性曲线表明异质结具有明显的单向导电性,并证实异质结在弱场下导电遵循欧姆定律,强场下以空间电荷限制电流(SCLC)为主. 异质结具有较好的疲劳特性, $10^9$  次极化反转后其剩余极化仍达到初始值的 90%.

关键词:铁电薄膜,异质结构,脉冲激光沉积(PLD)

PACC:8140,7780,81151

## 1 引 言

$\text{Pb}(\text{Zr}_x\text{Ti}_{1-x})\text{O}_3$ (PZT)系列铁电薄膜具有优良的介电与铁电性能,是当前应用最广、研究最深入的铁电薄膜材料之一. 以 PZT 铁电薄膜作存储介质的铁电存储器具有非易失性、存储高速和密度高、抗辐射能力强、操作电压低、可与半导体 Si 或 GaAs 基集成工艺兼容而倍受重视<sup>[1-4]</sup>. 脉冲激光沉积工艺具有成膜温度低、生长速率高、组分易于控制的特点,这些特点决定了这一工艺特别适合以制作高密度铁电存储器件为目标的铁电薄膜的制备,特别是其较低的成膜温度对 Si 基集成工艺来说是非常重要的.

高性能铁电存储器应用的关键在于制备高质量的铁电薄膜. 然而,在 Si 基上直接淀积高质量的 PZT 铁电薄膜却十分困难. 由于 PZT 与 Si 之间除存在较大的晶格失配外,存在较严重的界面反应与互扩散,这将导致器件漏电流大,保持时间短甚至不能实现极化存储. 为了解决界面问题,许多电介质,如  $\text{CeO}_2$ ,  $\text{SiO}_2$  和  $\text{CaF}_2$ , 作为过渡阻挡层被引入 PZT 与 Si 之间<sup>[5-7]</sup>. 但由于这些电介质的介电常数比 PZT 低一至二个数量级,且本身并不具有铁电性,必然削弱

薄膜的铁电性能并使相应的铁电存储器工作电压大大增加,以致难以达到实用器件的要求.

$\text{Bi}_4\text{Ti}_3\text{O}_{12}$ (BIT)为层状钙钛矿结构铁电材料, $c$  轴取向的 BIT 薄膜与 Si 衬底有良好的晶格匹配,以 BIT 作为 PZT 与 Si 之间的过渡阻挡层,既可以起到改善界面,缓解界面反应与互扩散,又能充分利用其铁电性能的作用. 基于这一思想,本文采用准分子激光脉冲沉积工艺制备了 Au/PZT/BIT/p-Si 和 Au/PZT/p-Si 两种结构的异质结,研究了 BIT 的引入对 PZT 铁电薄膜的晶相结构、铁电及介电性能的影响.

## 2 实 验

实验采用德国 Lambda Physik 公司的 EMG201MSC 型准分子激光器,其工作气体为  $\text{XeCl}$ , 输出激光波长为 308 nm,脉冲宽度为 28 ns,单脉冲最大输出能量约 300 mJ,频率在 0—80 Hz 范围内连续可调. 淀积时脉冲频率为 8 Hz,激光束通过光学扫描系统聚焦于陶瓷靶面,激光能量密度为  $3\text{J}/\text{cm}^2$ ,激光束与靶面成  $45^\circ$  角,靶-基距离为 40 mm. 靶台上能同时放置四块靶材,可通过旋转靶台来选择不同的靶材.  $\text{Pb}(\text{Zr}_{0.52}\text{Ti}_{0.48})\text{O}_3$ (PZT)和  $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ (BIT)陶瓷

\* 国家自然科学基金(批准号 69771024)资助的课题.

靶材按名义成分配料 ,PZT 中 PbO 过量 10% ,采用传统工艺压成厚 5mm、直径 25mm 的圆片进行烧结 ,烧结温度为 1200℃ . 基片选用电阻率为 6—9Ω·cm 的 (100) p-Si 单晶片 . 淀积前真空抽至  $1.33 \times 10^{-3}$  Pa 以下 ,淀积系统温度由镍铬—镍铝热电偶与 JWT-U 型恒温器测量和控制 . 淀积 BIT 和 PZT 薄膜时 ,通入高纯氧气 ,使系统真空度保持在 13.3—26.7Pa ,淀积温度分别为 650℃ 和 530℃ ,对 Au/PZT/BIT/p-Si 结构 ,PZT 和 BIT 的厚度分别为 300 nm 和 100 nm ,对 Au/PZT/p-Si 结构 ,PZT 的厚度为 400 nm . 膜厚由 Rudolph/Auto III 型自动椭偏仪测得 . 用掩膜法制备 Au 上电极 ,其厚度为 50 nm ,直径为 0.4 mm . 用 X 射线衍射 (XRD) ,Sawyer-Tower 电路、HP4192A 型低频阻抗分析仪、ZC36 型高阻计等测试手段分别研究了薄膜的晶相结构、铁电性能、疲劳特性、*C-V* 特性和 *I-V* 特性 .

### 3 结果与讨论

图 1 为 PZT/BIT 双层膜和 PZT 薄膜的 X 射线衍射 (XRD) 图谱 . 该图谱显示 ,BIT 薄膜为 *c* 轴择优取向生长的 ;至于 PZT 薄膜 ,无论是直接淀积在 Si 基片上还是淀积在 BIT 过渡层上 ,均可看到来自 (110)(111)(002)(112)和(211)面的衍射峰 ,表明 PZT 薄膜为多晶状态 . 比较可见 ,加入 BIT 过渡层后 PZT 薄膜上述各衍射峰均有所增强 ,而且其 (110)取向度  $\alpha = I_{(110)} / [I_{(110)} + I_{(111)}]$  由 55.3% 增加到 72.6% ,沿(110)的择优取向更加明显 ,说明 BIT 铁电层的加入改善了 PZT 钙钛矿相的结晶性能 . 我们认为 ,这是因为 *c* 轴取向的 BIT 薄膜与 Si 衬底良好的晶格匹配有利于 BIT 薄膜在 Si 衬底上外延生长 ;PZT 晶体的形核自由能远高于其晶粒长大自由能<sup>[8]</sup> ,PZT 薄膜的晶化是形核速率控制的过程 ,而层状钙钛矿结构的 BIT 与钙钛矿结构的 PZT 在结构上相近 ,淀积 BIT 薄膜就相当于给 PZT 薄膜的生长提供结晶核 ,因而 PZT 薄膜更易于在 BIT 上形核生长 .

采用 HP4192A 低频阻抗分析仪对所制备的 Au/PZT/BIT/p-Si 异质结的 *C-V* 特性进行了测试 . 测试时交流小信号幅度为 100mV ,直流偏压从 0V 开始 ,扫至 -10V ,然后回扫至 +10V ,再回到 0V ,直流递进幅度为 0.5V . 电容稳定 3—5s 后 ,记录下电容值 . 图 2 为测试结果 . 由图可见 ,异质结表现出与传统 MOS 结构相似的 *C-V* 特性 ,图中清晰地表明了 MFS

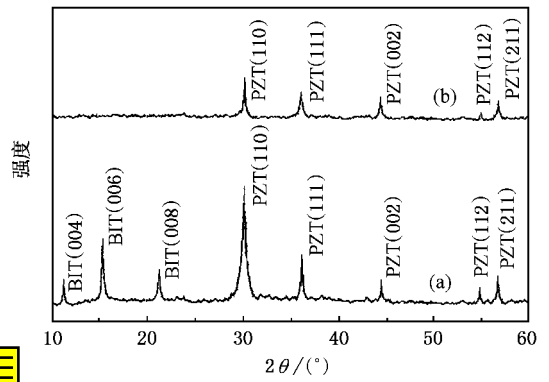


图 1 (a)PZT/BIT/p-Si 双层膜和 (b)PZT/p-Si 薄膜的 X 射线衍射图谱

(metal-ferroelectric-semiconductor)结构的积累区、耗尽区和反型区 . 但与传统 MOS 结构不同的是 ,该 MFS 异质结的 *C-V* 特性曲线的回线方向为顺时针 ,说明薄膜的铁电极化控制了 Si 的表面势 ,信息存储将可以通过铁电薄膜极化引起半导体表面电荷补偿来实现 ,其记忆窗口的宽度表征了铁电薄膜剩余极化的大小<sup>[9]</sup> . 我们还对不同频率下的非回线电容—电压关系进行了测试 ,结果如图 3 所示 . 测试时偏压从 +10V 开始 ,逐步降低偏压至 -10V ,递减幅度为 0.5V ,电容稳定 3—5s 后 ,记录下电容值 . 从结果来看 ,虽然不同频率下电容随电压的变化均显示出 p 型衬底所具有的特点 ,但频率变化时 *C-V* 特性出现明显的色散特性 ,而且在正偏压较大时 ,电容的变化呈现一定的波动 ,特别是低频时这一现象更为明显 . 从图 2 也看到 ,在较大的正偏压区域存在“拖尾”现象 . 这说明在铁电薄膜中界面态的形成和一定程度的陷阱存在 .

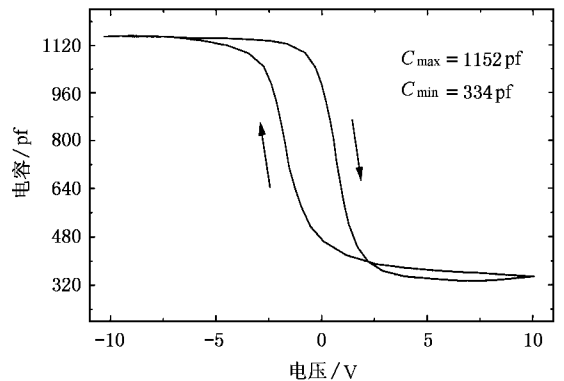


图 2 测试频率 100kHz 时 ,Au/PZT/BIT/p-Si 异质结的 *C-V* 特性曲线

采用 ZC43 型高阻计对 Au/PZT/BIT/p-Si 异质结的 *I-V* 特性进行了测试 . 测试时所加偏压从 0V 变化到 +4V ,然后从 +4V 变化到 -4V ,最后从 -4V 变

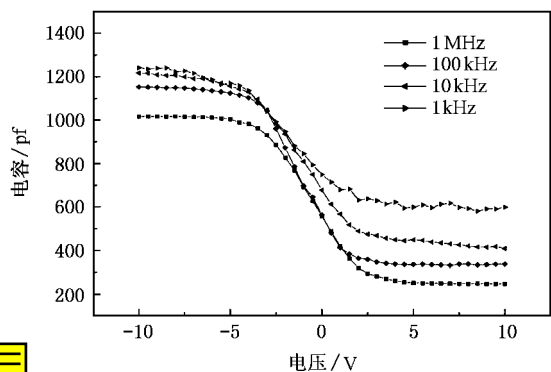


图3 不同频率下 Au/PZT/BIT/p-Si 异质结的非回线 C-V 特性

化到0V, 递变幅度为0.2V。图4为测试结果, 从图4显示, 该异质结表现出肖特基二极管的特性, 并且在偏压回扫过程出现 I-V 特性曲线的漂移, 形成回滞。它的产生源于铁电薄膜的极化迟滞<sup>[10]</sup>, 图5(a)(b)分别为异质结的正、反向 I-V 特性, 测试时所加偏压分别从0V增加到+4V和从0V变化到-4V, 递变幅度0.2V。由图可见, +4V偏压下电流密度为  $6.7 \times 10^{-8} \text{ A/cm}^2$ , 而-4V偏压下电流密度仅  $-5.3 \times 10^{-10} \text{ A/cm}^2$ , 比正向偏压下的电流密度小两个数量级以上, 表明所制备的异质结具有明显的单向导电性。为了探讨 Au/PZT/BIT/Si 异质结的漏电流形成机制, 测试了该异质结在正向偏压下每变化0.08V时的电流密度, 并将其转换成  $\log I/\log V$  曲线, 如图6所示。由图可见, 在不同的电压范围,  $\log I/\log V$  值不同, 这一结果表明, 不同电压范围, 起主导作用的导电机制不同: 外加电压处于0—1.6V范围内时,  $\log I/\log V$  的值接近为1, 即 I-V 成线性关系, 说明此时漏电流遵循欧姆定律, 这是因为在低场下, 由电极注入膜内的电子很少, 漏电流主要由热激发产生的

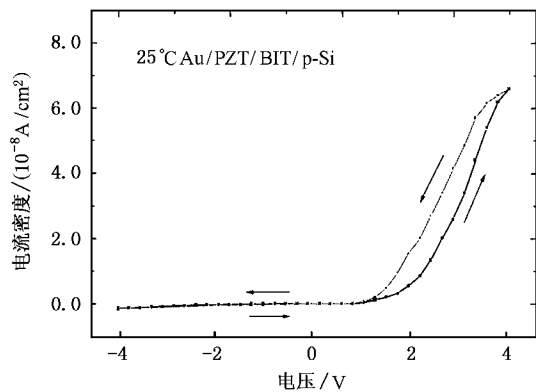


图4 Au/PZT/BIT/p-Si 异质结 I-V 特性回滞曲线

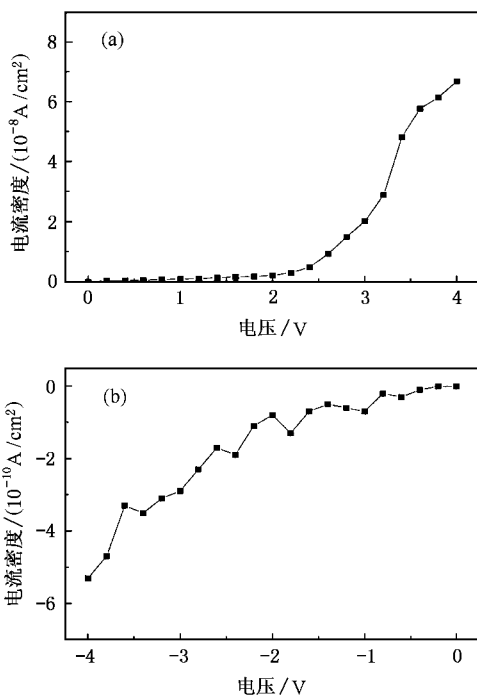


图5 Au/PZT/BIT/p-Si 异质结的 I-V 特性 (a)正向 I-V 特性和(b)反向 I-V 特性

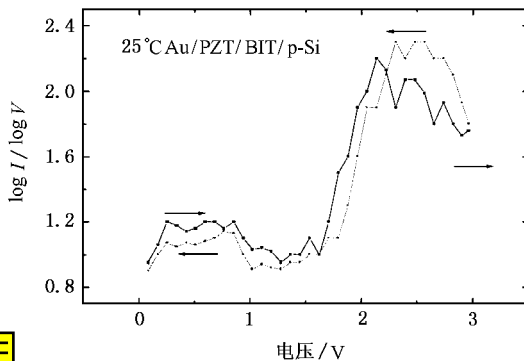


图6 Au/PZT/BIT/p-Si 异质结正向 I-V 特性分析

由价带跃入导带的电子的浓度决定; 当外加电压在1.6—2.2V之间时,  $\log I/\log V$  的值不确定, 说明在欧姆区与空间限制电荷电流(SCLC)区之间存在过渡区域, 这很可能与薄膜中的电子陷阱有关, 而电压在2.2—3.0V范围时,  $\log I/\log V$  的值约为2, 即 I-V 特性呈现平方律关系, 说明在强场区 SCLC 占主导地位<sup>[11]</sup>, 而空间电荷限制电流和铁电薄膜与半导体界面的互反应及互扩散程度、晶格匹配度、界面态密度等直接相关。因此, 减少界面态, 控制载流子的注入是降低漏电流的有效途径。由于 BIT 的晶格常数为  $a = 0.541 \text{ nm}$ ,  $b = 0.545 \text{ nm}$ ,  $c = 3.28 \text{ nm}$ ,  $c$  轴取向的 BIT 与 Si(100) ( $a = 0.543 \text{ nm}$ ) 晶格匹配良好, 界面态

密度大大降低. 此外, BIT 的加入将缓解 PZT 与 Si 之间的互扩散, 减少由于 Pb 缺位而产生的陷阱态, 从而降低漏电流密度.

薄膜的电滞回线用 Sawyer-Tower 电路进行测量. 图 7 为用 10kHz 正弦波测得的 Au/PZT/BIT/p-Si 和 Au/PZT/p-Si 两种异质结的 P-E (Polarization-Electric field) 电滞回线. Au/PZT/BIT/p-Si 异质结显示出更加饱和、矩形度更好的电滞回线, 其剩余极化和矫顽场分别约为  $15\mu\text{C}/\text{cm}^2$  和  $48\text{kV}/\text{cm}$ , 而直接淀积在 Si 基上的 Au/PZT/p-Si 异质结的相应值为  $13\mu\text{C}/\text{cm}^2$  和  $55\text{kV}/\text{cm}$ . 我们认为, Au/PZT/BIT/p-Si 异质结大的剩余极化和低的矫顽场应归功于 *c* 轴取向的 BIT 的引入. 层状钙钛矿结构的 BIT 薄膜的极化和矫顽场强烈地依赖于薄膜的结晶取向, 在 *a* 轴方向, 其  $P_r$  约  $50\mu\text{C}/\text{cm}^2$ , *c* 轴方向  $P_r$  约  $4\mu\text{C}/\text{cm}^2$ , *a*, *c* 轴方向的矫顽场分别约为  $50\text{kV}/\text{cm}$  和  $3\text{—}5\text{kV}/\text{cm}$ . 尽管 *c* 轴取向的 BIT 的剩余极化较小, 但由于 BIT 与 PZT 在结构上的相近, 更有利于 PZT 薄膜钙钛矿相的形核与生长, 提高了 PZT 的铁电性能, 从而使 PZT/BIT 薄膜系统的铁电性能也有所提高; 另一方面, *c* 轴取向的 BIT 比 *a* 轴取向具有小得多的矫顽电场, 因而降低了 PZT/BIT 薄膜系统的矫顽场.

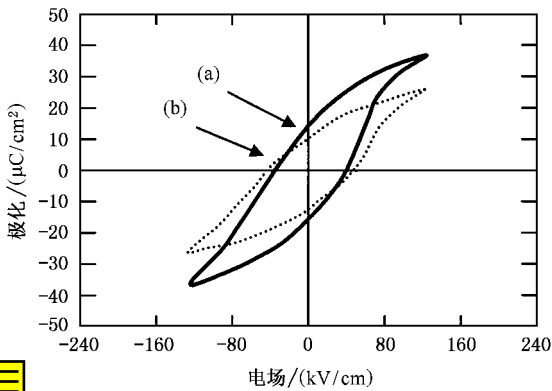


图 7 PZT/BIT/p-Si (a) 和 PZT/p-Si (b) 异质结的 P-E 电滞回线, 测试频率 10kHz

图 8 表示在外加电压  $\pm 5\text{V}$ ,  $10\text{kHz}$  方波情况下, Au/PZT/BIT/p-Si 和 Au/PZT/p-Si 两种异质结的疲劳特性曲线. 结果表明, 两种异质结表现出相同的疲劳行为趋势, 在较长的初始阶段(前者达  $10^7$  次循环, 后者达  $10^5$  次循环), 剩余极化  $P_r$  和矫顽场  $E_c$  几乎不变, 之后开始缓慢变化, 随之而来的是  $P_r$  的迅速下降和  $E_c$  的迅速增加, 最后二者变化均趋于平缓. 但 Au/PZT/BIT/p-Si 异质结经过  $10^9$  循环后,

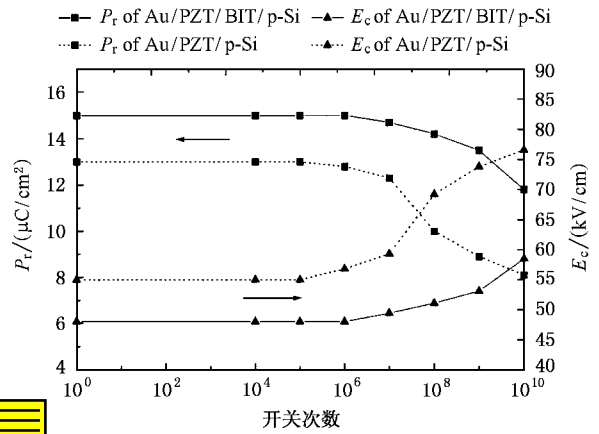


图 8 外加电压  $\pm 5\text{V}$ ,  $10\text{kHz}$  方波情况下 Au/PZT/BIT/p-Si 和 Au/PZT/p-Si 异质结的疲劳曲线

$P_r$  仅下降 10%,  $E_c$  增加 11%, 而 Au/PZT/p-Si 异质结仅经过  $10^7$  循环,  $P_r$  就下降 10%,  $E_c$  增加 12%, 表明 Au/PZT/BIT/p-Si 结构具有比 Au/PZT/p-Si 结构更优的耐疲劳特性. 由于 BIT 为层状钙钛矿结构, 其钙钛矿子晶格在 *c* 轴方向是不连续的, 而在 *a*, *b* 轴方向是连续的, 因此晶体中多数为  $180^\circ$  电畴. 而  $180^\circ$  电畴比  $90^\circ$  电畴钉扎的概率要小得多, 因此减少了  $90^\circ$  电畴也就改善了疲劳. 其次 *c* 轴取向的 BIT 铁电薄膜与 (100) Si 衬底晶格匹配良好, 铁电薄膜与衬底之间的应力大为减小, 而应力的存在被认为是导致薄膜疲劳的原因之一. 此外, BIT 还可以阻挡 PZT 中氧空位向铁电薄膜/硅衬底界面的堆积, 这对改善疲劳特性会起到积极的作用.

### 4 结 论

采用准分子脉冲激光沉积工艺, 在 Si 衬底上成功地制备了 Au/PZT/BIT/p-Si 异质结. 实验证实, PZT 与 Si 衬底之间引入 *c* 轴取向的 BIT 过渡阻挡层有利于 PZT 薄膜钙钛矿相的形核与生长, 其 (110) 取向更加明显; 总厚度相同的 PZT/BIT 双层铁电薄膜比 PZT 单层膜具有更大的剩余极化和更小的矫顽场; 顺时针回滞的 *C-V* 特性曲线表明铁电极化控制了硅的表面势, 薄膜呈现极化开关的特性, 界面态的形成及薄膜中陷阱的存在使 *C-V* 曲线出现“拖尾”和色散现象; *I-V* 特性曲线证实异质结具有明显的单向导电性, 其导电行为在弱场下遵循欧姆定律, 强场下以空间电荷限制电流 (SCLC) 为主;  $10^9$  次极化循环后剩余极化仅下降 10%, 矫顽场增加 11%. 结果

表明,采用 PLD 工艺并以 BIT 作为过渡阻挡层,可以制备出在铁电存储器领域有应用前景的 Au/PZT/ BIT/p-Si 异质结.

- [ 1 ] J. F. Scott , C. A. Araujo , *Science* **246**( 1989 ) ,1400 .
- [ 2 ] S. Sinharoy , H. Buhay , D. R. Lampe *et al.* , *J. Vac. Sci. Tech.* , **A10**( 1992 ) ,1554 .
- [ 3 ] Y. Watanabe , M. Tanamura , Y. Matsumots , *Jpn. J. Appl. Phys.* , **35**( 1996 ) ,1564 .
- [ 4 ] De-xin Lu , Zuo-yi Li , Jian-she Liu , Long-bo Huang , *Acta Physica Sinica* **A3**( 1994 ) ,1932 [ in Chinese ] 卢德新、李佐宜、刘建设、黄龙波 *物理学报* **A3**( 1994 ) ,1932 .
- [ 5 ] H. Tadahiko , T. Kazuhiro , N. Takeharu , *Jpn. J. Appl. Phys.* , **33**( 1994 ) ,5129 .
- [ 6 ] Jun Yu , Jian-hong Zhao , Wen-li Zhou *et al.* , *Appl. Phys. Lett.* , **70**( 1997 ) ,490 .
- [ 7 ] H. Buhay , S. Sinharoy , W. H. Kasner , *Appl. Phys. Lett.* , **58**( 1991 ) ,1470 .
- [ 8 ] C. K. Kwok , S. B. Desu , *J. Mater. Res.* **8**( 1993 ) ,339 .
- [ 9 ] Y. S. Wu , *IEEE Trans. Electron. Dev.* **ED-21**( 1974 ) ,A99 .
- [ 10 ] P. W. M. Blom , R. M. Wolf , J. F. M. Gillessen *et al.* , *Phys. Rev. Lett.* **73**( 1994 ) ,2107 .
- [ 11 ] J. F. Scott , C. A. Araujo , B. M. Melick *et al.* , *J. Appl. Phys.* **70**( 1991 ) ,382 .

## PREPARATION AND CHARACTERIZATION OF THE Au/PZT/BIT/p-Si HETEROSTRUCTURE\*

WANG HUA<sup>1)2)</sup> YU JUN<sup>1)</sup> DONG XIAO-MIN<sup>1)</sup> WANG YUN-BO<sup>1)</sup> ZHOU WEN-LI<sup>1)</sup> ZHAO JIAN-HONG<sup>1)</sup> ZHOU DONG-XIANG<sup>1)</sup>

<sup>1)</sup> Department of Electronic Science & Technology , Huazhong University of Science & Technology , Wuhan 430074 , China )

<sup>2)</sup> Department of Electron & Information , Guilin institute of Electronic Technology , Guilin 541004 , China )

( Received 1 May 2000 ; revised manuscript received 13 December 2000 )

### ABSTRACT

The Au/PZT/BIT/p-Si heterostructure was fabricated by pulsed laser deposition technique. The effect of introducing a BIT buffer layer between the PZT films and Si substrate on the crystallinity , the ferroelectric characteristics and the electrical characteristics of the ferroelectric film system , as well as the conductivity behavior of the Au/PZT/BIT/p-Si heterostructure were investigated. The PZT films deposited on p-Si with a BIT buffer layer were found to grow with a preferred orientation along ( 110 ) direction. In the case of identical thickness ( 400 nm ) of ferroelectric layer , the PZT/BIT multilayer ferroelectric thin films showed a better ferroelectric property than PZT thin films. The clockwise rotational *C-V* hysteresis loop of the Au/PZT/BIT/p-Si heterostructure indicated that the PZT/BIT ferroelectric thin films had controlled the Si surface potential and showed a characteristic of polarization-type switching. The current-voltage ( *I-V* ) curves showed that the heterostructure was conductive only in the one voltage direction and the leakage currents are too low to identify in the opposite direction. The conduction in low voltage region displays an ohmic behavior and the current transportation in ferroelectric thin films at the high voltage region is ascribed to the space-charge limited current. The remnant polarization of the PZT/BIT films system remained to be 90% of the initial value after 10<sup>9</sup> bipolar switching cycles.

**Keywords** : ferroelectric thin films , heterostructure , PLD

**PACC** : 8140 , 7780 , 81151