

pn 结电容-电压法测量应变 SiGe 禁带宽度*

舒 斌 戴显英 张鹤鸣

(西安电子科技大学微电子研究所, 西安 710071)

(2003 年 3 月 4 日收到, 2003 年 4 月 9 日收到修改稿)

利用应变 SiGe/Si 异质 pn 结电容-电压($C-V$)特性确定 SiGe 禁带宽度的技术. 该技术根据 SiGe/Si 异质 pn 结 $C-V$ 实验曲线, 计算出 pn 结接触电势差, 并得到 SiGe/Si 的价带偏移量和导带偏移量, 进而求得 SiGe 禁带宽度. 该技术测试方法简便, 其过程物理意义清晰, 既适用于分立的 SiGe/Si 异质 pn 结, 也可直接分析 SiGe/Si 异质结器件中的 SiGe 禁带宽度. 实验结果与理论计算及其他相关文献报道的结果符合较好.

关键词: SiGe/Si 异质 pn 结, $C-V$ 禁带宽度

PACC: 7340L, 7125T

1. 引 言

应变 SiGe/Si 异质结应用于高速微电子和光电子器件有明显的优势, 而 SiGe 材料的禁带宽度是实现和优化应用目标的关键参数. 因此, 在应用中分析 SiGe 的禁带宽度是十分必要的. 文献已经报道了多种测量应变 SiGe 材料禁带宽度的技术, 比如深能级瞬态谱法^[1], 导纳谱法^[2], 电导法^[3], MOS $C-V$ (电容-电压)法^[4]等. 在这些方法中, SiGe 的禁带宽度依据相应测量数据, 然后通过相应理论公式提取得到. 这些技术的实验结果与理论数据都符合较好, 但是它们的过程却较为复杂. 通过光荧光谱(PLS)和光压谱(PVS)虽可确定异质结构体材料的最窄能带隙^[5], 但是它们很难适用于含有异质 pn 结的材料.

本文报道了基于应变 SiGe/Si 异质 pn 结的 $C-V$ 特性曲线, 通过相应的理论关系提取 SiGe 禁带宽度的技术. 在该技术中, 首先根据 SiGe/Si 异质 pn 结偏置电压与势垒电容($C-V$)的实验数据, 推算出接触电势差, 然后再通过异质结载流子浓度与禁带宽度的关系, 计算出 SiGe/Si 界面的价带偏移量 ΔE_v , 并利用 ΔE_v 与导带偏移量 ΔE_c 的关系进而求得 SiGe 应变层的禁带宽度. 采用该技术得到的实验结果与理论计算及其他相关文献报道的结果均符合较好. 该技术相对简单、实用, 物理意义清晰, 而且还可以

直接分析 SiGe/Si 器件中的 SiGe 禁带宽度, 为 SiGe/Si 材料及器件的研究提供了方便有效的技术手段.

2. 测试原理

SiGe/Si 异质 pn 结势垒电容与偏置电压之间存在一定的理论关系, 通过实验可以得到其 $C-V$ 特性曲线. pn 结正偏电容比反偏电容大, 但 pn 结处在正向置电偏压时, 势垒区内非平衡载流子浓度高, 势垒电容的实验数据与理论数据偏差较大, 对计算 SiGe 禁带宽度的精度产生影响. 因此, 本文采用反向偏置条件下 SiGe/Si 异质 pn 结的 $C-V$ 特性分析 SiGe 应变层禁带宽度.

若 SiGe/Si pn 结中 p 型和 n 型半导体的杂质都是均匀分布的, 其掺杂浓度分别为 N_A 和 N_D . 当在 pn 结上施加反向电压 V 时, SiGe/Si 异质 pn 结势垒区宽度 X_D ^[6]为

$$X_D = \left(\frac{2\epsilon_1 \epsilon_2 (N_A + N_D) (V_D - V)}{q N_A N_D (\epsilon_2 N_A + \epsilon_1 N_D)} \right)^{1/2}, \quad (1)$$

式中 ϵ_2 和 ϵ_1 分别是 p 型和 n 型半导体的介电常数, V_D 是 pn 结的接触电势差. 由于势垒区的正、负电荷的总量相等, 设其绝对值为 Q , 由(1)式可以得出 Q 为

$$Q = \left(\frac{2\epsilon_1 \epsilon_2 q N_A N_D (V_D - V)}{\epsilon_2 N_A + \epsilon_1 N_D} \right)^{1/2}. \quad (2)$$

* 模拟集成电路国家重点实验室基金(批准号: 99JS09.3.1DZ0111)资助的课题.

† E-mail: binshu@xidian.edu.cn

设 A 表示结面积, 根据微分电容的定义, 由(2)式可以得到 SiGe/Si 异质 pn 结势垒电容 C_T 和外加反偏压 V 的关系

$$C_T = A \left[\frac{\epsilon_1 \epsilon_2 q N_A N_D}{\chi (\epsilon_2 N_A + \epsilon_1 N_D) (V_D - V)} \right]^{1/2}. \quad (3)$$

将实验得到的 SiGe/Si 反偏 pn 结的 $C-V$ 特性曲线的势垒电容 C_T 和外加电压 V 代入(3)式就可以计算出接触电势差 V_D . 实际上, 接触电势差也可以通过 $1/(C_T)^2$ 与外加电压的线性关系外推出.

在热平衡状态时, 对于 n 型 Si 和 p 型 SiGe 组成的异质 pn 结, 空穴由 p 型 SiGe 价带到 n 型 Si 的价带遇到的势垒高度为 $(qV_D + \Delta E_v)$, 那么, n 型 Si 中少数空穴浓度 p_1 与 p 型 SiGe 中多数空穴浓度 p_2 之间的关系为

$$p_1 = p_2 \exp\left(-\frac{(qV_D + \Delta E_v)}{k_0 T}\right), \quad (4)$$

式中 k_0 是玻耳兹曼常数, T 是温度, ΔE_v 是 SiGe/Si 异质 pn 结界面 SiGe 的价带偏移量.

根据已经计算出的接触电势差和 SiGe/Si 异质 pn 结的相关物理参数, 由(4)式计算出 SiGe/Si 界面处的 SiGe 价带偏移量 ΔE_v , 再由 SiGe 的价带偏移量 ΔE_v 与其导带偏移量 ΔE_c 的关系计算出导带偏移量 ΔE_c . 那么, 由下式即可得出 SiGe 的禁带宽度:

$$\begin{aligned} E_{g, \text{SiGe}}(T) &= E_{g, \text{Si}}(T) - \Delta E_c(T) - \Delta E_v(T) \\ &= E_{g, \text{Si}}(T) - \Delta E_{g, \text{SiGe}}(T), \end{aligned} \quad (5)$$

式中 $\Delta E_{g, \text{SiGe}}(T)$ 是基于 Si 禁带宽度的 SiGe 禁带宽度变化量.

对于 n 型 SiGe 与 p 型 Si 构成的异质 pn 结, 其原理相同.

SiGe 应变层的禁带宽度是 Ge 组分的函数, 应用中常关心的是 SiGe/Si 界面处 SiGe 的禁带宽度. 在 SiGe/Si 异质 pn 结中, 如果 Ge 组分是变化的, 由上述过程则得到是 SiGe/Si 界面处 SiGe 的禁带宽度. 如果 Ge 组分是常数, 那么得到是 SiGe 层的禁带宽度.

3. 实 验

本文以三个 SiGe/Si 异质 pn 结为例介绍利用 $C-V$ 技术确定 SiGe 禁带宽度的方法.

第一个 pn 结是 npn 型 SiGe HBT 芯片中的 SiGe/Si 异质集电结. SiGe HBT 材料由 MBE (分子束) 外延生长, 实验中通过测量其集电结的势垒电容与外

加反向偏压的关系, 研究、分析和计算了其基区 SiGe 禁带宽度. 该 pn 结相关物理参数为: SiGe 基区掺杂浓度为 $5 \times 10^{18} \text{ cm}^{-3}$, Ge 组分 $x = 0.25$, 集电区掺杂浓度为 $5 \times 10^{16} \text{ cm}^{-3}$, 集电结面积为 $20 \times 25 \mu\text{m}^2$. $C-V$ 实验使用高频 $C-V$ 测试仪进行. 在集电结两端加反向偏压, 范围由 -3V 到 0V , 得到室温下的 $C-V$ 特性曲线如图 1 所示. 在 SiGe HBT 芯片结构中, 由于基极延伸电极和集电区之间存在与集电结势垒电容并联的寄生电容, 因此在对集电结进行 $C-V$ 测试时应消除掉它的影响.

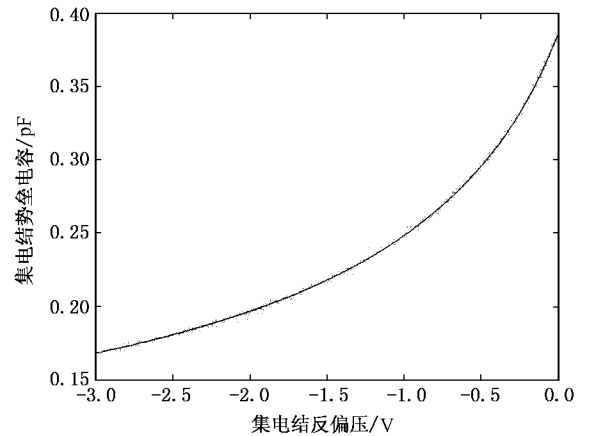


图 1 SiGe HBT 异质集电结反偏 $C-V$ 特性曲线

第二个 pn 结是 p-SiGe/n-Si 结. 其相关物理参数为: p-SiGe 的掺杂浓度为 $1 \times 10^{17} \text{ cm}^{-3}$, Ge 组分 $x = 0.32$, n-Si 的掺杂浓度为 $5 \times 10^{16} \text{ cm}^{-3}$, 结面积为 $25 \times 25 \mu\text{m}^2$. 在结两端加反向偏压, 范围由 -3V 到 0V , 得到室温下的 $C-V$ 特性曲线如图 2 所示.

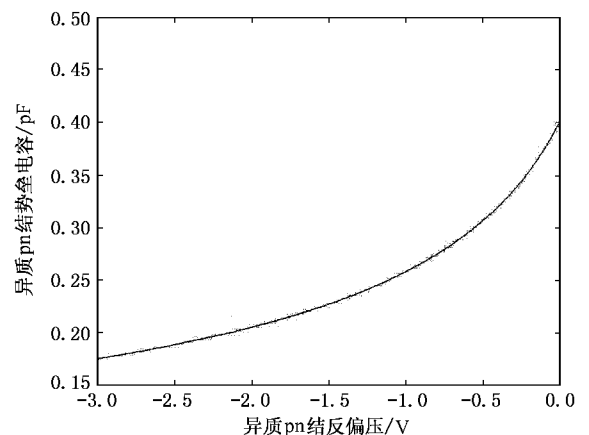


图 2 p-SiGe/n-Si 结 $C-V$ 特性曲线

第三个 pn 结是 n-SiGe/p-Si 结. 其相关物理参数

为 n-SiGe 的掺杂浓度为 $1 \times 10^{18} \text{ cm}^{-3}$, Ge 组分 $x = 0.15$ p-Si 的掺杂浓度为 $1 \times 10^{17} \text{ cm}^{-3}$, 结面积为 $25 \times 25 \mu\text{m}^2$. 在结两端加反向偏压, 范围由 -3 V 到 0 V , 得到室温下的 C - V 特性曲线如图 3 所示.

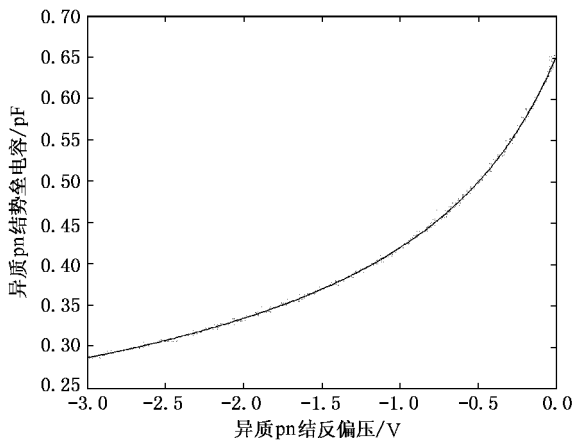


图 3 n-SiGe/p-Si 结 C - V 特性曲线

4. 实验结果及分析

4.1. npn 型 SiGe HBT 芯片中的 SiGe/Si 异质集电结

首先, 依据图 1 所示 C - V 实验曲线, 利用 (3) 式计算接触电势差. (3) 式中 ϵ_2 是基区 p 型 SiGe 的介电常数, 它是 Ge 组分 x 的函数, 与 Ge 组分 x 的关系为^[7] $\epsilon_{\text{SiGe}} = \epsilon_{\text{Si}} + 4.1x$. 由此得到 p 型 SiGe 的介电常数为 $\epsilon_2 = 12.925$. 将图 1 中 SiGe HBT 集电结的 C - V 数据及该 pn 结的相关物理参数代入 (3) 式, 得到该 SiGe HBT 异质集电结接触电势差为 $V_D = 0.665 \text{ V}$.

其次, 利用 (4) 式计算价带偏移量. (4) 式表示的是 SiGe 基区中多子空穴浓度、Si 集电区少子空穴浓度与接触电势差及价带偏移量的关系. 将掺杂浓度和已经计算出的接触电势差代入此式, 即可得到价带偏移量 $\Delta E_V = 0.236 \text{ eV}$. 而价带偏移量 ΔE_V 与禁带偏移量 ΔE_g 的关系^[8] 为 $\Delta E_V = 0.88\Delta E_g$, 即导带偏移量为 $\Delta E_c = 0.136\Delta E_V$. 由此可得导带偏移量为 $\Delta E_c = 0.032 \text{ eV}$. 所以该异质结的 SiGe 禁带宽度总的偏移量为 $\Delta E_{g, \text{SiGe}} = 0.268 \text{ eV}$. 该数据与文献 [2], [9] [10] 和 [11] 中采用其他测试方法所得到的结果相符.

根据上述分析结果, 由 (5) 式计算出室温下该

SiGe/Si 异质 pn 结中 SiGe 的禁带宽度值为 $E_{g, \text{SiGe}} = E_{g, \text{Si}} - \Delta E_V - \Delta E_c = 0.851 \text{ eV}$. 式中取 Si 在室温下的禁带宽度为 1.119 eV ^[6].

根据 SiGe 禁带宽度与 Ge 组分的理论关系, 可以对实验结果进行验证. 室温下该 SiGe 的禁带宽度与 Ge 组分 x 的关系为^[12] $E_{g, \text{SiGe}}(x) = E_{g, \text{Si}} - 1.13x + 0.84x^2 - 0.156x^3$. 所以该 SiGe/Si 异质 pn 结中 SiGe 的禁带宽度理论值为 $E_{g, \text{SiGe}} = 0.873 \text{ eV}$.

4.2. p-SiGe/n-Si 结

该 p-SiGe 的介电常数为 $\epsilon_2 = \epsilon_{\text{Si}} + 4.1x = 13.212$, 由图 2 所示 C - V 实验曲线及 (3) 式, 得到接触电势差 $V_D = 0.534 \text{ V}$, 由 (4) 式得价带偏移量 $\Delta E_V = 0.265 \text{ eV}$, 导带偏移量 $\Delta E_c = 0.036 \text{ eV}$, 那么从 (5) 式得到该异质 pn 结中 SiGe 的禁带宽度值 $E_{g, \text{SiGe}} = E_{g, \text{Si}} - \Delta E_V - \Delta E_c = 0.818 \text{ eV}$.

室温下该异质 pn 结中 SiGe 的禁带宽度理论值 $E_{g, \text{SiGe}} = 0.838 \text{ eV}$.

4.3. n-SiGe/p-Si 结

在 (3) 式中 n-SiGe 的介电常数 $\epsilon_1 = \epsilon_{\text{Si}} + 4.1x = 12.515$. 利用与上述同样的方法, 该 pn 结的接触电势差 $V_D = 0.899 \text{ V}$, 价带偏移量 $\Delta E_V = 0.147 \text{ eV}$, 导带偏移量 $\Delta E_c = 0.020 \text{ eV}$. 那么该异质 pn 结中 SiGe 的禁带宽度值为: $E_{g, \text{SiGe}} = E_{g, \text{Si}} - \Delta E_V - \Delta E_c = 0.952 \text{ eV}$.

室温下该异质 pn 结中 SiGe 的禁带宽度理论值 $E_{g, \text{SiGe}} = 0.968 \text{ eV}$.

由以上数据可以看出, 本方法通过 C - V 实验所确定的 SiGe 禁带宽度与由 (5) 式计算的理论值符合得较好, 二者仅有 1.6%—2.5% 的误差, 这主要是由于当 SiGe 的掺杂浓度较高时, 重掺杂使 SiGe 禁带宽度变窄的效应不可忽略. Klaassen 的研究^[13] 指出 n 型和 p 型 SiGe 的重掺杂禁带宽度窄变量几乎相等, 且与温度的关系不大, 由重掺杂引起的 SiGe 禁带宽度窄变量为

$$\Delta E_{g, \text{dop}}(x) = k_1 \left[\ln \frac{N}{N_1} + \sqrt{\left(\ln \frac{N}{N_1} \right)^2 + c} \right], \quad (6)$$

式中 N 是 SiGe 的掺杂浓度, $k_1 = 6.92 \text{ meV}$, $N_1 = 1.3 \times 10^{17} \text{ cm}^{-3}$, $c = 0.5$. 如果考虑到重掺杂对 SiGe 禁带宽度的影响, 实验结果与 (5) 式结果符合得更好.

对不同温度下 SiGe/Si 异质 pn 结 C - V 特性曲线

的测试和 SiGe 禁带宽度的分析计算过程与上述相同,本技术所得结果也与理论计算及其他相关文献报道的结果符合较好.

5. 结 论

利用 SiGe/Si 异质 pn 结的 $C-V$ 特性,对 SiGe 禁带宽度进行分析和研究,根据 pn 结的 $C-V$ 实验曲

线确定了 SiGe 应变层的禁带宽度,得到的结果与其他相关文献报道的实验数据符合得较好,且与理论值接近.实验表明,利用 SiGe/Si 异质 pn 结的 $C-V$ 特性曲线,通过计算 SiGe 的价带和导带的偏移量,进而得出 SiGe 禁带宽度的方法是可行的.该技术不仅能够应用于分立的 SiGe/Si 异质 pn 结,而且还能够直接对 SiGe/Si 异质 pn 结器件中的 SiGe 禁带宽度进行分析.

- [1] Vescan L , Apetz R and Luth H 1993 *J. Appl. Phys.* **73** 7427
- [2] Shin-ichi Takagi *et al* 1998 *IEEE Trans. Electron. Devices* **45** 494
- [3] Zhang S K *et al* 1999 *Chinese J. Semiconductors* **20** 139 (in Chinese) [张胜坤等 1999 半导体学报 **20** 139]
- [4] J. C. Brighten *et al* 1993 *J. Appl. Phys.* **74** 1894
- [5] Ding G Q 2000 *Acta Phys. Sin.* **49** 119 (in Chinese) [丁国庆 2000 物理学报 **49** 119]
- [6] Liu E K *et al* 1997 *Semiconductor Device Physics* (Beijing :National Defence Industry Press) p234 (in Chinese) [刘恩科等 1997 半导体器件物理学 (北京 :国防工业出版社) 第 234 页]
- [7] Chen Z M *et al* 1999 *Foundation of Material and Physics of Semiconductors* (Beijing Science Press) p221 (in Chinese) [陈治明等 1999 半导体器件的材料物理学基础 (北京 :科学出版社) 第 221 页]
- [8] Ouyang Q Q C *et al* 2001 *IEEE Trans. Electron. Devices* **48** 1245
- [9] Nauka K , Kamins K I and Turner J E 1992 *Appl. Phys. Lett.* **60** 195
- [10] Sturm J C , Prinz E J and Garone P M 1989 *Appl. Phys. Lett.* **54** 2707
- [11] King C A *et al* 1989 *IEEE Trans. Electron. Devices* **36** 2039
- [12] Karlsteen M and Willander M 1990 *Solid-state Electronics* **33** 199
- [13] Klaassen D B M *et al* *Solid-State Electronics* **35** 125

Determination of bandgap in SiGe strained layers using a pn heterojunction $C - V^*$

Shu Bin , Dai Xian-Ying , Zhang He-Ming

(Microelectronics Institute , Xidian University , Xi 'an 710071 , China)

(Received 4 March 2003 ; revised manuscript received 9 April 2003)

Abstract

A pn heterojunction $C-V$ technique used to determine the bandgap of SiGe strained layers is presented in this paper. The SiGe bandgap is analyzed and calculated by acquiring the built-in potential and discontinuities of valence and conduction bands, according to the $C-V$ profile of the stained SiGe/Si pn heterojunction. This technique is much more convenient and the experimental results agree very well with the theoretical and published calculations, indicating that the method is correct. This method is suitable for not only the bandgap of the single SiGe/Si pn heterojunctions, but also that of the SiGe/Si devices with SiGe/Si pn heterojunctions.

Keywords : SiGe/Si pn heterojunction, $C-V$ bandgap

PACC : 7340L, 7125T

* Project supported by the National Analog IC Key Laboratory Foundation (Grant No. 99JS09.3.1DZ0111).