

# 应变 SiGe SOI 量子阱沟道 PMOSFET 阈值电压模型研究\*

张鹤鸣<sup>1)</sup> 崔晓英<sup>1,2)</sup> 胡辉勇<sup>1)</sup> 戴显英<sup>1)</sup> 宣荣喜<sup>1)</sup>

1) 西安电子科技大学微电子学院, 宽禁带半导体材料与器件教育部重点实验室, 西安 710071)

2) 中国电子科技集团第五研究所分析中心, 广州 510610)

(2006 年 10 月 31 日收到, 2006 年 11 月 30 日收到修改稿)

在绝缘层附着硅(SOI)结构的 Si 膜上生长 SiGe 合金制作具有 SiGe 量子阱沟道的 SOI p 型金属氧化物半导体场效应晶体管(PMOSFET), 该器件不仅具有 SOI 结构的优点, 而且因量子阱中载流子迁移率高, 所以进一步提高了器件的性能. 在分析常规的 Si SOI MOSFET 基础上, 建立了应变 SiGe SOI 量子阱沟道 PMOSFET 的阈值电压模型和电流-电压( $I-V$ )特性模型. 利用 Matlab 对该结构器件的  $I-V$  特性、跨导及漏导特性进行了模拟分析, 且与常规结构的器件作了对比. 模拟结果表明, 应变 SiGe SOI 量子阱沟道 PMOSFET 的性能均比常规结构的器件有大幅度提高.

关键词: 应变 SiGe, SOI MOSFET, 阈值电压, 模型

PACC: 7320D, 7360T

## 1. 引言

对于 SiGe/Si 异质结构材料来讲, 应变引起的能带结构变化使空穴迁移率得到显著地改善, 而且在工艺上与常规 Si 工艺相兼容, 因而越来越受到人们的重视, 并使得 SiGe 金属氧化物半导体场效应晶体管(MOSFET)的研究成为了当今的研究热点.

绝缘层附着硅(SOI)技术是从 20 世纪 70 年代开始起步的, 现在正趋于成熟, 它不仅克服了在体 Si 上制造器件带来的局限性, 而且还具有结构简单、无门锁效应、短沟道效应影响小等优点, 在高频、高速、低功耗、抗辐射等方面具有极大的优势<sup>[1-4]</sup>.

鉴于二者各自的特点, 将两种结构相结合, 把 SiGe 合金作为 SOI MOSFET 的沟道区, 形成应变 SiGe 沟道 SOI MOSFET 器件结构能充分发挥它们的优势. 近两年有关应变 SiGe SOI MOSFET 的研究多集中在基于具体器件结构的基础上分析其电学特性的改善和整体性能的优化, 或者是工艺技术的改进和提高, 而对其数学模型的研究则比较少<sup>[5,6]</sup>. 本文在分析研究常规的 SOI MOSFET 器件特性的基础上, 建立了全耗尽型应变 SiGe 量子阱沟道 SOI p 型

金属氧化物半导体场效应晶体管(PMOSFET)的阈值电压模型, 以及电流-电压( $I-V$ )、跨导和漏导等电学特性参数模型, 并进行了模拟分析.

## 2. 阈值电压模型

常规的 SOI MOSFET 和应变 SiGe SOI 量子阱沟道 MOSFET 都是在 SOI 衬底上制作 MOS 器件, 他们的区别是常规的 SOI MOSFET 是利用氧化层上的薄层 Si 作为载流子的沟道区, 而应变 SiGe SOI MOSFET 则是在氧化层上形成 Si/SiGe/Si 量子阱结构, 利用 SiGe 作为量子阱沟道区, 提高载流子的迁移率, 从而改善器件性能. 本文在研究分析常规 SOI MOSFET 的基础上, 建立了全耗尽增强型应变 SiGe SOI 量子阱沟道 PMOSFET 的阈值电压( $V_{th}$ )模型.

常规的全耗尽增强型 SOI MOSFET 的阈值电压可以采用耗尽层近似通过求解泊松方程得到. 将

$$\frac{\partial^2 \phi}{\partial x^2} = \frac{qN_a}{\epsilon_{Si}}$$
积分两次可得到 Si 层表面下  $x$  处的电位:

$$\phi(x) = \frac{qN_a}{\epsilon_{Si}}x^2 + \left( \frac{\phi_{s2} - \phi_{s1}}{t_{s1}} - \frac{qN_a t_{Si}}{2\epsilon_{Si}} \right)x, \quad (1)$$

\* 国家部委预研项目(批准号: 51308040203, 51408061105DZ0171)资助的课题.

其中  $\phi_{s1}$  是 Si 和栅氧界面处的表面电位,  $\phi_{s2}$  是 Si 和埋层  $\text{SiO}_2$  界面处的表面电位,  $N_a$  是 Si 膜中的掺杂浓度,  $\epsilon_{\text{Si}}$  是 Si 的介电常数,  $t_{\text{Si}}$  是 Si 层的厚度. 则 Si 中的电场可以由下式给出:

$$E(x) = \frac{-qN_a}{\epsilon_{\text{Si}}}x - \left( \frac{\phi_{s2} - \phi_{s1}}{t_{\text{Si}}} - \frac{qN_a t_{\text{Si}}}{2\epsilon_{\text{Si}}} \right). \quad (2)$$

由(2)式,可以得到  $x=0$  处的 Si 和栅氧界面处的表面电场  $E_{s1}$  为

$$E_{s1} = \left( \frac{\phi_{s1} - \phi_{s2}}{t_{\text{Si}}} + \frac{qN_a t_{\text{Si}}}{2\epsilon_{\text{Si}}} \right). \quad (3)$$

在此处应用高斯定理,可以得到栅氧化层两端的电位降:

$$\phi_{\text{ox1}} = \frac{\epsilon_{\text{Si}} E_{s1} - Q_{\text{ox1}} - Q_{\text{inv1}}}{C_{\text{ox1}}}, \quad (4)$$

其中,  $Q_{\text{ox1}}$  是 Si 和栅氧化层界面的固定电荷密度,  $Q_{\text{inv1}}$  是沟道反型电荷密度 ( $Q_{\text{inv1}} < 0$ ),  $C_{\text{ox1}}$  是正面单位面积栅氧化层电容. 同理,在背界面应用高斯定理,并根据(3)式可得到埋层氧化层两端的电位降为

$$\phi_{\text{ox2}} = -\frac{\epsilon_{\text{Si}} E_{s1} - qN_a t_{\text{Si}} + Q_{\text{ox2}} + Q_{s2}}{C_{\text{ox2}}}, \quad (5)$$

其中,  $Q_{s2}$  是背沟道电荷密度,  $C_{\text{ox2}}$  单位面积埋层氧化层电容.

正、背面栅电压  $V_{G1}$  和  $V_{G2}$  由下式给出:

$$\begin{aligned} V_{G1} &= \phi_{s1} + \phi_{\text{ox1}} + \phi_{\text{MS1}}, \\ V_{G2} &= \phi_{s2} + \phi_{\text{ox2}} + \phi_{\text{MS2}}, \end{aligned} \quad (6)$$

其中,  $\phi_{\text{MS1}}$  和  $\phi_{\text{MS2}}$  分别为正、背面金-半功函数差.

联解(3)(4)和(6)式,可得到正面栅电压和表面势之间的关系为

$$\begin{aligned} V_{G1} &= \phi_{\text{MS1}} - \frac{Q_{\text{ox1}}}{C_{\text{ox1}}} + \left( 1 + \frac{C_{\text{Si}}}{C_{\text{ox1}}} \right) \phi_{s1} \\ &\quad - \frac{C_{\text{Si}}}{C_{\text{ox1}}} \phi_{s2} - \frac{\frac{1}{2} Q_{\text{depl}} + Q_{\text{inv1}}}{C_{\text{ox1}}}, \end{aligned} \quad (7)$$

其中,  $C_{\text{Si}} = \frac{\epsilon_{\text{Si}}}{t_{\text{Si}}}$  是 Si 层单位面积电容,  $Q_{\text{depl}}$  是 Si 膜中的耗尽层电荷,可表示为  $-qN_a t_{\text{Si}}$ .

同样,可以得到背栅电压和表面势之间的关系式为

$$\begin{aligned} V_{G2} &= \phi_{\text{MS2}} - \frac{Q_{\text{ox2}}}{C_{\text{ox2}}} - \frac{C_{\text{Si}}}{C_{\text{ox2}}} \phi_{s1} \\ &\quad + \left( 1 + \frac{C_{\text{Si}}}{C_{\text{ox2}}} \right) \phi_{s2} - \frac{\frac{1}{2} Q_{\text{depl}} + Q_{s2}}{C_{\text{ox2}}}. \end{aligned} \quad (8)$$

联解(7)(8)两式,并令  $\phi_{s1} = 2\phi_f$  和  $Q_{\text{inv1}} = Q_{s2} = 0$ ,

可以得到器件的正面开启电压:

$$\begin{aligned} V_{\text{th}}^f &= V_{\text{fb}}^f + \left( 1 + \frac{C_{\text{Si}}}{C_{\text{ox1}}} \right) 2\phi_f - \frac{C_{\text{Si}} C_{\text{ox2}}}{C_{\text{ox1}}(C_{\text{Si}} + C_{\text{ox2}})} \\ &\quad \times \left[ V_{\text{BG}} - V_{\text{fb}}^b - \left( 1 + \frac{C_{\text{Si}}}{C_{\text{ox1}}} \right) 2\phi_f \right] - \frac{Q_b}{C_{\text{ox1}}} \end{aligned} \quad (9)$$

其中,  $V_{\text{fb}}^f = \phi_{\text{MS1}} - \frac{Q_{\text{ox1}}}{C_{\text{ox1}}}$  为正面栅平带电压,  $V_{\text{fb}}^b$  为背面栅平带电压,  $V_{\text{BG}} = V_{G2}$  为背栅电压,  $Q_b = qN_D t_{\text{Si}}$  为耗尽层电荷密度.

常规的全耗尽增强型 SOI MOSFET 的阈值电压如(9)式所示,本文将在(9)式的基础上,建立应变 SiGe SOI 量子阱沟道 PMOSFET 的阈值电压模型.

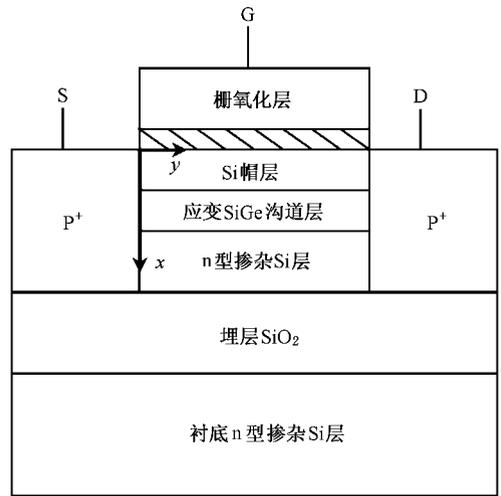


图 1 应变 SiGe SOI 量子阱沟道 PMOSFET 结构示意图

应变 SiGe SOI 量子阱沟道 PMOSFET 的结构如图 1 所示. 由于 SiGe 合金的氧化会因为 Ge 在  $\text{SiO}_2/\text{SiGe}$  界面的堆积使界面态增加, 导致器件性能退化, 所以在 SiGe 层上面生长一层 Si 帽层, 另外 Si 帽层还可以减小界面散射对载流子迁移率的影响, 并使空穴“约束”在 SiGe 沟道层中. 同时, SOI 结构使得寄生电容减小, 改善隔离, 短沟道效应的影响减小.

引入 SiGe 沟道后, 用 Si 帽层电容与下面的 SiGe 层和 Si 层的串联等效电容  $C_{\text{eq}}$  来代替 Si SOI MOSFET 的  $C_{\text{Si}}$ . 用 SiGe 层及耗尽区电荷之和  $Q_b'$  来代替 Si SOI MOSFET 耗尽区电荷  $Q_b$ . 另外, Ge 的出现导致了 Si/SiGe 界面能带的不连续, 每引入 10% 的 Ge 将使能带变窄 ( $\Delta E_g$ ) 约 76 meV, 其中 97%<sup>[7]</sup> 的改变出现在价带. 因此  $\Delta E_v$  也会给阈值电压带来影响.

那么, 应变 SiGe SOI 量子阱沟道 PMOSFET 的阈值电压可以表示为

$$V_{th} = V_{fb}^f + \phi_B - \frac{C_{eq} C_{ox2}}{C_{ox1}(C_{eq} + C_{ox2})} \times (V_{BG} - V_{fb}^b - \phi_B) - \frac{Q'_b}{C_{ox1}}, \quad (10)$$

其中

$$\begin{aligned} \phi_B &= \left(1 + \frac{C_{eq}}{C_{ox1}}\right) \left(2\phi_f - \frac{\Delta E_V}{q}\right), \\ Q'_b &= qN_D(t_{Si} + t_{SiGe}), \\ C_{eq} &= \frac{1}{\frac{1}{C_{cap}} + \frac{1}{C_{SiGe}} + \frac{1}{C_{Si}}} \\ &= \frac{\epsilon_{Si}}{t_{Si} + t_{cap} + \frac{\epsilon_{Si}}{\epsilon_{SiGe}} t_{SiGe}}. \end{aligned}$$

### 3. $I-V$ 特性

应变 SiGe SOI 量子阱沟道 PMOSFET 的  $I-V$  特性可以在其阈值电压的基础上求得,采用经典的缓变沟道近似,可以得到薄膜全耗尽应变 SiGe SOI PMOSFET 的  $I-V$  特性如下:

$$I_{DS} = W\mu_p Q_{invl}(y) \frac{d\phi_{sl}(y)}{dy}, \quad (11)$$

式中,  $W$  为沟道宽度,  $\mu_p$  是沟道中空穴迁移率,  $y$  表示从源极到漏极的坐标. 将上式从源极到漏极积分有

$$I_{DS} = \frac{W}{L}\mu_p \int_{2\phi_f}^{2\phi_f + V_{DS}} Q_{invl}(y) d\phi_{sl}(y). \quad (12)$$

由(7)式可得到反型层电荷密度  $Q_{invl}(y)$ , 将其代入(12)式可得到全耗尽应变 SiGe SOI PMOSFET 的电流电压特性为

非饱和区

$$I_{DS} = \frac{W}{L}\mu_p C_{ox1} \left[ (V_{GS} - V_{TH})V_{DS} - \left(1 + \frac{C_{eq} C_{ox2}}{C_{ox1}(C_{eq} + C_{ox2})}\right) \frac{V_{DS}^2}{2} \right]; \quad (13)$$

饱和区

$$I_{DSsat} = \frac{1}{2} \frac{W}{L}\mu_p C_{ox1} \frac{(V_{GS} - V_{TH})^2}{1 + \frac{C_{eq} C_{ox2}}{C_{ox1}(C_{eq} + C_{ox2})}}. \quad (14)$$

### 4. 模拟分析与讨论

在建立的  $V_{th}$  与  $I-V$  特性的基础上, 对应变 SiGe

SOI 量子阱沟道 PMOSFET 的  $I-V$  特性进行了模拟, 并与常规结构的器件进行了对比.

在以下的模拟中, 栅氧化层为 10 nm, Si 帽层和应变 SiGe 沟道层均为 20 nm, 沟道长度为 1  $\mu\text{m}$ , n 型掺杂为  $10^{16} \text{ cm}^{-3}$ , SiGe 层 Ge 组分为 25%, 衬底 n 型 Si 层掺杂为  $10^{18} \text{ cm}^{-3}$ .

图 2 为应变 SiGe SOI 量子阱沟道 PMOSFET 与常规结构器件的  $I-V$  特性对比.

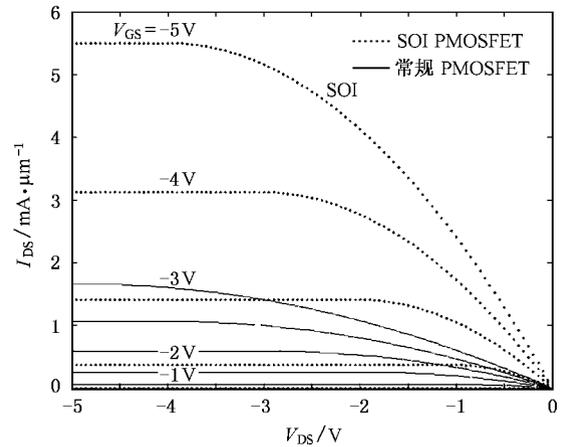


图 2 SOI 应变 SiGe 量子阱沟道 PMOSFET 的  $I-V$  特性

在  $I-V$  特性中, 迁移率采用了 Rosenfeld 等人在 Caughey-Thomas 模型基础上给出的拟合公式 (300 K)<sup>[8]</sup>:

$$\begin{aligned} \mu_p &= \left[ \frac{\mu_{p,max} - \mu_{p,min}}{1 + \left(\frac{N_A}{N_0}\right)^\beta} + \mu_{p,min} \right] \\ &\times (1 + a_1 x + a_2 x^2 + a_3 x^3). \quad (15) \end{aligned}$$

由图 2 可知, 在  $V_{GS} = -5 \text{ V}$  时, SOI PMOSFET 饱和和漏电流为 5.5 mA, 常规结构的 PMOSFET 饱和和漏电流为 1.7 mA, 相比提高到了 3 倍多. 栅压越大, 提高越显著. 这说明, 在相同的偏置条件下, SOI 结构具有更大的驱动电流. Tomohisa 等人<sup>[6]</sup>给出在  $W/L = 5 \mu\text{m}/0.85 \mu\text{m}$  的情况下,  $V_{GS} = -2 \text{ V}$  时, 漏电流为 300  $\mu\text{A}$ , 而模拟所得应变 SiGe SOI MOSFET 中  $L = 1 \mu\text{m}$  时, 漏电流为 0.3 A/ $\mu\text{m}$ , 可见 SOI 结构比常规结构的器件漏电流要提高 5 到 6 倍.

SOI 应变 SiGe 量子阱沟道 PMOSFET 的饱和区跨导  $G_m$  随栅源电压的变化如图 3 所示, 图 3 中同样给出了与常规结构器件饱和区跨导的对比.

由图 3 可知, SOI 结构的饱和区跨导比常规结构器件的大得多, 随  $V_{GS}$  的增加也比常规结构器件快得多. 在  $V_{GS} = -2.5 \text{ V}$  时, SOI 结构的饱和区跨导

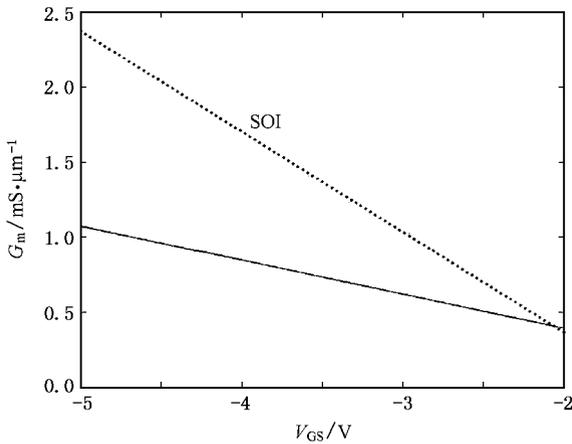


图 3 SOI 应变 SiGe 量子阱沟道 PMOSFET 的饱和栅跨导

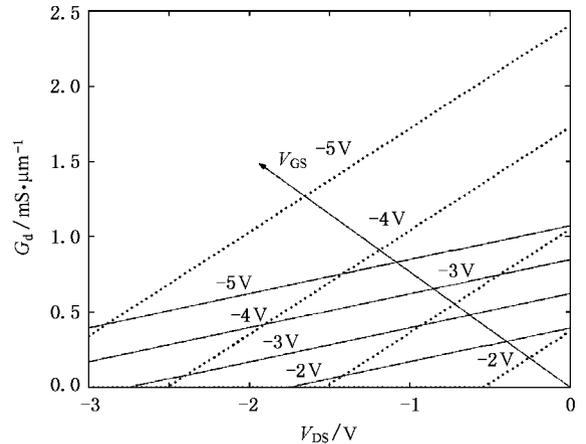


图 4 SOI 应变 SiGe 量子阱沟道 PMOSFET 的非饱和区漏导

约为  $0.7 \text{ mS}/\mu\text{m}$ , 当  $V_{GS}$  为  $-5 \text{ V}$  时, SOI 结构饱和区跨导可达  $2.4 \text{ mS}/\mu\text{m}$ , 常规结构的器件为  $1.1 \text{ mS}/\mu\text{m}$ , 提高到了 2 倍还多。

图 4 为漏源电压和栅源电压变化时, SOI 应变 SiGe 量子阱沟道 PMOSFET 与常规结构的器件非饱和区漏导  $G_d$  的对比。

在图 4 中, 虚线表示 SOI 结构的  $G_d - V_{DS}$  曲线, 实线表示常规结构器件的  $G_d - V_{DS}$  曲线。由图可知, SOI 结构的非饱和区漏导比常规结构器件的大得多, 随  $V_{DS}$  的下降速度比常规结构器件快得多, 随  $V_{DS}$  的增加也比常规结构器件大得多。

## 5. 结 论

基于应变 SiGe 材料及其 SOI MOS 器件的优良特性, 本文建立了应变 SiGe SOI 量子阱沟道 PMOSFET 的阈值电压模型, 以及  $I-V$  特性模型, 模型中包含器件相应的几何结构参数和物理参数, 并利用 Matlab 软件模拟分析了应变 SiGe SOI 量子阱沟道 PMOSFET 的  $I-V$  跨导和漏导等电学特性, 同时与常规结构器件进行了分析对比。模拟结果表明, 应变 SiGe SOI 量子阱沟道 PMOSFET 的各项性能都比常规结构的器件有大幅度提高。

- [ 1 ] Hu H Y , Zhang H M , Dai X Y , Lü Y , Shu B , Wang W , Jiang T , Wang X Y 2004 *Acta Phys. Sin.* **53** 4314 ( in Chinese ) [ 胡辉勇、张鹤鸣、戴显英、吕 懿、舒 斌、王 伟、姜 涛、王喜媛 2004 物理学报 **53** 4314 ]
- [ 2 ] Lü Y , Zhang H M , Dai X Y , Hu H Y , Shu B 2004 *Acta Phys. Sin.* **53** 3239 ( in Chinese ) [ 吕 懿、张鹤鸣、戴显英、胡辉勇、舒 斌 2004 物理学报 **53** 3239 ]
- [ 3 ] Jiang T , Zhang H M , Wang W , Hu H Y , Dai X Y 2006 *Chin. Phys.* **15** 1339
- [ 4 ] Reznicek A , Bedell S W , Hovel H J 2004 *IEEE International SOI Conference* p37
- [ 5 ] Mizuno T , Sugiyama , Tezuka T , Takagi S I 2002 *IEEE Trans. on*

*Electron Devices* **49** 7

- [ 6 ] Mizuno T , Sugiyama N , Kurobe A , Takagi S 2001 *IEEE Trans. on Electron Devices* **48** 1612
- [ 7 ] Sophiek V V 1994 *IEEE Trans. on Electron Devices* **41** 90
- [ 8 ] Rosenfeld D 1994 *Solid-State Electronics* **37** 119
- [ 9 ] Tezuka T , Sugiyama N 2003 *IEEE Trans. on Electronics Devised* **50** 1328
- [ 10 ] Ma Y T , Liu L T , Tian L L 2001 *IEEE Trans. Comput. -Aided design of Integr. Circuits Syst.* **20** 495
- [ 11 ] Yang P C , Li S S 1993 *Solid State Electronics* **36** 685
- [ 12 ] Kuo J B , Tang M C , Sim J H 1993 *IEEE Trans. on Electron Devices* **40** 2237

# Study on threshold voltage model of strained SiGe quantum well channel SOI PMOSFET \*

Zhang He-Ming<sup>1)</sup> Cui Xiao-Ying<sup>1,2)</sup> Hu Hui-Yong<sup>1)</sup> Dai Xian-Ying<sup>1)</sup> Xuan Rong-Xi<sup>1)</sup>

<sup>1)</sup> *Key Laboratory of Ministry of Education for Wide Band-Gap Semiconductor Materials and Devices ,  
School of Microelectronics , Xidian University , Xi 'an 710071 , China )*

<sup>2)</sup> *Research and Analysis Center , No.5th Research Institute , China Electronics Technology Group Corporation , Guangzhou 510610 , China )*

( Received 31 October 2006 ; revised manuscript received 30 November 2006 )

## Abstract

A SOI PMOSFET with SiGe quantum well channel was formed by growing the SiGe film on the Si SOI structure. Not only does the device have the advantage of SOI structure , but also the performance of the device is improved because the carrier mobility in SiGe quantum well is much higher than that in Si. In this paper , the threshold voltage model of strained SiGe SOI quantum well channel PMOSFET is established on the basis of general Si SOI MOSFET , also the model of voltage-current characteristic is founded. The characteristic of voltage-current , transconductance and leak conductance were simulated and analyzed using MATLAB. The results of the simulation confirm that the strained SiGe SOI quantum well channel PMOSFET performs much better than the conventional PMOSFET.

**Keywords :** strained SiGe , SOI MOSFET , threshold voltage , model

**PACC :** 7320D , 7360T