

# 一种考虑温度的分布式互连线功耗模型<sup>\*</sup>

朱樟明<sup>†</sup> 钟 波 郝报田 杨银堂

(西安电子科技大学微电子研究所, 西安 710071)

(2009 年 4 月 2 日收到, 2009 年 5 月 6 日收到修改稿)

基于集总式电阻-电容树形功耗模型, 考虑了非均匀温度分布对互连线电阻的影响, 提出了一种新的分布式互连线动态功耗解析模型, 解决了集总式模型不能表征非均匀温度变化带来的电阻变化的问题, 并计算了一次非理想的激励冲激下整个互连模型消耗的总能量. 基于所提出的分布式互连线功耗模型, 计算了纳米级互补金属氧化物半导体(CMOS)工艺典型长度互连线的 Elmore 延时和功耗, 发现非均匀温度分布对互连功耗的影响随着互连线长度的增加而增加, 单位长度功耗随着 CMOS 工艺特征尺寸的变化而基本不变. 文中所提出的功耗模型可以用来精确估算互连线动态功耗, 适用于片上网络构架中大型互连路由结构和时钟网络优化设计.

关键词: 互连线, 温度梯度, 动态功耗模型, 纳米级互补金属氧化物半导体

PACC: 6630Q, 6185, 8160C

## 1. 引 言

随着硅互补金属氧化物半导体(CMOS)集成电路进入纳米级 CMOS 阶段, 超大规模集成电路的频率和集成度不断提高, 片上互连的延迟、功耗和信号完整性已经成为影响集成电路性能和可靠性的决定性因素之一. 为了降低互连延时和功耗, 提高集成电路的性能, 互连线的层次和长度不断增加. 国际半导体技术路线图(ITRS)2007 年<sup>[1]</sup>指出纳米级 CMOS 工艺的互连线层次已经达到 13 层, 集成电路互连长度已达数公里, 互连串扰、延时、功耗及面积等已成为必须考虑的问题<sup>[2-7]</sup>. 所以, ITRS 在 2006 年便在微处理器(MPU)和片上系统(SOC)的技术要求表中新增了一个功耗特性参数, 即每平方厘米的金属层在每吉赫兹频率下所消耗的能量值(单位: 瓦特). 纳米级 CMOS 工艺的互连线动态功耗, 将成为一个研究热点, 而考虑温度和互连线功耗将是其中的研究难点.

传统互连线动态功耗估算主要是计算一次激励过程中互连线寄生电容充放电所存储和释放的能量<sup>[2]</sup>. 文献[3]计算了考虑寄生电容耦合效应下的互连功耗. Shin 等<sup>[4]</sup>通过降阶系统传输函数估算了互

连线的电流响应, 并计算了互连线的功耗分布. 文献[5]基于电阻-电容(RC)树形电路模型, 提出了非理想激励下树形拓扑结构功耗模型. 文献[6]提出了互连线的有效电容的概念, 用于计算互连线动态功耗. 文献[7]在考虑互连线的功耗下优化了互连设计. 但是, 以上文献都没有考虑温度对互连线功耗的影响.

实际上, 由于纳米级 CMOS 芯片功率密度已经极大, 芯片上功率分布非常不平衡, 热导率较低的低介电常数介质的引入, 致使芯片具有非均匀温度分布<sup>[8]</sup>. 这些改变使得互连线的延时和功耗分析更加困难. 本文基于集总式电阻-电容(RC)功耗模型, 提出了一种考虑温度的分布式互连线功耗模型, 计算了一次非理想的激励冲激下整个互连模型消耗的总能量, 并考虑了温度分布对互连线功耗的影响. 本文最后计算并分析了 65 和 90 nm CMOS 工艺下典型长度互连线的 Elmore 延时和功耗.

## 2. 集总式 RC 功耗模型

集总式互连线 RC 模型, 可以由不同拓扑结构的树形模型来表示, 一个节点表示子树和子树的交点, 每棵子树由一个串联的电阻和一个对地电容构成. 图 1 为集总式 RC 树形模型, 任何时刻, 流过第  $i$

<sup>\*</sup> 国家自然科学基金(批准号: 60725415, 60676009, 60776034), 国家高技术研究发展计划(批准号: 2009AA01Z258, 2009AA01Z260)和西安 AM 创新基金(批准号: XA-AM-200814)资助的课题.

<sup>†</sup> E-mail: zmyh@263.net

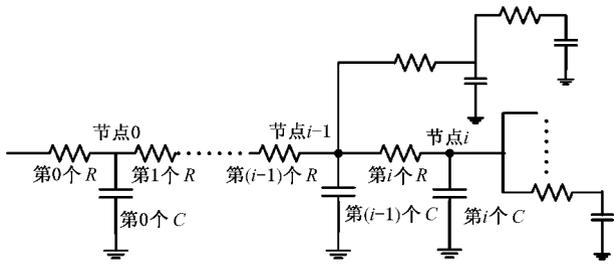


图1 集总式 RC 树形模型

个电阻的电流可以表示为<sup>[5]</sup>

$$I_i(s) = \sum_{k \in \mathcal{D}(i)} s C_k V_k, \quad (1)$$

其中  $\mathcal{D}(i)$  表示  $i$  节点以下所有的节点,  $s$  为拉普拉斯算子,  $C_k$  表示节点  $k$  的电容,  $V_k$  表示节点  $k$  电阻的电压. 在电源电压  $V_{dd}$  阶跃激励作用下,  $i$  节点电压响应可以表示为含有很多指数项的多项式

$$V_k(s) = V_{dd}(s^{-1} - m_0^k + m_1^k s - m_2^k s^2 \dots). \quad (2)$$

对(2)式的  $V_k(s)$  做近似处理, 仅保留  $s$  的 0 到 2 次项, 将近似简化后的(2)式代入(1)式, 得

$$\begin{aligned} I_i(s) &\approx \sum_{k \in \mathcal{D}(i)} V_{dd} C_k (1 - s m_0^k + m_1^k s^2) \\ &= \hat{C}_i V_{dd} (1 - b_1 s + b_2 s^2), \end{aligned} \quad (3)$$

其中

$$\begin{aligned} \hat{C}_i &= \sum_{k \in \mathcal{D}(i)} C_k, \\ b_1 &= \frac{\sum_{k \in \mathcal{D}(i)} C_k m_0^k}{\sum_{k \in \mathcal{D}(i)} C_k}, \\ b_2 &= \frac{\sum_{k \in \mathcal{D}(i)} C_k m_1^k}{\sum_{k \in \mathcal{D}(i)} C_k}. \end{aligned}$$

将(3)式在  $s=0$  附近进行展开(3)式可改写为

$$\begin{aligned} \tilde{I}_i(s) &\approx \frac{\hat{C}_i V_{dd}}{1 + b_1^i s + ((b_1^i)^2 - b_2^i) s^2} \\ &= \frac{\hat{C}_i V_{dd}}{1 + \frac{p_1 + p_2}{p_1 p_2} s + \frac{1}{p_1 p_2} s^2}, \end{aligned} \quad (4)$$

其中  $p_1, p_2$  可以由  $b_1^i$  和  $b_2^i$  得到,  $b_1^i = (p_1 + p_2) / p_1 p_2$ . 将(4)式进行拉普拉斯逆变换

$$\begin{aligned} L^{-1}(\tilde{I}_i(s)) &= \tilde{I}_i(t) \\ &= \hat{C}_i V_{dd} \frac{p_1 p_2}{p_1 + p_2} (e^{-p_1 t} - e^{-p_2 t}). \end{aligned} \quad (5)$$

(5)式为阶跃函数激励下,  $i$  电阻上电流响应表达式.

利用节点电流表达式(5), 根据焦耳定律, 电阻

$i$  在  $0_+ > t_1$  时间内产生的焦耳热为  $\int_0^{t_1} I_i^2(t) R_i dt$ . 经过很长时间( $t_1 \rightarrow \infty$ ), 当所有节点电容充电完毕(不考虑电容的漏电流), 各个节点电压稳定后, 流过节点电阻  $i$  的电流为 0. 为方便计算, 可将积分上限  $t_1$  取无穷大. 这种情况下,  $i$  电阻消耗的能量为

$$\begin{aligned} \int_0^{\infty} I_i^2(t) R_i dt &\approx \int_0^{\infty} \tilde{I}_i^2(t) R_i dt \\ &= \hat{C}_i^2 V_{dd}^2 \frac{p_1 p_2}{\chi(p_1 + p_2)} R_i \\ &= \frac{R_i \hat{C}_i}{b_1^i} \cdot \frac{1}{2} \hat{C}_i V_{dd}^2, \end{aligned} \quad (6)$$

其中

$$\frac{R_i \hat{C}_i}{b_1^i} = \frac{R_i \hat{C}_i}{\frac{1}{\hat{C}_k} \sum_{k \in \mathcal{D}(i)} C_k m_0^k}.$$

对于线性时不变电路系统, 系统转移函数可以表示为很多项包含指数项的多项式<sup>[9]</sup>:  $g_k(s) = (1 - a_1^k s + a_2^k s^2 + a_3^k s^3 + \dots)$ ,  $a_1^k$  为电路传输函数的一阶分量, 即为  $k$  点处的 Elmore 延时<sup>[10, 11]</sup>,  $a_1^k = \sum_{j \in \mathcal{U}(i)} R_j \hat{C}_j = \Delta_{\text{Elmore}}^k$ , 其中  $\mathcal{U}(i)$  表示  $i$  节点以上所有的节点.

实际情况下的激励并非是理想的阶跃函数, 负载电容和电阻使得前级的输出变得平缓. 用含有一个指数项的函数表示激励为  $v_s(s) = V_{dd}/s(1 + s\tau)$ ,  $\tau$  定义为输入信号的延时. 这种激励条件下模型  $i$  点电压响应表达式为

$$\begin{aligned} V_s(s) &= v_s(s) g_i(s) \\ &= \frac{V_{dd}}{s(1 + s\tau)} (1 - a_1^i s + a_2^i s^2). \end{aligned} \quad (7)$$

比较(2)与(7)式, 可得:  $m_0^i = a_1^i + \tau = \Delta_{\text{Elmore}}^i + \tau$ ,  $m_1^i = a_2^i + m_0^i \tau$ . 将  $m_0^i$  代入(6)式, 得到该非理想激励下第  $i$  个电阻消耗的能量为

$$E^i = \frac{R_i \hat{C}_i}{\tau + \hat{\Delta}_{\text{Elmore}}^i} \cdot \frac{1}{2} \hat{C}_i V_{dd}^2, \quad (8)$$

其中  $\hat{\Delta}_{\text{Elmore}}^i$  为节点  $i$  处的 Elmore 延时的关于节点电容的加权平均值, 表达式为  $\hat{\Delta}_{\text{Elmore}}^i = \frac{1}{\hat{C}_i} \sum_{k \in \mathcal{D}(i)} C_k \Delta_{\text{Elmore}}^k$ .

整个集总式 RC 树形结构功耗模型为

$$E = af \sum_{i=0}^n \frac{R_i \hat{C}_i}{\tau + \hat{\Delta}_{\text{Elmore}}^i} \cdot \frac{1}{2} \hat{C}_i V_{dd}^2, \quad (9)$$

其中  $f$  为电路工作的频率,  $E$  的单位为 W,  $a$  为互连线前级缓冲器的开关因子, 一般取 0.03.

### 3. 考虑温度的分布式互连线功耗模型

由于互连线上温度是位置  $x$  的连续函数, 不能用离散的电阻值来表征非均匀温度对互连线电阻的影响, 所以集总式 RC 模型必须进行修改才能够建立温度与功耗的关系. 将论文第二部分所得到的集总式 RC 树形功耗模型, 推广到分布式功耗模型.

图 2 为分布式互连线模型, 其中  $R_d$  为输入电阻,  $C_p$  为输入电容,  $C_L$  为输出电容, 长度为  $L$  的互连线被均匀地分割成  $n$  等份, 每份长度为  $\Delta x$ , 每份电阻为  $r(x) \cdot \Delta x$ , 寄生电容为  $c(x) \cdot \Delta x$ . 如果不考虑温度对电阻的影响,  $r(x)$  是互连线位置的函数, 一般为常数, 其值为  $\rho/lS$ , 其中  $\rho$  为互连材料的电阻率,  $l$  为互连长度,  $S$  为互连线的截面积. 在本文分析中由于考虑了温度的对互连线寄生电阻影响,  $r(x)$  是互连线位置  $x$  处温度的函数.

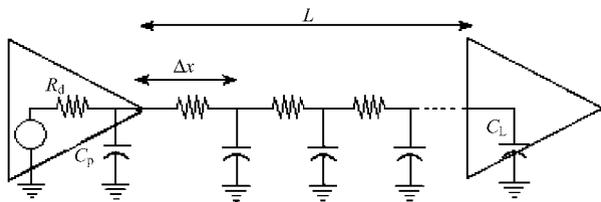


图 2 分布式互连线模型

根据文献 [9], 使用 Elmore 延时分布式表达式, 驱动器到互连线上  $x$  点的延时为

$$\begin{aligned} \Delta_{Elmore}^x &= \int_0^x r(x) \left( \int_0^x c(\sigma) d\sigma \right) dx \\ &\quad + R_d \left( \int_0^L c(x) dx \right) \quad (x \neq L), \\ \Delta_{Elmore}^x &= \int_0^x r(x) \left( \int_0^x c(\sigma) d\sigma + C_L \right) dx \\ &\quad + R_d \left( \int_0^L c(x) dx + C_L \right) \quad (x = L). \end{aligned} \quad (10)$$

同理可以得到分布式模型的  $\hat{C}_x$ ,  $\hat{\Delta}_{Elmore}^x$  为

$$\hat{C}_x = \int_x^L c(x) dx, \quad (11)$$

$$\hat{\Delta}_{Elmore}^x = \int_x^L c(x) \Delta_{Elmore}^x dx / \hat{C}. \quad (12)$$

将 (10)–(12) 式代入 (9) 式, 得到考虑温度的互连线分布式功耗模型

$$\begin{aligned} E &= af \int_0^L \frac{r(x, T) c(x)}{\tau + \hat{\Delta}_{Elmore}^x} \\ &\quad \times \frac{1}{2} \hat{C}_x V_{dd}^2 dx. \end{aligned} \quad (13)$$

超大规模集成电路中, 一般情况下, 互连线上温度按导线的长度呈指数分布<sup>[8,9]</sup>. 为了简化分析, 互连线上温度具有  $T(x) = a \cdot \exp(-bx)$  形式. 对于不同的  $a$  和  $b$ , 针对长度为  $150 \mu\text{m}$  的互连线, 其中在温度  $T_1$  时的  $a = 25, b = 0.0128$ ,  $T_2$  中的  $a = 150, b = -0.012$ . 图 3 显示了同样长度的导线上  $T_1$  和  $T_2$  两种不同的温度分布. 这种非均匀温度分布对互连线不同位置的影响也不一样. 互连线电阻是温度的线性函数, 互连线温度的非均匀分布会导致互连线电阻的非均匀分布.  $r(x) = R_0(1 + \beta \cdot T(x))$ , 其中  $R_0$  为互连线在室温下的电阻,  $\beta$  为互连材料的电阻率温度系数. 因此, 原来设定的电阻均匀分布互连模型在估算延时和功耗分析会偏离实际值.

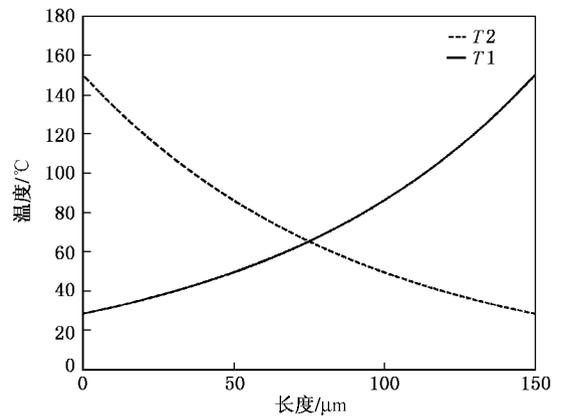


图 3 互连线温度的非均匀分布

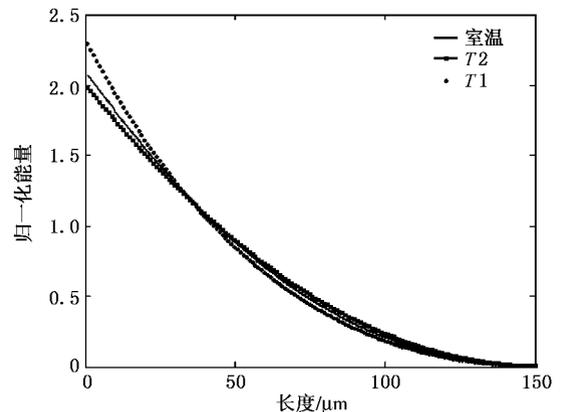


图 4 两种不同温度分布与功耗

图 4 显示了室温  $27^\circ\text{C}$  情况下和非均匀温度导线功耗的分布. 可以看出信号源的能量大部分都消

耗在互连线的前面很短的一段,前 30  $\mu\text{m}$  长度的互连消耗了将近一半的能量.互连线局部温度高处电阻变大,同时这些区域的也消耗了更多能量,温度的改变能带来互连线消耗能量分布的变化.

#### 4. 结果验证与讨论

根据本文所提出的分布式互连线功耗模型,重新计算互连线延时与功耗,忽略温度对寄生电容的影响.本文所用到的纳米级 CMOS 工艺参数和材料参数均来自 BPTM(伯克利预测科技模型)<sup>[12]</sup>,典型 65 和 90 nm CMOS 互连线参数如表 1 所示.

利用分布式互连线功耗模型和表 1 所示的互连线参数,计算得到的不同层、不同长度的互连线采用不同模型计算所得到的延时与功耗,结果如表 2 所

示.可以看出,考虑非均匀温度互连线时,互连线的功率要大于不考虑互连温度时,互连线越长,功耗差别越大;同一工艺尺寸,顶层互连比中间层和底层互连有更小的延时和较大的功耗.延时较小是因为顶层互连线电阻  $r_0$  远小于其余两层,而寄生电容  $c_0$  相差不大,因为互连线延迟  $t_{\text{delay}} \propto r_0 c_0$ ,所以其延时比其余两层要小;顶层具有较大的功耗是因为顶层互连线有较大的寄生电容,每次电平转换时给寄生电容充电电流也大,因而其功耗相对也较大.此外,65 nm CMOS 工艺相比 90 nm CMOS 工艺,单位长度功耗( $\text{W}/\mu\text{m}$ )略有下降,但是这种趋势并不明显,这是因为 65 nm CMOS 工艺互连线寄生电容减小对功耗减小的贡献被互连急剧上升的电阻值所抵消,使得这种功耗降低不是很明显.

表 1 纳米级 CMOS 工艺的互连线典型参数

CMOS	层次	$s/\mu\text{m}^2$	$l/\mu\text{m}$	$r_0/\Omega \cdot \text{mm}^{-1}$	$c_0/\text{fF} \cdot \text{mm}^{-1}$	$f/\text{GHz}$	$V_{\text{dd}}/\text{V}$
90 nm CMOS(铜互连)	全局	0.600	150	36.67	259.67	3	1.2
	中层	0.090	100	244.44	201.77		
	底层	0.045	50	488.88	186.08		
65 nm CMOS(铜互连)	全局	0.540	120	40.74	228.48	4	1.1
	中层	0.049	60	448.97	169.07		
	底层	0.002	30	1099.90	146.20		

表 2 纳米级 CMOS 工艺考虑温度与不考虑温度的延时与功耗

CMOS	层次	长度/ $\mu\text{m}$	延时/ $10^{-13}$ s		功耗/ $10^{-5}$ W	
			不考虑温度	考虑温度	不考虑温度	考虑温度
90 nm CMOS	顶层	150	0.5586	0.6890	0.2653	0.2731
	中间层	100	2.4910	2.8690	0.1375	0.1415
	底层	50	1.1598	1.3380	0.0634	0.0653
65 nm CMOS	顶层	120	0.6802	0.7832	0.2093	0.2154
	中间层	60	1.3894	1.6022	0.0775	0.0797
	底层	30	0.7481	0.8642	0.0336	0.0352

图 5 是基于 90 nm CMOS 工艺的顶层不同长度互连线功耗比较结果.由图 5 可以看出,互连线长度在 200  $\mu\text{m}$  以下时,不考虑温度影响模型和本文模型差别不大,但 200  $\mu\text{m}$  以上互连线,非均匀温度分布对互连功耗的影响很大.对于 1000  $\mu\text{m}$  长度的全局互连线,不考虑温度功耗模型所得的功耗只有本文模型所得功耗的 85%.

由于全局互连线温度分布服从正态分布<sup>[13,14]</sup>,

所以在依靠衬底散热的芯片环境下,互连线的散热条件好坏极大地依赖于下层的绝缘层材料和层间介质厚度.顶层的互连线由于远离衬底,和衬底之间热电阻较大,所以聚集在顶层的热量很难散失.通常情况下,在互连线的顶层远离热沉的位置,更易达到整条互连线的最高温度.根据本文的分析,这种  $x$  轴向非均匀温度会影响整个互连线的功耗.图 6 显示了符合正态分布互连温度引起的功耗分布,  $T_1, T_2$ ,

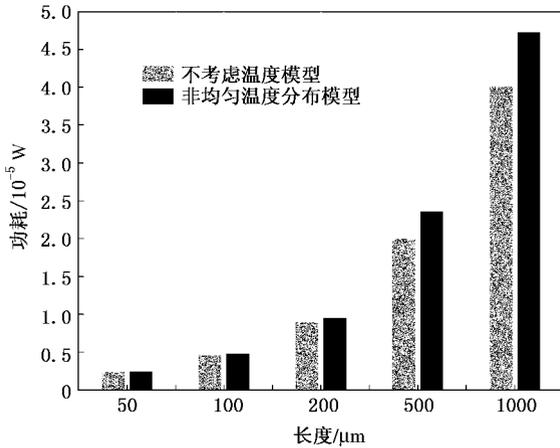


图5 顶层互连线长度与功耗

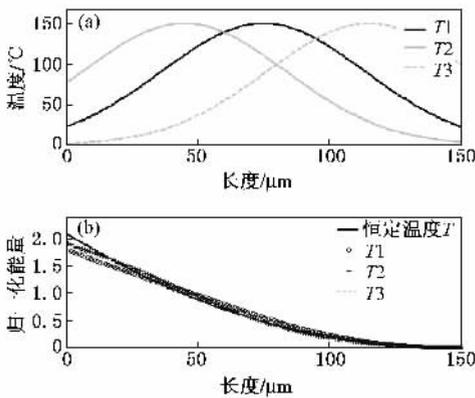


图6 不同正态温度分布下的功耗 (a)温度分布 (b)不同互连线长度条件下的功耗分布

$T_3$  三种温度分布的最高温度分别出现在互连线的  $x = 45$ ,  $x = 75$  和  $x = 105$  位置, 该互连线的两端温度都为室温  $27^\circ\text{C}$ . 由图 6 所示的长度和能量分布可以看出, 相比均匀室温分布的互连线, 非均匀温度分布互连线在温度高的位置具有更大的功耗, 如果考虑功耗不同引发的温度梯度从而产生互连线不同位置的电阻差异, 那么实际的温度差别会更大.

## 5. 结 论

本文在集总式 RC 树形功耗模型基础上, 考虑了非均匀温度分布对互连线电阻影响, 提出了一种新的互连线动态功耗解析模型, 解决了集总式模型不能表征非均匀温度变化带来的电阻变化的问题, 并基于纳米级 CMOS 工艺进行了验证. 由于考虑了温度对互连电阻的影响, 比以往模型更加接近实际情况. 由于本模型为解析模型, 计算的时间开销与互连线规模是线性关系, 适合于大规模互连线网络. 如果结合精确的系统芯片热仿真软件, 如 thermal-ADI, 本文所提出的功耗模型可以用来精确估算互连线动态功耗, 特别适用于需要精确控制能量消耗的大型互连网络中, 如片上网络 (NOC) 构架中大型的互连路由结构和时钟网络.

- [1] International Semiconductor Industry Association 2007 *International Technology Roadmap for Semiconductors 2007* (ITRS 2007)
- [2] Clark N T, Sujit D 2001 *ACM/IEEE 38<sup>th</sup> Design Automation Conf.* Las Vegas, NV, USA, June 18—22, 2001 p754
- [3] Uchino T, Cong J 2002 *IEEE Trans. on Computer-Aided Design of Integrated Circuits and Systems* **21** 763
- [4] Shin Y S, Sakurai T 2002 *IEEE Trans. on Computer-Aided Design of Integrated Circuits and Systems* **21** 739
- [5] Zhou Q M, Elmore K M 2006 *ACM/IEEE 43<sup>th</sup> Design Automation Conf.* San-Francisco, CA, USA, July 24—28, 2006 p965
- [6] Chen G Q, Friedman E G 2008 *IEEE Trans. on Circuits and Systems- II* **55** 26
- [7] Soteriou V, Eislely N 2007 *ACM Trans. on Architecture and Code*

*Optimization* **4** 1544

- [8] Ajami A H, Banerjee K 2001 *ACM/IEEE 38<sup>th</sup> Design Automation Conf.* Las Vegas, NV, USA, June 18—22, 2001 p567
- [9] Ajami A H, Banerjee K 2005 *IEEE Trans. on Computer-Aided Design of Integrated Circuits and Systems* **24** 849
- [10] Pillage L T, Rohrer R A 1990 *IEEE Trans. on Computer-Aided Design of Integrated Circuits and Systems* **9** 352
- [11] Elmore W C 1948 *J. Appl. Phys.* **19** 55
- [12] <http://www.eas.asu.edu/~ptm/>
- [13] Zhu Z M, Qian L B, Yang Y T 2009 *Chin. Phys. B* **18** 1188
- [14] Zhu Z M, Qian L B, Yang Y T 2009 *Acta Phys. Sin.* **58** 2631 (in Chinese) [朱樟明、钱利波、杨银堂 2009 物理学报 **58** 2631]

# A novel temperature-aware distributed interconnect power model<sup>\*</sup>

Zhu Zhang-Ming<sup>†</sup> Zhong Bo Hao Bao-Tian Yang Yin-Tang

( *Institute of Microelectronics, Xidian University, Xi'an 710071, China* )

( Received 2 April 2009 ; revised manuscript received 6 May 2009 )

## Abstract

Base on the lumped resistance-capacitance ( RC ) tree power model , a novel distributed interconnect dynamic power analytical model was proposed , which considers the effect of non-uniform temperature distribution along the interconnect . The new model overtakes the defect that the lumped model cannot represent the effect of non-uniform temperature distribution on the resistance of interconnect , and estimates the total power consumption of RC tree under a non-ideal unit step input . The proposed model is used to calculate the total power consumption of interconnect under nanometer-scale complementary metal-oxide semiconductor ( CMOS ) typical process . The results show that the longer the interconnected line is , the greater the effect of non-uniform temperature distribution on the power consumption is , and the dynamic power per unit length keeps constant under different processes . The proposed model can accurately calculate the dynamic power of interconnects , thus can be used to optimize design of large scale interconnect router and clock network in network-on-chip structure .

**Keywords** : interconnected line , temperature gradient , dynamic power model , nanometer-scale complementary metal-oxide semiconductor

**PACC** : 6630Q , 6185 , 8160C

---

<sup>\*</sup> Project supported by the National Natural Science Foundation of China ( Grant Nos. 60725415 , 60676009 , 60776034 ) , the National High Technology Research and Development Program of China ( Grant Nos. 2009AA01Z258 , 2009AA01Z260 ) , and the Xi'an-AM Innovation Foundation , China ( Grant No. XA-AM-200814 ) .

<sup>†</sup> E-mail : zmyh@263.net