

小尺寸应变 Si 金属氧化物半导体场效应 晶体管栅隧穿电流预测模型

吴铁峰^{1)2)†} 张鹤鸣¹⁾ 王冠宇¹⁾ 胡辉勇¹⁾

1)(西安电子科技大学微电子学院, 宽禁带半导体材料与器件重点实验室, 西安 710071)

2)(佳木斯大学信息电子技术学院, 佳木斯 154007)

(2010年4月15日收到; 2010年5月26日收到修改稿)

小尺寸金属氧化物半导体场效应晶体管(MOSFET)器件由于具有超薄的氧化层、关态栅隧穿漏电流的存在严重地影响了器件的性能, 应变硅 MOSFET 器件也存在同样的问题. 为了说明漏电流对新型应变硅器件性能的影响, 文中利用积分方法从准二维表面势分析开始, 提出了小尺寸应变硅 MOSFET 栅隧穿电流的理论预测模型, 并在此基础上使用二维器件仿真软件 ISE 进行了仔细的比对研究, 定量分析了在不同栅压、栅氧化层厚度下 MOSFET 器件的性能. 仿真结果很好地与理论分析相符合, 为超大规模集成电路的设计提供了有价值的参考.

关键词: 应变硅, 准二维表面势, 栅隧穿电流, 预测模型

PACS: 73.40.Ei, 73.40.Ty, 73.61.Ng

1. 引言

硅(Si)材料在半导体器件与集成电路中占据主导地位, 缩小特征尺寸一直是提高 Si 器件与集成电路的主要技术途径. 但随着器件特征尺寸减小到深亚微米区域, 传统的设计方法已经很难提高器件的性能, 于是, 探索新型材料和器件结构就显得尤为重要. 由于 Si 基应变材料具有带隙可调、载流子迁移率高等优越的物理特性, 而且技术成熟, 与传统 Si 工艺兼容, 因此在硅锗(SiGe)虚拟衬底上生长硅沟道引入硅基双轴应变, 可以通过提高载流子(电子和空穴)的传输特性来实现高性能和高速度^[1].

随着金属氧化物半导体(MOS)器件的栅氧化层厚度变得越来越薄, 栅隧穿电流显得更加重要^[2], 更薄的栅氧化层厚度必然会导致更大的栅隧穿电流^[3, 4]. 对于具有超薄氧化层的 MOS 场效应晶体管(MOSFET)来说, 栅流向沟道的隧穿电流会变得很大并且成为了晶体管关态漏电流的主要成分^[5]. 从现有的国内外文献上看, 部分研究集中于应变硅器件的物理特性^[6], 其他大多则主要集中于强反型时基于硅材料的隧穿电流理论模型, 且开发

的模型也不适用于预测具有更薄氧化层的 MOS 器件的特性和关态隧穿电流变化趋势^[7-9]. 为了揭示应变硅 MOSFET 栅隧穿电流和氧化层厚度之间的关系, 本文使用积分方法从准二维表面势的分析开始, 提出了一个简明的应变硅器件栅隧穿电流模型, 并仔细研究了栅隧穿电流对相应 MOS 器件关态特性的影响. 仿真结果很好地与理论模型相符合, 这给将来的电路设计提供了有益的理论基础, 有助于小尺寸器件的电路设计.

2. 应变硅 MOSFET 栅隧穿电流预测模型

在建立物理模型之前, 首先建立了应变硅 MOSFET 的结构模型, 如图 1 所示. 在体硅衬底上首先生长一层弛豫的 SiGe 缓冲层(即虚拟衬底), 其上用分子束外延(MBE)低温生长应变硅沟道层, 同时为了使模型简洁, 生长的应变硅层可以略厚一些, 这样由超薄沟道引起的量子效应和 Si/SiGe 界面粗糙度的影响可以忽略. 虚拟 SiGe 衬底的 Ge 组分为 0.2—0.5, 同低温生长一样, 这样也可以保证应变硅沟道的应力稳定性. 栅氧化层为理想条件的

† E-mail: wu_tiefeng@163.com

SiO₂, 其中无杂质电荷. 器件栅极采用重掺杂的多晶硅. 除此之外, 还假设: 1) 表面反型层极薄, 反型层中垂直于沟道方向电场恒定; 2) 应变硅沟道是部分耗尽的, 即 $t_{\text{SSi}} > W_d$, 其中 t_{SSi} 是应变硅沟道的厚度, SSi 表示应变硅, W_d 为沟道耗尽区宽度, 这在现代小尺寸器件中十分常见^[10, 11]. 另外需要注意的是, 最大耗尽宽度一般位于弛豫硅锗之中, 因此图 1 只表示出沟道和硅锗衬底部分.

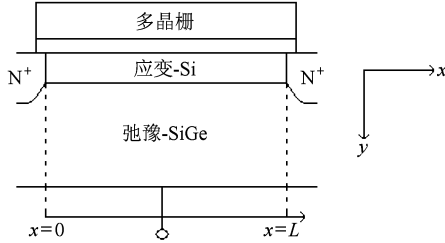


图1 应变 Si/SiGe MOSFET 结构示意图

2.1. 准二维表面势

对于小尺寸应变硅器件, 传统的一维分析已不再适用, 沟道横向表面电势不再是恒定不变的, 所以必须使用二维分析来描述器件的物理特性. 另外, 表面势是器件很重要的一个物理参数之一, 并且器件处于关态时, 器件表面呈弱反型, 因此借助传统的求解强反型势阱中的载流子分布的方法不适于研究关态隧穿电流, 此时则需求解器件关态或亚阈条件下的沟道表面势分布. 本文主要讨论应变硅 MOSFET 的隧穿效应, 那么, 由电磁学理论, 高斯定理可写为

$$\oint_S \epsilon E_n dS = Q_{\text{total}}, \quad (1)$$

其中 S 为一封闭曲面, ϵ 为介电常数, E_n 为通过曲面 S 的电场外法线分量, Q_{total} 为曲面所包围的总电荷. 然后我们在沟道区域构造一个“高斯盒”(即长为 Δx ($\Delta x \rightarrow 0$), 高为 W_d , 栅极宽度为 W 的一个立方体). 这样, (1) 式变为

$$\epsilon_{\text{SSi}} W_d \frac{dE(x)}{dx} + \frac{\epsilon_{\text{OX}} [V_{\text{GS}} - V_{\text{FB}} - \psi(x)]}{T_{\text{OX}}} = qN_A W_d, \quad (2)$$

其中 ϵ_{SSi} 是应变硅沟道的介电常数, W_d 的表达式形式与 V_{GS} 有关, 在讨论器件关态下的隧穿效应时, W_d 的表达式为

$$W_d(V_{\text{GS}}) = \sqrt{\frac{2\epsilon_{\text{SSi}}(V_{\text{GS}} - V_{\text{FB}})}{qN_A}} \quad (V_{\text{GS}} < V_{\text{TH}}). \quad (3)$$

为了求解(2)式, 应用如下两个边界条件: $\psi(0) = V_{\text{bi,SSi}}$ 和 $\psi(L) = V_{\text{bi,SSi}} + V_{\text{DS}}$, 则(2)式的解为

$$\psi(x) = \psi_0 + (V_{\text{bi,SSi}} - \psi_0) \frac{\sinh[(L-x)/\lambda]}{\sinh(L/\lambda)} + (V_{\text{bi,SSi}} + V_{\text{DS}} - \psi_0) \frac{\sinh(x/\lambda)}{\sinh(L/\lambda)}, \quad (4)$$

其中 $\psi_0 = V_{\text{GS}} - V_{\text{FB}} - qN_A W_d T_{\text{OX}} / \epsilon_{\text{OX}}$, $\lambda = \sqrt{\frac{\epsilon_{\text{SSi}} T_{\text{OX}} W_d}{\epsilon_{\text{OX}}}}$, 一般地, 小尺寸器件沟道电势呈对称分布, 沟道电势最小值点近似位于沟道中央, 即 $x_{\text{min}} = L/2$, 代入(4)式中并由 $\psi(x_{\text{min}}) = 2\phi_f = \frac{2kT}{q} \ln \frac{N_A}{n_{i,\text{Si}}}$, 可求得阈值电压为

$$V_{\text{TH}} = V_{\text{FB}} + \frac{qN_A W_d T_{\text{OX}}}{\epsilon_{\text{OX}}} + \frac{2\phi_f - (2V_{\text{bi,SSi}} + V_{\text{DS}}) \frac{\sinh(L/2\lambda)}{\sinh(L/\lambda)}}{1 - 2 \frac{\sinh(L/2\lambda)}{\sinh(L/\lambda)}}, \quad (5)$$

其中 $V_{\text{bi,SSi}}$ 为应变 Si 沟道中源极-沟道结的自建电势, 计入应变对其的影响 ΔV_{bi} , 其值变为

$$V_{\text{bi,SSi}} = V_{\text{bi,Si}} + \Delta V_{\text{bi,SSi}} = \frac{E_{\text{g,Si}}}{2q} + \frac{kT}{q} \ln\left(\frac{N_A}{n_{i,\text{Si}}}\right) - \frac{\Delta E_{\text{g,SSi}}}{q} + \frac{kT}{q} \ln\left(\frac{N_{\text{V,Si}}}{N_{\text{V,SSi}}}\right), \quad (6)$$

其中 $E_{\text{g,Si}}$ 是体硅的禁带宽度, N_A 是沟道和衬底的掺杂浓度, $n_{i,\text{Si}}$ 是体硅的本征载流子浓度, $\Delta E_{\text{g,SSi}}$ 由应变引起的禁带宽度变化, $N_{\text{V,Si}}, N_{\text{V,SSi}}$ 分别为体硅和应变硅的价带有效态密度. 这样, 穿过薄氧化层的电位差 V_{OX} 与位置 x 有关, 可表示为

$$V_{\text{OX}} = V_{\text{GS}} - V_{\text{FB}} - \psi(x), \quad (7)$$

其中 V_{FB} 为器件的平带电压, 这里我们将其定义为多晶 Si 栅极与应变 Si 沟道的功函数之差, 有

$$V_{\text{FB}} = \phi_{\text{MS}} = \chi_{\text{poly}} - \chi_{\text{SSi}} - E_{\text{g,SSi}} + (E_{\text{f}} - E_{\text{V}})_{\text{SSi}}, \quad (8)$$

这里 χ_{poly} 和 χ_{SSi} 分别为多晶 Si 和应变 Si 的电子亲和势, 且

$$E_{\text{f}} - E_{\text{V}} = \left(-\frac{kT}{q}\right) \ln\left(\frac{N_A}{N_{\text{V,SSi}}}\right). \quad (9)$$

应变 Si 导带底电子有效质量 m^* 表示为^[12, 13]

$$m^* = \left[2(m_{\Delta 2})^{3/2} + 4(m_{\Delta 4})^{3/2} \exp\left(-\frac{\Delta E_{\text{C,split}}}{kT}\right) \right]^{2/3}, \quad (10)$$

其中 $\Delta E_{C,split} = 0.67y$ 为应变引起的导带分裂能. 同样根据文献[12], 计算 2,4 两度简并能谷的有效质量 $m_{\Delta 2}, m_{\Delta 4}$ 的值随 Ge 组分 y 变化如表 1 所示.

表 1 $m_{\Delta 2}, m_{\Delta 4}$ 的值随 Ge 组分变化表

Ge 组分 y	0	0.1	0.2	0.3	0.4
$m_{\Delta 2}$	0.3218	0.3197	0.3118	0.3167	0.3150
$m_{\Delta 4}$	0.3218	0.3223	0.3220	0.3230	0.3229

另外, 势垒高度可以定义为

$$\phi_{OX} = \chi_{SSi} - \chi_{OX}, \quad (11)$$

其中 χ_{SSi} 是应变硅的亲势, χ_{OX} 是 SiO_2 的亲势.

2.2. 栅直接隧穿电流预测模型

栅直接隧穿电流是由隧穿电子(或空穴)穿过栅氧势垒到达栅极所引起的^[15], 图 2 揭示了这种直接隧穿现象. 图 2 中, ϕ_{OX} 是氧化层势垒高度, V_{OX} 是穿过栅氧的电势差, E_c 是导带边, E_v 是价带边. 体硅 MOS 器件有三种直接隧穿机制: 一是电子从应变硅导带隧穿到栅的导带 (CBET); 二是电子从应变硅价带隧穿到栅的导带 (VBET); 三是空穴从应变硅的价带隧穿到栅的价带 (VBHT). 但是, 在应变硅器件的 Poly-Si/ SiO_2 /SSi 系统中, 电子无法从价带隧穿至导带, 空穴也无法隧穿, 于是 VBET, VBHT 两个电流分量几乎为零, 可以忽略. 则应变硅 MOSFET 栅直接隧穿电流^[16] 主要为 CBET, 并可以模型化为

$$J_{DT} = J_G \approx J_{CBET} = A \left(\frac{V_{OX}}{T_{OX}} \right)^2 \cdot \exp \left[-B \left(\frac{V_{OX}}{T_{OX}} \right)^{-1} \times \left(1 - \left(1 - \frac{V_{OX}}{\phi_{OX}} \right)^{\frac{3}{2}} \right) \right], \quad (12)$$

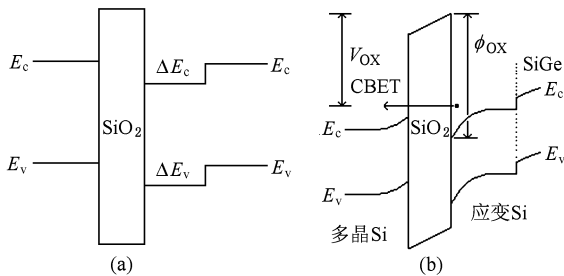


图 2 栅直接隧穿示意图 (a) 平带条件下器件能带图^[14], (b) 亚阈条件下隧穿过程示意图

其中 J_{DT} 是直接隧穿电流密度, ϕ_{OX} 是势垒高度, T_{OX} 是氧化层厚度, A 和 B 是物理参数, 其值分别为: $A = \frac{q^3}{16\pi\hbar\phi_{OX}}$, $B = \frac{4\sqrt{2m^*}\phi_{OX}^{3/2}}{3\hbar q}$. 那么, 由 (7) 和 (12) 式, 沟道中沿 x 点处的栅隧穿电流密度则可以近似为

$$J_G(x) \approx AE_{OX}^2 \exp(-B/E_{OX}) \approx AE_{OX}^2 \exp(-BT_{OX}/(V_{OX} - \psi(x))) \equiv J_{G0} \exp(-B^* \psi(x)), \quad (13)$$

式中, $E_{OX} = V_{OX}/T_{OX}$, J_{G0} 是 $V_{DS} = 0$ 时的栅隧穿电流密度, $B^* = pBT_{OX}/V_{OX}^2$, p 是缺省值为 1 的调整参数, $V_{OX} \approx V_{GS}$, 是在 $x = 0$ 处的栅-源电压, 即 (7) 式中 $x = 0$ 时 V_{OX} 的值.

应变硅 MOSFET 的基本结构和隧穿电流组成如图 3 所示. 栅隧穿电流由几部分组成, I_{GSO} 和 I_{GDO} 是穿过栅对源、漏交叠区的寄生漏电流, I_{GC} 是栅对反型沟道的隧穿电流, I_{GC} 由流向源极的 I_{GS} 和流向漏极 I_{GD} 组成^[17], 是本文所讨论直接隧穿电流的主要成分. 本文将着重讨论组成隧穿电流的各个部分从整体上所表现出来特性, 即从器件的栅、源、漏各极看所表现出来的特性.

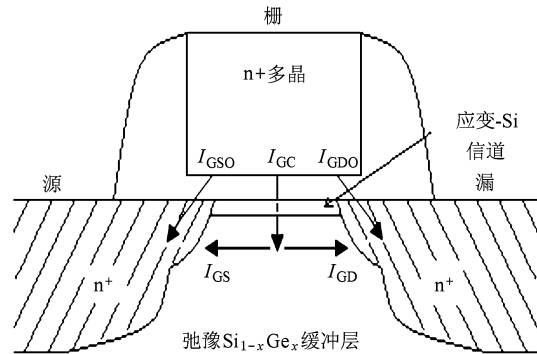


图 3 栅隧穿电流组成

为了更准确地表示隧穿电流, 用积分形式表示总的栅隧穿电流为

$$I_G = W \int_0^L J_G(x) dx = WL \cdot \frac{\int_0^L J_G(x) dx}{\int_0^L dx} = WL \cdot \langle J_G(x) \rangle, \quad (14)$$

其中 W 为栅氧化层的宽度, L 为栅氧化层的长度. (14) 式可以理解为总的电流密度是栅氧界面面积

($W \cdot L$)与通过的界面平均电流密度 $\langle J_G(x) \rangle$ 的乘积,进一步由(14)式可以得到 $I_G = W \int_0^L J_G(x) dx = \langle I_G(x) \rangle$. 其物理意义是总的电流 I_G 是通过栅氧界

面面积 ($W \cdot x, x \rightarrow L$) 电流的平均值,式中 $J_G(x) = J_{G0} e^{-B^* \psi(x)}$ 是在 x 位置上的栅隧穿电流密度.

于是,由(4),(7),(12),(13)和(14)式可得

$$I_G = W \int_0^L J_G(x) dx = W \int_0^L J_{G0} \exp(-B^* \psi(x)) dx$$

$$= J_{G0} W e^{-B^* \psi_0} \int_0^L e^{(V_{bi,SSi} - \psi_0) \frac{\sinh[(L-x)/\lambda]}{\sinh(L/\lambda)} + (V_{bi,SSi} + V_{DS} - \psi_0) \frac{\sinh(x/\lambda)}{\sinh(L/\lambda)}} dx. \quad (15)$$

若令 $m = \frac{V_{bi,SSi} - \psi_0}{\sinh(L/\lambda)}, n = \frac{V_{bi,SSi} + V_{DS} - \psi_0}{\sinh(L/\lambda)}$, 那么

$$I_G = J_{G0} W e^{-B^* \psi_0} \int_0^L \exp(m \sinh[(L-x)/\lambda] + n \sinh(x/\lambda)) dx. \quad (16)$$

由双曲正弦函数的数学图像,在 $x \geq 0$ 的很小范围内,在不影响其物理含义时可以认为 $\sinh(x) \approx \alpha \cdot x$, 那么采取这样的近似后,可以得到

$$I_G \approx J_{G0} W e^{-B^* \psi_0} \int_0^L \exp(ma \cdot [(L-x)/\lambda] + nb \cdot (x/\lambda)) dx$$

$$\approx J_{G0} W \cdot e^{\frac{mal}{\lambda}} \left(\frac{\lambda}{ma - nb} \right) \times (e^{\frac{ma-nb}{\lambda} L} - 1) \cdot e^{-B^* \psi_0}, \quad (17)$$

式中, a 和 b 是可以近似为 1 的常数.

由

$$B^* = pBT_{OX}/V_{OX}^2,$$

并令

$$k = J_{G0} W \cdot e^{\frac{mal}{\lambda}} \left(\frac{\lambda}{ma - nb} \right) (e^{\frac{ma-nb}{\lambda} L} - 1),$$

$$t = -V_{GS}^2 / (B\psi_0),$$

则有

$$I_G \approx k \exp(T_{OX}/t). \quad (18)$$

由前面分析可知, k 和 t 均为常量,则(18)式即为最终的应变硅 MOSFET 栅隧穿电流与栅氧厚度关系的简明模型.

3. MOSFET 关态特性

在研究 MOS 器件关态特性过程中,为了给将来的集成电路设计提供理论依据,定量地确定相关特性,均采用了 SiO_2 作为绝缘层介质.文中所用仿真框架可以很容易地扩展到由其他介质构成的绝缘体的器件中,也可以评估在采用其他介质作绝缘层时性能是否优于采用 SiO_2 作为绝缘层介质的器

件^[18]. 在进行器件关态特性和电路仿真时,仿真工具为 ISE,表 2 显示了用于仿真 MOSFET 关态栅隧穿电流时对应的部分重要器件结构参数^[19],其中,阈值电压由(5)式计算得到.表 3 中则是在推导过程中器件的物理参数,其中 y 为表 1 中的 Ge 组分.

表 2 器件结构参数

结构参数	取值			
栅长/nm	90	75	65	53
沟道长度/nm	65	53	45	37
交叠区长度/nm	12.5	11.0	10.0	8.0
氧化层厚度/nm	1.3	1.2	1.1	0.9
电源电压/V	1.2	1.1	1.0	1.0
阈值电压/V	0.31	0.29	0.28	0.26
结深/nm	71.5	58.5	49.5	36.0
沟道掺杂浓度/ 10^{18} cm^{-3}	1.15	1.15	2.0	2.0
栅掺杂浓度/ 10^{20} cm^{-3}	0.92	0.92	1.14	1.5

表 3 器件物理参数^[12, 20]

物理参数	取值
真空介电常数 ϵ_0	8.854×10^{-12}
应变硅相对介电常数 ϵ_{SSi}	$11.9\epsilon_0$
应变硅本征载流子浓度 $n_{i,SSi}$	1.5×10^{16}
应变硅禁带宽度 $E_{g,SSi}$	$1.804 - (0.31 + 0.53y)y$
应变硅价带有效态密度 $N_{v,SSi}$	$(2.8 - 1.76y) \times 10^{25}$
多晶栅极亲和势 χ_{poly}	4.05
应变硅亲和势 χ_{SSi}	$4.05 + 0.58y$
应变硅导带能谷分裂能 $\Delta E_{c,split}$	0.67y

应用表 2 和表 3 中的器件参数,对 NMOSFET 的栅和漏极电流在一定偏置条件下利用 ISE 在室温下进行仿真,其中随着 Ge 组分 y 变化应变 Si 的禁带宽度的变化量也列于表 3 中,关于 NMOSFET 的栅电流在两种不同关态下的结果显示在图 4 和图 5 中.通过 ISE 进行仿真时,理论值与相应实际参数值

相符合但略有差别,使用表 2 和表 3 中的参数进行了修正. 针对 NMOSFET,在两种不同关态下的仿真结果,图 4 显示了 NMOSFET 偏置在 $V_{GS}=0$ 和 V_{DS} 为 $0-V_{DD}$ 关态范围的仿真结果. 从图中可以看到,当归一化漏-源电压从 $0-1.0$ V 变化时,90—65 nm 栅长的技术节点栅隧穿电流仅略有增加,而 53 nm 栅长技术节点栅隧穿电流则相对明显急剧增加,栅长越小,即当氧化层厚度越薄,栅隧穿电流增加越快,随着栅氧化层厚度的减小,从 90—53 nm 栅长技术节点,栅隧穿电流约增加了 3 个数量级. 图 5 显示了 NMOSFET 在另一种关态 $V_{DS}=0, V_{GS}=0-V_{DD}$ 下的仿真结果,可以得出相似的结论,只是栅隧穿电流在 $V_{DS}=0$ 时比 $V_{GS}=0$ 更大.

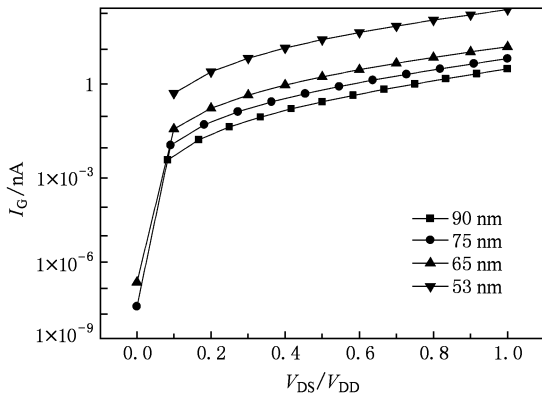


图 4 $V_{GS}=0$ 时的栅电流

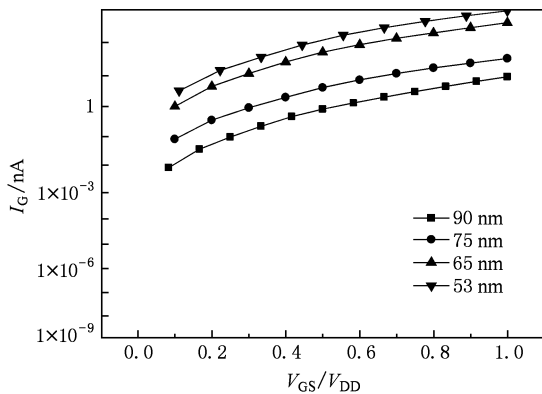


图 5 $V_{DS}=0$ 时的栅电流

从图 4 和图 5 可以明显看到栅直接隧穿电流随栅氧化层厚度减小而增加,但是却不能直接看出是以何种形式增加. 为了进一步说明随氧化层厚度减小,栅直接隧穿电流增加的情况,将通过图 6—9 继续加以阐述. 图 6 显示的是 NMOSFET 偏置在关态

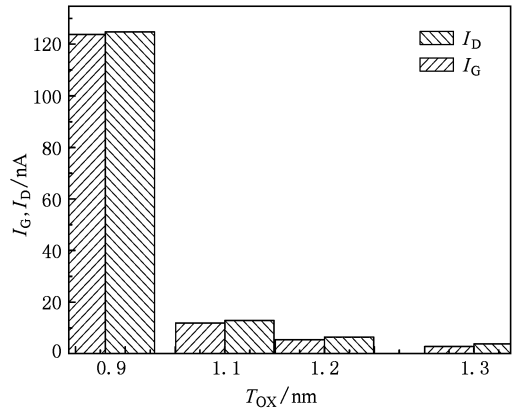


图 6 $V_{GS}=0, V_{DS}=V_{DD}$ 时,栅、漏电流变化

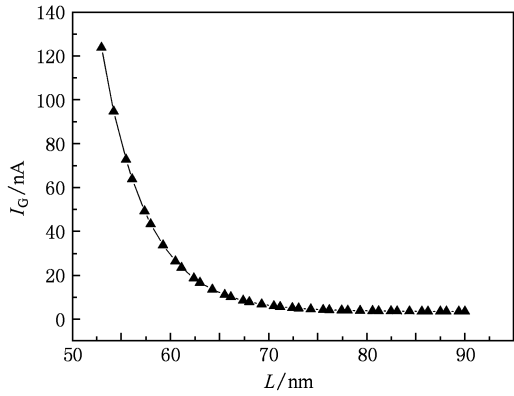


图 7 $V_{GS}=0, V_{DS}=V_{DD}$ 时,栅电流 I_G 的理论变化曲线

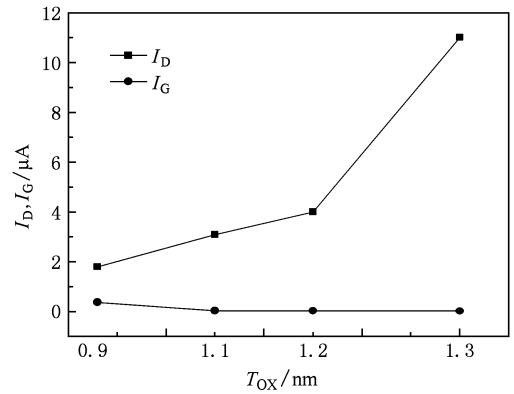


图 8 $V_{DS}=0.02V_{DD}, V_{GS}=V_{DD}$ 时,栅、漏电流变化

$V_{GS,N}=0, V_{DS,N}=V_{DD}$ 时,栅电流 (I_G) 和漏极电流 (I_D) 的柱状图,可以看到,对于氧化层厚度从 0.9—1.3 nm 变化的所有器件,在这种关态下, $I_{G,N}$ 与 $I_{D,N}$ 变化情况基本相同,漏极电流 $I_{D,N}$ 与栅电流 $I_{G,N}$ 的大小接近相等,漏极电流略大于栅电流,为区分其值,特用

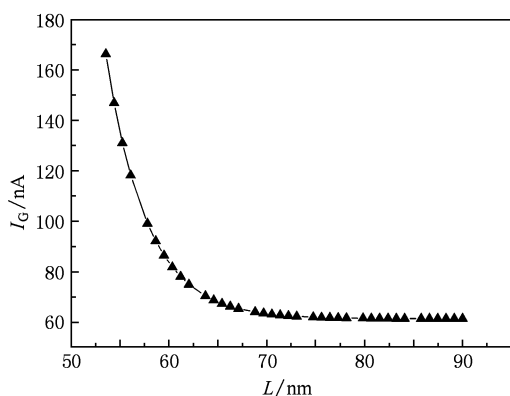


图9 $V_{DS} = 0.02V_{DD}$, $V_{GS} = V_{DD}$ 时, 栅电流 I_G 的理论变化曲线

柱状图显示. 图6的柱状图表示的是由实验得到的应变硅器件栅电流变化情况, 而图7显示的则是通过模型(18)的理论计算得到的图形, 其变化趋势与仿真结果一致, 均明显呈指数形式增加, 充分证明了本文所提出的模型(18)的有效性. 在这个实验结果图形中, 从90—53 nm栅长技术节点的漏极电流在栅隧穿电流影响下也增加了约三个数量级, 这是由于栅直接隧穿电流随栅氧化层厚度的减小是以指数形式增长. 图8中, NMOSFET偏置在关态 $V_{GS,N} = V_{DD}$, $V_{DS,N} = 0.02V_{DD}$, 处于线性偏置区, 经仿真实验后, 结果显示对于氧化层厚度从0.9—1.3 nm变化的所有器件, 圆点线表示的栅电流 I_G 与矩形点线表示的漏电流 I_D 呈反向变化. 在此条件下, 漏极电流达到微安级. 从90—53 nm栅长技术节点, 栅电流 I_G 远远小于漏极电流 I_D , 并随着栅氧化层厚度的减小, 逐渐趋近. 图9则显示的是在这种条件下, 通过

模型(18)进行理论计算得到的栅电流图形, 其结果也与图8中栅电流变化一致, 依然符合前文所推导出的模型(18).

从仿真实验与理论计算结果上来看, 对于应变硅MOS器件, 栅直接隧穿电流将会随器件尺寸的减小而呈指数形式增加, 而这种增加甚至可以达到微安级, 这就使小尺寸电路的设计面临严重的挑战, 如何消除甚或利用这种影响, 则需要继续研究.

4. 结 论

当应变硅MOSFET氧化层厚度减小时, 栅隧穿电流的存在对器件和所构成的电路影响显著. 为了说明应变硅MOSFET的栅电流和氧化层厚度间的关系以及小尺寸器件构成的电路在栅漏电流作用下会产生怎样的影响, 从准二维表面势的研究开始, 构建了应变硅MOSFET栅隧穿电流与氧化层厚度 ($T_{ox} < 100$ nm) 的关系模型, 表明栅隧穿电流随栅氧厚度减小呈指数形式增加. 为了进一步直观地说明小尺寸应变硅器件的这种特性, 使用ISE进行仿真. 仿真结果符合理论分析, 即应变硅器件氧化层厚度越小, 栅漏电流的增加越大, 并呈指数形式增长, 其影响也就越严重, 甚至电路的正常工作性能也会受到干扰. 由于应变硅技术具备载流子迁移率高、输出电流大、源漏效应小等优越性能, 在航空、武器和通讯领域中都有极其广泛的应用前景. 文中的理论和实验数据将会给以后的相应VLSI设计提供有益的参考.

- [1] Irisawa T, Numata T, Toyoda E, Hirashita N, Tezuka T, Sugiyama N, Takagi S I 2008 *IEEE Trans. Electron Dev.* **55** 3159
- [2] Mondal I, Dutta A K 2008 *IEEE Trans. Electron Dev.* **55** 1682
- [3] Lin C H, Kuo J B, Su K W, Liu S 2006 *Electro. Lett.* **42** 182
- [4] Yang N, Henson W K, Wortman J 2000 *IEEE Trans. Electron Dev.* **47** 1634
- [5] Joshi G, Singh D N, Thangjam S 2008 *IEEE Conference Arlington Texas* p37
- [6] Song J J, Zhang H M, Hu H Y, Xuan R X, Dai X Y 2010 *Acta Phys. Sin.* **59** 579 (in Chinese) [宋建军、张鹤鸣、胡辉勇、宣荣喜、戴显英 2010 物理学报 **59** 579]
- [7] Chen W B, Xu J P, Zou X, Li Y P, Xu S G, Hu Z F 2006 *Acta Phys. Sin.* **56** 5036 (in Chinese) [陈卫兵、徐静平、邹晓、李

- 艳萍、许胜国、胡致富 2006 物理学报 **56** 5036]
- [8] Cao Y R, Ma X H, Hao Y, Hu S G 2010 *Chin. Phys. B* **19** 047307
- [9] Padhi R, Kothari M 2009 *Int. J. Innova. Comp., Inf. Cont.* **5** 399
- [10] Zhang Z F, Zhang H M, Hu H Y, Xuan R X, Song J J 2009 *Acta Phys. Sin.* **58** 4948 (in Chinese) [张志锋、张鹤鸣、胡辉勇、宣荣喜、宋建军 2009 物理学报 **58** 4948]
- [11] Pavel A A, Sharma A, Islam N 2008 *IEEE Electron Dev. Lett.* **29** 1370
- [12] O'Neil A G, Antoniadis D A 1996 *IEEE Trans. Electron Dev.* **43** 911
- [13] Song J J, Zhang H M, Hu H Y, Xuan R X, Dai X Y 2009 *Acta Phys. Sin.* **58** 4958 (in Chinese) [宋建军、张鹤鸣、胡辉勇、宣

- 荣喜、戴显英 2009 物理学报 **58** 4958]
- [14] Zhang W M, Fossum J G 2005 *IEEE Trans. Electron Dev.* **52** 263
- [15] Mukhopadhyay S, Neau C, Cakici R 2003 *IEEE Trans. Syst.* **11** 716
- [16] Cao K, Lee W C, Liu W, Liu W, Jin X, Su P, Fung S K H, An J X, Yu B, Hu C 2000 *In IEDM Tech. Digest.* San Francisco CA p815
- [17] Yang L F, Watling J R, Richard C W, Mirela B, Barker J R, Asen A, Scott R 2004 *Semicond. Sci. Technol.* **19** 1174
- [18] Du G, Liu X Y, Xia Z L, Yang J F, Han R Q 2010 *Chin. Phys. B* **19** 057304
- [19] <http://www.itrs.net/2003> "International Technology Roadmap for Semiconductors" 2003
- [20] Lin C Y, Liu C W 1997 *Appl. Phys. Lett.* **70** 1441

Gate tunneling current predicting model of strained Si for scaled metal-oxide semiconductor field effect transistor

Wu Tie-Feng^{1)2)†} Zhang He-Ming¹⁾ Wang Guan-Yu¹⁾ Hu Hui-Yong¹⁾

1) (Key Laboratory of Wide Band-Gap Semiconductor Materials and Devices, School of Micro-Electronics, Xidian University, Xi'an 710071, China)

2) (School of Information and Electronic Technology, Jiamusi University, Jiamusi 154007, China)

(Received 15 April 2010; revised manuscript received 26 May 2010)

Abstract

For scaled metal-oxide semiconductor field effect transistor (MOSFET) devices, normal operation is seriously affected by the static gate tunneling leakage current due to the ultra-thin gate oxide of MOSFET, and the novel MOSFET devices based on strained Si are similar to bulk Si devices in the effects. To illustrate the impact of gate leakage current on performance of novel strained Si device, a theoretical gate tunneling current predicting model by integral approach following the analysis of quasi-two-dimensional surface potential is presented in this study. On the basis of theoretical model, performance of MOSFET device was quantitatively studied in detail using ISE simulator, including different gate voltages and gate oxide thickness. The experiments show that simulation results agree well with theoretical analysis, and the theory and experimental data will contribute to future VLSI circuit design.

Keywords: strained Si, quasi-two-dimensional surface potential, gate tunneling current, predicting model

PACS: 73.40. Ei, 73.40. Ty, 73.61. Ng

† E-mail: wu_tiefeng@163.com