

Ge 组分对应变 $\text{Si}_{1-x}\text{Ge}_x$ 沟道 p-MOSFET 电学特性影响*

杨洲¹⁾ 王莞^{1)†} 王洪涛¹⁾ 胡伟达²⁾ 杨宇^{1)‡}

1) (云南大学光电信息材料研究所, 昆明 650091)

2) (中国科学院上海技术物理研究所, 红外物理国家重点实验室, 上海 200083)

(2010年1月12日收到; 2010年11月11日收到修改稿)

利用二维数值模拟方法, 研究了不同 Ge 组分应变 $\text{Si}_{1-x}\text{Ge}_x$ 沟道 p-MOSFET 的电容-电压特性以及阈值电压的变化情况. 计算结果表明: 提高应变 $\text{Si}_{1-x}\text{Ge}_x$ 沟道层中的 Ge 组分, 器件亚阈值电流明显增大; 栅电容在器件进入反型状态时产生显著变化; 阈值电压的改变量与 Ge 组分基本成线性关系. 通过改变 $\text{Si}_{1-x}\text{Ge}_x$ 沟道的长度, 并结合相关物理模型, 在低电场情况下, 沟道中的空穴迁移率与总电阻对沟道长度的微分成反比关系.

关键词: 应变 $\text{Si}_{1-x}\text{Ge}_x$ 沟道, p-MOSFET, 空穴迁移率, 栅电容

PACS: 71.15.-m, 73.63.Hs

1. 引言

在传统的体硅 CMOS 技术中, 空穴迁移率只有电子迁移率的 1/2 到 1/3 左右. 因此, 在版图设计中为实现驱动电流的匹配, 通常要把 p-MOSFET 面积设计得比 n-MOSFET 大 2—3 倍, 但这又往往降低了芯片的集成度和速度. Nayak 等人^[1] 最早通过实验证明了应变 $\text{Si}_{1-x}\text{Ge}_x$ 沟道的 p-MOSFET 比体硅 p-MOSFET 具有更高的空穴迁移率. 也就是说, 使用 $\text{Si}_{1-x}\text{Ge}_x$ 材料作为导电沟道, 将会有利于改善 CMOS 电路的性能和集成密度. 又因为其制作过程与传统的硅工艺相兼容, 应变 $\text{Si}_{1-x}\text{Ge}_x$ 沟道 p-MOSFET 结构越来越受到人们的重视^[2-5].

国际上对应变 $\text{Si}_{1-x}\text{Ge}_x$ 沟道 p-MOSFET 已有较多研究, Bindu 和 Lukic 等人^[6,7] 分别提出了器件的漏源电流和阈值电压物理解析模型, 探讨了不同器件尺寸条件下的驱动电流以及亚阈值特性. Fiorenza 等人^[8] 采用漏源区外延生长 $\text{Si}_{1-x}\text{Ge}_x$ 的方式来增强沟道应力, 优化了器件结构及性能. Lee 等人^[9] 利用

HfSiO_x 高 *k* 栅介质和 TaN 金属栅极代替传统的 SiO₂ 栅介质和多晶硅栅极, 数值模拟了亚 60 nm Si/Si_{0.25}Ge_{0.75}/Si 异质结 p-MOSFET 的短沟道效应. Ge 组分作为应变 $\text{Si}_{1-x}\text{Ge}_x$ 沟道 p-MOSFET 的一个极其重要的参数, 其大小不仅决定了 Si/Si_{1-x}Ge_x 异质结中的价带偏移量, 还影响了 Si 缓冲层/Si_{1-x}Ge_x 沟道/Si 覆盖层结构所形成的二维空穴气 (2DHG) 中的空穴迁移率. 然而, 目前关于 Ge 组分对应变 SiGe 沟道 p-MOSFET 电学特性影响的报道相对较少, 大都只是简单比较了 Ge 组分呈三角形分布和矩形分布时器件的饱和输出特性. 为此, 本文采用二维数值模拟方法, 分别计算了在不同 Ge 组分下器件的转移特性以及栅电容随栅偏压的变化情况, 并对阈值电压的变化情况进行了模拟分析. 结合相关物理模型, 较好地解释了器件电阻随沟道长度的变化关系.

2. 器件结构

图 1 显示了应变 $\text{Si}_{1-x}\text{Ge}_x$ 沟道 p-MOSFET 的二

* 国家自然科学基金 (批准号: 10964016, 60567001), 教育部科学技术研究重点项目 (批准号: 210207) 和云南省自然科学基金重点项目 (批准号: 2008CC012) 资助的课题.

† 通讯联系人. E-mail: cwang6@163.com

‡ 通讯联系人. Email: yuyang@ynu.edu.cn

维结构模型. 研究表明直接在 $\text{Si}_{1-x}\text{Ge}_x$ 上热生长氧化层会造成 Ge 在 $\text{SiO}_2/\text{Si}_{1-x}\text{Ge}_x$ 界面富集使界面态增加, 器件的开启性能变差, 所以在 $\text{Si}_{1-x}\text{Ge}_x$ 层与栅极之间增加了一层硅覆盖层. 硅覆盖层可以有效减弱栅极和 SiO_2 界面之间的缺陷散射, 同时抑制因表面缺陷和氧化层电荷引起的散射, 额外提高了空穴迁移率. 但是, 硅覆盖层在栅极负偏压足够大时会产生表面寄生沟道, 导致器件性能退化. 因此, 在尽可能消弱界面散射的前提下, 硅覆盖层越薄越好. 在硅覆盖层上热氧化生长一层 SiO_2 层, 是为了最大限度地减小栅极漏电流.

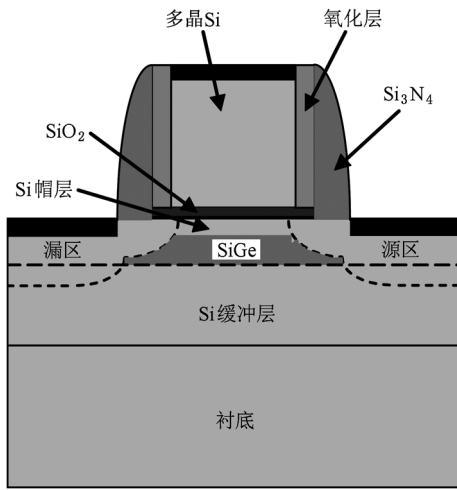


图1 应变 $\text{Si}_{1-x}\text{Ge}_x$ 沟道 p-MOSFET 的二维结构模型

图2显示了应变 $\text{Si}_{1-x}\text{Ge}_x$ 沟道 p-MOSFET 在栅极负偏压下的能带结构图^[10], E_C 为半导体导带底能量, E_V 为价带顶能量, E_F 为费米能级. $\text{Si}/\text{Si}_{1-x}\text{Ge}_x$ 异质结处的价带势分布不连续, 这主要与 SiGe 合金的禁带宽度随 Ge 组分的增大而减小有关. 若考虑应力因素, 每增加引入 10% 的 Ge 将使禁带宽度变窄 (ΔE_g) 约 84 meV, 由于 Ge-Si 之间较大的价带带阶, 能带突变量主要体现在价带 (ΔE_V) 上, 导带底的突变量 (ΔE_C) 则可以忽略不计. 当栅极负偏压增大到一定程度, $\text{Si}/\text{Si}_{1-x}\text{Ge}_x$ 异质结附近将呈现反型, 大量空穴积聚 $\text{Si}_{1-x}\text{Ge}_x$ 量子阱内部, 形成二维空穴气 (2DHG).

3. 数值模拟方法

本文利用 ISE-TCAD 软件对器件的电学特性进行二维数值模拟, 选用 DEVISE 模块生成器件的二维结构, 并根据该器件电学特性在 DESSIS 模块中

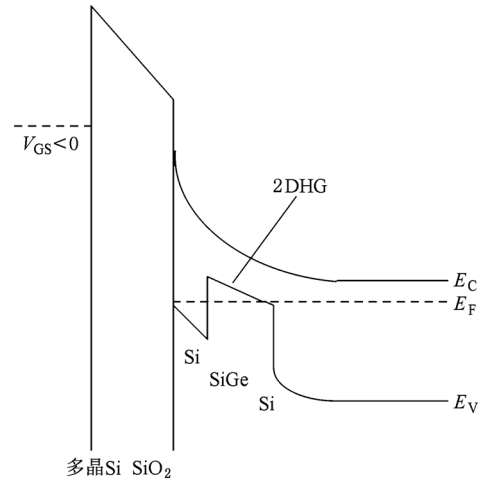


图2 负偏压下应变 $\text{Si}_{1-x}\text{Ge}_x$ 沟道 p-MOSFET 栅极的能带结构

选取适当的物理模型进行数值模拟计算. DESSIS 输运模型支持漂移-扩散模型 (drift-diffusion transport model)、蒙特卡罗模拟 (Monte Carlo simulation)、热动力学输运模型 (thermodynamic transport model) 和流体力学能量平衡输运模型 (hydrodynamic energy balance transport model). 本文在研究过程中采用了流体力学能量平衡输运模型, 该模型在漂移-扩散模型的基础上增加了载流子温度的连续性方程, 并且将载流子迁移率和碰撞电离系数看成是载流子的温度函数, 而不是简单地当作本地电场的函数. DESSIS 包含三种量子效应模型: Van Dort 量子修正模型; 一维薛定谔方程模型; 密度梯度模型 (density gradient model). 考虑了器件的量子效应, 本文在研究过程中采用了密度梯度模型. 密度梯度模型运算速度介于前面二者之间, 并且其收敛性较好, 该模型可以用于 MOSFET、量子阱、超薄 SOI 等器件, 并能准确表达器件的端特性和电荷分布情况. 与其他量子模型相比, 密度梯度模型还能模拟二维和三维量子效应. 随着电场和电荷的急剧变化, 该模型能更准确给出迁移率和电荷的复合-产生特性.

在本文的数值模拟计算中所涉及的模型主要建立在求解泊松方程、两个连续性方程以及两个电流密度方程基础上:

$$\nabla \varepsilon \cdot \nabla \psi = -q(p - n + N_{D^+} + N_{A^-}), \quad (1)$$

$$\nabla \cdot \mathbf{J}_n = qR + q \frac{\partial n}{\partial t},$$

$$-\nabla \cdot \mathbf{J}_p = qR + q \frac{\partial p}{\partial t}, \quad (2)$$

$$\mathbf{J}_n = q\mu_n(n \nabla E_C + k_B T_n \nabla n)$$

$$+ n f_n^{\text{ad}} k_B \nabla T_n - 1.5 n k_B T_n \nabla \ln m_e), \quad (3a)$$

$$\begin{aligned} J_p = & q \mu_p (p \nabla E_V - k_B T_p \nabla p \\ & - p f_p^{\text{ad}} k_B \nabla T_p - 1.5 p k_B T_p \nabla \ln m_h), \quad (3b) \end{aligned}$$

其中, ϵ 为介电常数, ψ 为静电势, p 和 n 分别为电子和空穴浓度, N_D^+ 和 N_A^- 分别为施主离子和受主离子浓度, R 是复合率, J_n 和 J_p 分别为电子和空穴电流密度, μ_n 和 μ_p 分别为电子和空穴迁移率, k_B 是玻尔兹曼常数, T_n 和 T_p 分别是电子和空穴温度, f_n^{ad} 和 f_p^{ad} 可以从 DESSIS 工具中的参数文件中得到, 根据器件结构对应的物理模型, 方程(3)中的 $f_n^{\text{ad}} = f_p^{\text{ad}} = 0$, m_e 和 m_h 分别是电子和空穴的有效质量.

4. 模拟结果分析与讨论

图 3 显示了应变 $\text{Si}_{1-x}\text{Ge}_x$ 沟道的 p-MOSFET 的理论模拟和实验结果的对比. 其中图 3(a) 是模拟 Ge 组分为 35% 的器件准静态栅极电容-电压 (C - V) 曲线和文献 [11] 相应的实验结果的对比, 图 3(b) 则是模拟 Ge 组分为 25% 的器件转移特性曲线与文献 [12] 中相关实验结果比较. 计算模拟是根据文献中提供的实验参数, 对器件的准静态 C - V 特性和器件转移特性进行的二维数值模拟计算. 通过对比模拟计算和实验结果, 不难发现两者之间能够相符得很好, 这表明本文为器件所选取的物理模型较为合理.

数值模拟过程中, 应变 $\text{Si}_{1-x}\text{Ge}_x$ 沟道中 Ge 组分为矩形分布, Si 缓冲层厚度为 100 nm, 应变 SiGe 沟道厚度为 5 nm, Si 帽层厚度为 2 nm, 栅氧化层厚度为 3 nm, 漏源外延厚度为 20 nm, 多晶硅栅极硼掺杂浓度为 $1 \times 10^{-20} \text{ cm}^{-3}$, 应变 SiGe 沟道砷掺杂浓度为 $1 \times 10^{16} \text{ cm}^{-3}$, 漏源区硼掺杂浓度为 $1 \times 10^{-20} \text{ cm}^{-3}$, 漏源结深为 40 nm. 图 4 给出了体硅、 $\text{Si}_{0.7}\text{Ge}_{0.3}$ 和 $\text{Si}_{0.5}\text{Ge}_{0.5}$ 沟道 p-MOSFET 的转移特性, 计算中设定沟道长度为 60 nm, 漏源偏压 $V_{\text{DS}} = -0.1 \text{ V}$. 从图 4 中可以看出: $\text{Si}_{0.7}\text{Ge}_{0.3}$ 沟道 p-MOSFET 的亚阈值电流比体硅 p-MOSFET 要高出 3—4 个数量级, 这可能由于亚阈值区空穴主要分布在 SiGe 沟道, 亚阈值电流也主要流过具有更高本征载流子浓度的 SiGe 层, 导致亚阈值电流随着 Ge 组分的增大而增大. 亚阈值摆幅 (S) 是亚阈值区的一个重要参数, 其表达式为

$$S = [\partial(\lg I_{\text{DS}}) / \partial V_{\text{GS}}]^{-1}, \quad (4)$$

从图 4 中提取出体硅、 $\text{Si}_{0.7}\text{Ge}_{0.3}$ 和 $\text{Si}_{0.5}\text{Ge}_{0.5}$ 沟道 p-

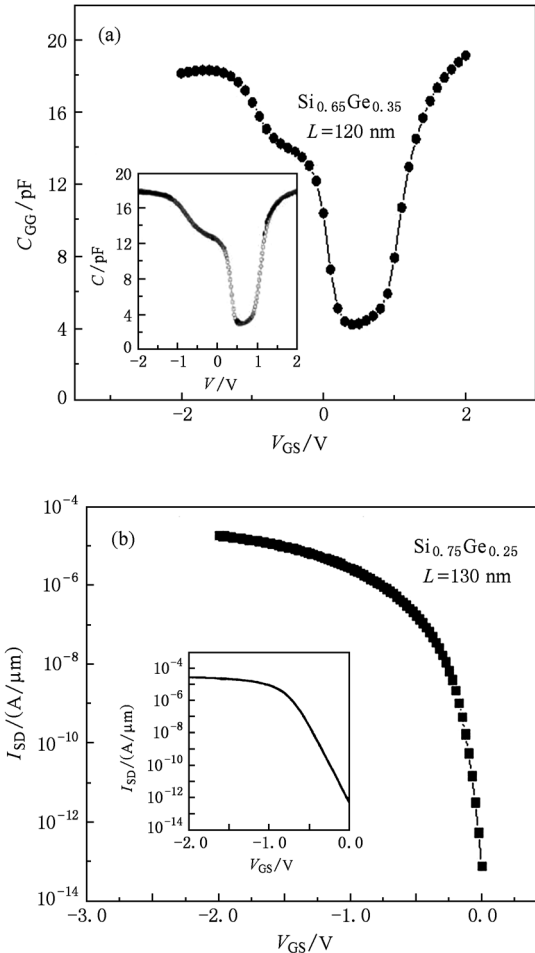


图 3 模拟结果与实验结果对比图 (a) Ge 组分为 35% 的器件准静态 C - V 特性, 插图为文献 [11] 中的相应实验结果; (b) Ge 组分为 25% 的器件转移特性, 插图为为文献 [12] 中的相应实验结果

MOSFET 的亚阈值摆幅, 分别为 89.7, 91.8 和 95.3 mV/dec. 亚阈值摆幅的变化主要体现在栅极控制沟道的能力上, Ge 组分的增大对栅极控制沟道的能力影响不大. 因此, 随着 Ge 组分的增大亚阈值摆幅略有增加, 但变化并不明显.

MOSFET 的栅极总电容 (C_{GG}) 由氧化层电容 (C_{OX})、耗尽的多晶硅栅电容 (C_{P}) 以及表面电容 (C_{S}) 串联而成^[13,14], 即

$$\frac{1}{C_{\text{GG}}} = \frac{1}{C_{\text{OX}}} + \frac{1}{C_{\text{P}}} + \frac{1}{C_{\text{S}}}, \quad (5)$$

器件由开始耗尽向强反型转化的过程中, 当体硅沟道 p-MOSFET 的 SiO_2/Si 界面开始耗尽时, 栅电容随着栅极负偏压增大而增大. 由图 5 可知, 在此过程中, 随着 Ge 组分的增大, 应变 $\text{Si}_{1-x}\text{Ge}_x$ 沟道 p-MOSFET 栅电容的增幅下降. 其最有可能的原因在

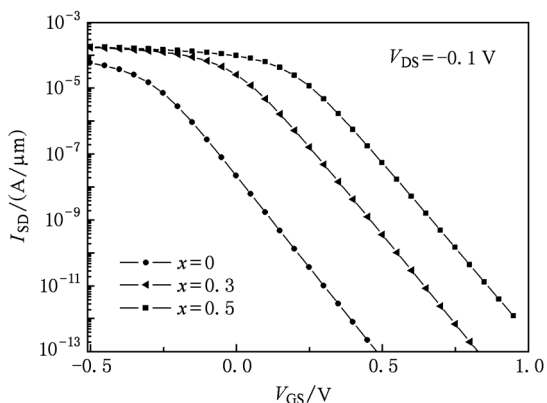


图4 体硅、Si_{0.7}Ge_{0.3}和Si_{0.5}Ge_{0.5}沟道 p-MOSFET 的转移特性

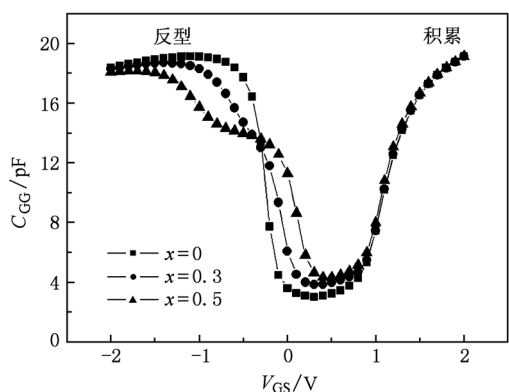


图5 不同 Ge 组分器件的准静态 C-V 特性

于:与体硅 p-MOSFET 有所不同, Si_{1-x}Ge_x 沟道 p-MOSFET 最先在 Si/Si_{1-x}Ge_x 界面形成耗尽层, 而随着 Ge 组分的增大, Si_{1-x}Ge_x 量子阱逐渐加深, 沟道限制空穴的能力增强, 耗尽层电荷增大的幅度减小, 即 C_s 的增幅随着 Ge 组分的增大而下降. 当沟道表面达到强反型时, 沟道内耗尽区宽度达到最大, SiO₂/Si 界面反型电荷迅速增加, C_s 急剧增大, 而且低电场时 C_p 可以忽略, 在这种情况下, (5) 式可简化为

$$C_{GG} = \frac{1}{1/C_{OX} + 1/C_s} = C_{OX} \frac{1}{1 + C_{OX}/C_s}, \quad (6)$$

当 C_s 远大于 C_{OX} 时, 总的栅电容达到最大并逐步接近 C_{OX}. 而当栅极负偏压增大到一定值时, 多晶硅与 SiO₂ 界面出现一个陡峭势垒, 其界面处的自由电子将被势垒排斥在一定距离之外, 相当于栅极氧化层电学厚度变宽, 多晶硅栅电容达到一定值. 如果多晶硅栅电容与氧化层电容和表面电容相比较小时,

据(6)式可知, 栅极总电容将有所下降, 数值模拟结果与理论分析一致. 在器件由耗尽向强积累转化的过程中, 栅极产生的正电势将在多晶硅表面感应出正电荷, 使得半导体能带向下弯曲, 直到硅表面的电场为零, 形成平带状态. 随着栅偏压的进一步增大, SiO₂/Si 界面将形成电子强积累, 由于 Si/Si_{1-x}Ge_x 异质结的能带突变量主要体现在价带上, 导带底的突变量可近似为零, 因此电子在沟道表面积聚几乎不受 Ge 组分的影响, 体硅和 Si_{1-x}Ge_x 沟道器件的栅电容在强积累区域差别并不明显.

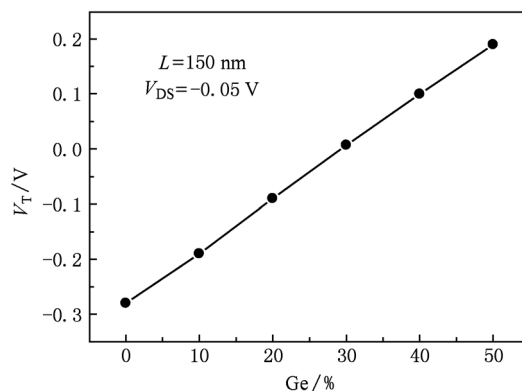


图6 阈值电压随 Ge 组分的变化关系

阈值电压是 MOSFET 的一个基本参数, 它与沟道内部载流子的浓度密切相关. 已报道的文献中对阈值电压定义大都基于半经典近似来描述, 即沟道反型层载流子浓度与衬底掺杂浓度相等时所对应的栅压值^[15]. 与体硅 MOSFET 不同, 应变 Si/SiGe MOSFET 存在两个阈值电压, 一是 Si/Si_{1-x}Ge_x 异质结界面出现强反型时 Si_{1-x}Ge_x 沟道对应的阈值电压, 二是 Si/SiO₂ 界面出现强反型时 Si 表面沟道对应的阈值电压, 本文研究的重点是后者, 而且应变 SiGe 沟道 p-MOSFET 的阈值电压随着 Ge 组分的增大向正方向偏移^[16]. 图 6 显示了阈值电压 V_T 随 Ge 组分变化的曲线, 数值模拟中定义的阈值电压为漏源电流 I_{DS} = 1 × 10⁻⁷ A/μm 时所对应的栅压值. 模拟结果表明: 阈值电压随 Ge 组分的增长成近似线性关系变化, 每增加引入 10% 的 Ge 组分, 阈值电压的改变量约为 100 mV. 在 Ge 组分(0—30%) 变化过程中, 阈值电压 |V_T| 逐渐减小. 这主要是由于 Ge 组分的增长导致 SiGe 材料的价带边缘逐渐靠近费米能级, Si/Si_{1-x}Ge_x 异质结表面电势 |Ψ_s| 逐渐减小, 从而造成相同栅极负偏压下反型层中将出现更多的空穴, Si_{1-x}Ge_x 沟道表面过早呈现强反型. 而在

Ge 组分(30%—50%)变化过程中, 阈值电压 $V_T > 0$, 并且随 Ge 组分的增加而增大. 出现这种趋势可能的原因: 当 Ge 组分持续增加到一定程度, SiGe 材料的价带边缘超越费米能级. Ψ_s 继续增大, 氧化层电荷以及界面态密度明显增加, 导致平带电压 (V_{FB}) 不断得到提升. 此外, 从图 5 中可以看出, 平带状况逐渐向右偏移. 因此, 当 Si/SiGe 异质结表面电势 $\Psi_s > 0$ 时, 沟道表面已经出现强反型, 阈值电压大于零并随 Ge 组分的提高成线性增大.

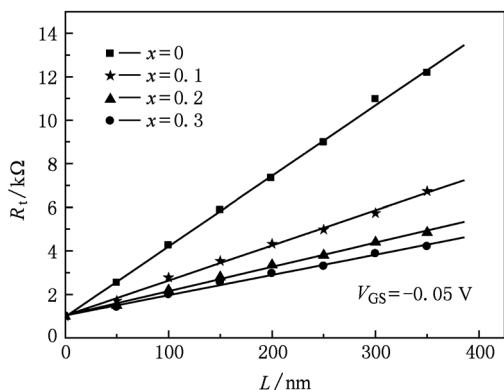


图 7 器件总电阻随沟道长度变化

在较低的漏源偏压下, Si/SiGe 异质结 p-MOSFET 结构总电阻可表示为^[17,18]

$$R_t = R_{\text{EFT}} + R_e = \frac{L}{\mu_p \cdot W \cdot Q_{\text{inv}}} + R_e, \quad (7)$$

其中, R_t 为总电阻, R_{EFT} 为沟道电阻, R_e 为漏源寄生电阻, L 为沟道长度, μ_p 为空穴迁移率, W 为沟道宽度, Q_{inv} 为单位面积反型层电荷量. 从图 7 中可以看出, 当 $L = 100$ nm 时, $\text{Si}_{0.7}\text{Ge}_{0.3}$ 沟道 p-MOSFET 总电阻约为 2 kΩ, 而体硅 p-MOSFET 总电阻约为 4.27 kΩ, 前者的总电阻约为后者的一半. 在相同沟道长度下, 器件总电阻 R_t 随着 Ge 组分的增大而减小. 本文在数值模拟过程中只是在沟道部分采用了 SiGe 合金, 假定漏源寄生电阻并未受到沟道 Ge 组分变化的影响, 因此对图 7 中的模拟结果曲线外推得到:

当 $L = 0$ 时, 漏源寄生电阻 $R_e = R_t \approx 1$ kΩ, 即将 R_e 近似认为是一个常量. 对 (7) 式中的 L 求导可以得到空穴迁移率的表达式

$$\mu_p = 1 / \left(W \cdot Q_{\text{inv}} \cdot \frac{dR_t}{dL} \right), \quad (8)$$

当沟道中空穴浓度较大时, 假定 (8) 式中的 Q_{inv} 和 μ_p 是两个变量相互独立的, 同时 L 的变化对 μ_p 的影响可以忽略, 进一步对 (8) 式进行简化可以得到

$$\mu_p \propto (dR_t/dL)^{-1}. \quad (9)$$

从图 7 中提取数值, 结果发现 $\text{Si}_{0.7}\text{Ge}_{0.3}$ 沟道的空穴迁移率比体硅沟道提高近 3 倍. 文献 [12] 中的实验结论是当有效电场为 1.3 MV/cm 时, $\text{Si}_{0.65}\text{Ge}_{0.35}$ p-MOSFET 的空穴迁移率比体硅结构提高了近 3 倍, 这里也同时反映出数值模拟的结果与实验结论是比较符合的.

5. 结 论

通过增大应变 $\text{Si}_{1-x}\text{Ge}_x$ 沟道中 Ge 的组分, 器件的亚阈值电流显著提高, 而亚阈值摆幅变化并不明显. 沟道表面由开始耗尽变化到强反型过程中, 体硅栅电容增大速度最快, 随着 Ge 组分的增大, 应变 $\text{Si}_{1-x}\text{Ge}_x$ 沟道栅电容增大的幅度减小, 而在强积累区域, 栅电容几乎不随 Ge 组分的改变而变化. 阈值电压随 Ge 组分的增加而减小, 而当 $x > 0.3$ 时, 阈值电压将变为正值. 在低电场情况下, 沟道中的空穴迁移率与总电阻对沟道长度的微分成反比关系, 当沟道长度一定时, 器件总电阻随着 Ge 组分的增大而减小.

中国科学院上海技术物理研究所红外物理国家重点实验室采用分时段共用 License 的方法为本研究工作提供了 Synopsys 公司的 ISE TCAD 模拟软件; 另外, 该实验室的陈效双研究员对本文的讨论部分提出了许多有益的意见和建议, 在此对红外物理国家重点实验室、Synopsys 公司以及相关技术人员一并表示衷心的感谢.

[1] Nayak D K, Woo J C S, Park J S, Wang K L, Macwilliams K P 1991 *IEEE Electron Device Letters* **12** 154
 [2] Li J, Liu H X, Li B, Gao L, Yuan B 2010 *Chin. Phys. B* **19** 107301
 [3] Qin S S, Zhang H M, Hu H Y, Dai X Y, Xuan R X, Shu B 2010 *Chin. Phys. B* **19** 37201

[4] Du G, Liu X Y, Xia Z L, Yang J F, Han R Q, 2010 *Chin. Phys. B* **19** 57304
 [5] Zhang H M, Cui X Y, Hu H Y, Dai X Y, Xuan X R 2007 *Acta Phys. Sin.* **56** 3504 (in Chinese) [张鹤鸣、崔晓英、胡辉勇、戴显英、宣荣喜 2007 物理学报 **56** 3504]
 [6] Bindu B, DasGupta N, DasGupta A 2006 *IEEE Trans. Electron*

- Devices* **53** 1411
- [7] Lukic P M, Ramovic R M, Sasic R M 2006 *25th International Conference on Microelectronics*, Belgrade, May 14—17, 2006 p472
- [8] Fiorenza J G, Park J S, Lochtefeld A 2008 *IEEE Trans. Electron Devices* **55** 640
- [9] Lee S H, Majhi P, Jungwoo O, Sassman B, Young C, Bowonder A, Loh W Y, Choi K J, Cho B J, Lee H D, Kirsch P, Harris H R, Tsai W, Satta S, Tseng H H, Banerjee S K, Jammy R 2008 *IEEE Electron Device Letters* **29** 1017
- [10] Yang R, Luo J S, Tub J, Zhang R Z 2004 *Microelectronics Journal* **35** 145
- [11] Shinobu T, Masao S, Junichi M, Toshiaki T 2008 *Electrical Engineering in Japan* **165** 1079
- [12] Collaert N, Verheyen P, Meyer K D, Loo R, Caymax M 2002 *European Solid-State Device Research Conference*, Italy, 24—26 September, 2002 p263
- [13] Dai Y H, Chen J N, Ke D M, Sun J E 2005 *Acta Phys. Sin.* **54** 897 (in Chinese) [代月花、陈军宁、柯导明、孙家诒 2005 物理学报 **54** 897]
- [14] Gao J X, Zhang Y M, Tang X Y, Zhang Y M 2006 *Acta Phys. Sin.* **55** 2992 (in Chinese) [郜锦侠、张义门、汤晓燕、张玉明 2006 物理学报 **55** 2992]
- [15] Zainuddin A, Haque A 2005 *IEEE Trans. Electron Devices* **52** 2812
- [16] Tezuka T, Sugiyama N, Mizuno T, Takagi S I 2003 *IEEE Trans. Electron Devices* **50** 1328
- [17] Rim K, Narasilha S, Longstreet M, Mocuta A, Cai J 2002 *International Electron Devices Meeting*, San Francisco, December 8—11, 2002 p43
- [18] Flachowsky S, Wei A, Herrmann T, Illgen R, Horstmann M, Richter R, Salz H, Klix W, Stenzel R 2008 *Materials Science and Engineering B* **154** 98

Effects of Ge fraction on electrical characteristics of strained $\text{Si}_{1-x}\text{Ge}_x$ channel p-MOSFET*

Yang Zhou¹⁾ Wang Chong^{1)†} Wang Hong-Tao¹⁾ Hu Wei-Da²⁾ Yang Yu^{1)‡}

1) (Institute for Optoelectronic Information Materials, Yunnan University, Kunming 650091, China)

2) (National Laboratory for Infrared Physics, Shanghai Institute of Technical Physics, Chinese Academy of Sciences, Shanghai 200083, China)

(Received 12 January 2010; revised manuscript received 11 November 2010)

Abstract

The capacitance-voltage characteristics and the variations of threshold voltage of strained $\text{Si}_{1-x}\text{Ge}_x$ channel p-MOSFET with Ge fraction are investigated via two-dimensional numerical simulation. The results indicate that with the increase of Ge fraction, the subthreshold current increases remarkably, and that the gate capacitance changes significantly when the device is in inversion, moreover, the Ge fraction dependence of the variation of threshold voltage is linear. Combining the change of the $\text{Si}_{1-x}\text{Ge}_x$ channel length with the relevant physical model, the mobility of holes in channel is demonstrated to be inversely proportional to the derivative of the total resistances with respect to the channel length in a weak applied field.

Keywords: strained $\text{Si}_{1-x}\text{Ge}_x$ channel, p-MOSFET, hole mobility, gate capacitance

PACS: 71.15.-m, 73.63.Hs

* Project supported by the National Natural Science Foundation of China (Grant Nos. 10964016, 60567001), the Key Science and Technology Project of Chinese Ministry of Education (Grant No. 210207), and the Key Project of Natural Science Foundation of Yunnan Province (Grant No. 2008CC012).

† Corresponding author. E-mail: cwang6@163.com

‡ Corresponding author. E-mail: yuyang@ynu.edu.cn