

单岛单电子晶体管的电导分析*

隋兵才[†] 方粮 张超

(国防科技大学计算机学院重点实验室,长沙 410073)

(2010年6月2日收到;2010年10月26日收到修改稿)

基于单电子经典理论,本文通过分析得出了单岛单电子晶体管的源漏电导模型,并对其进行了详细的分析讨论.单岛单电子晶体管的源漏电导随着源漏电压的变化发生周期性的振荡衰减,并随着源漏电压的增大逐渐收敛于本征电导值.源漏电导的这种特性受温度、结电阻、结电容等参数的影响.分析结果表明,源漏电导分析模型对单电子晶体管的大规模应用具有非常重要的意义.

关键词: 单电子晶体管, 电导, 库仑振荡, 库仑阻塞

PACS: 73.21.La, 73.43.Jn, 73.63.Kv

1. 引言

在2000年时,微芯片的研究者就已经制造出了特征尺寸为100 nm的MOS器件^[1].根据ITRS2009可知,器件的特征尺寸在2020年进入到10 nm的极限.固体电子器件的小型化一方面能够得到更高的集成密度和更快的速度性能,而另一方面却带来微电子学理论基础的失效和技术实现的难题.

因此,随着集成电路制造工艺的不断缩小,基于体硅工艺的电子器件已经开始逼近其物理极限,微电子技术开始向纳电子技术转变.在众多的纳米器件中,单电子晶体管(single-electron transistor SET)因其尺寸小、速度快、功耗低、应用广泛,成为最有前景的器件之一.单电子晶体管具有广泛的电路应用,如超高密度存储器^[2,3]、单电子运算电路^[4]、随机数发生器、超高灵敏静电计^[5]、单电子能谱仪、标准直流电流计^[5]、标准温度计、标准电阻计等.然而由于结构的特殊性和当前技术的限制,单电子晶体管只能在低温下工作,这限制了其应用范围.但是最近出现的很多新的应用和结构能够有效的利用单电子晶体管电路的独特特性.这其中就包括单电子晶体管和传统MOS电路的单片集成技术的出现^[1],使得单电子晶体管和MOS管能够互为补

充.包含SET/MOS混合电路的典型研究包括多值电路、多波段滤波电路、模拟模式识别电路等.这些电路利用的单电子晶体管库仑振荡特性来缩减整个电路器件的个数,从而可以减少整个电路的面积.

2001年,Inokawa等人利用PADOX工艺制备出MOS管与SET串联的NDR器件^[6-8].随着输入的变化整个单元表现出多个负微分电阻的振荡现象,而MOS管的作用是将SET漏端电压钳制在 $V_{gg}-V_{th}$.2003年,Song等人利用SOI工艺制备出了CMOS/SET的混合电路^[9,10],该电路相比于其他SET电路能够工作在更高的温度下.2004年,Mahapatra等提出了一种CMOS和SET交叉耦合的电路^[11,12],该电路具有更高的电压增益,并且表现出负微分电阻的特殊性能.2007年,Zhang等人利用COMS/SET并联和串联两种结构设计了一种高速的锁相环^[13].2008年,蔡理研究组利用CMOS/SET混合电路设计了神经网络单元^[14,15].但是这几种新型的SET逻辑电路的研究分析都只简单地停留于单电子晶体管的电流库仑振荡以及库仑阻塞现象,但是并没有对单电子晶体管具体对外的电导或电容进行分析,这在分析SET集成电路(如SET/MOS混合电路)的工作原理以及整个电路的电压增益等性能参数时是非常有必要的.

由于单电子晶体管在实际应用中受到背景电

* 国家高技术研究与发展863计划(批准号:2009AA01Z114),国防科技大学优秀研究生创新基金和湖南省研究生创新基金资助的课题.

[†] E-mail:lymmeng@yahoo.com.cn

荷、温度扰动等因素的影响,其阈值电压很容易发生漂移,不利于单电子晶体管的大规模集成. 因此本文在改进模拟 SET 的传统理论的基础上,提出了单岛 SET 的电导理论模型,并以此为基础分析了 SET 各个本征参数(结电容、结电阻)、背景电荷以及温度等对 SET 源漏电导的影响.

2. 单电子晶体管

单电子隧穿器件以量子隧穿结作为新型的逻辑电路单元. 一个电荷传输通过隧穿结的事件称为隧穿,电荷隧穿通过结时,隧穿结表现得像一个很大的电阻;没有电荷隧穿通过结时,隧穿结表现的像一个电容,因此,一个隧穿结可以被看作一个电荷可泄漏的电容. 隧穿发生的阈值电压 V_c 是发生隧穿事件必须的结两端的最小电压. 为了计算阈值电压 V_c , 假设该结的电容为 C_j , 其余电路的等效电阻为 R_x , 由文献[16]知

$$V_c = \frac{e}{2(C_j + C_x)}, \quad (1)$$

其中, e 为单个电子的电量,其值为 $1.602 \times 10^{19} \text{C}$. 严格意义上来说,这是不正确的,因为电子的电量应当为负值,但是为了直观起见,本文中所述的电子电量为正,本文所述的电子隧穿方向也相应的取反. 假设结两端的电压为 V_j , 当且仅当 $|V_j| \geq V_c$ 时,隧穿事件才发生. 如果 $|V_j| < V_c$, 隧穿事件不会发生,相应的电路就处于稳态(stable state).

目前普遍使用的描述单电子晶体管的理论为半经典理论. 该理论由 Likharev 等在前人的工作基础上,结合自己的实验工作,于上世纪 80 年代中期提出,称为正统理论(orthodox theory)^[16]. 正统理论从量子力学出发,但最终的结论却是以半经典的模型来描述发生在纳米隧穿结上的离散电子隧穿,所以又被称为半经典理论. 半经典理论基于如下假设:

1) 忽略岛内电子能量的量子化. 也就是说 $E_k \ll k_B T$, E_k 为隧穿发生前的电子的量子动能; k_B 是玻尔兹曼常量,其值为 1.380658×10^{-23} ; T 为隧穿时的环境温度.

2) 隧穿持续的时间 相对于其他时间量(隧穿事件间隔)来说非常小,可以忽略.

3) 隧穿发生时的共振隧穿(co-tunneling) 忽略不计. 这就要求电路中隧穿结的电阻 R_l 必须远大于量子电阻 R_q , 即 $R_l \gg R_q = h/4e^2 = 6.5 \text{ k}\Omega$.

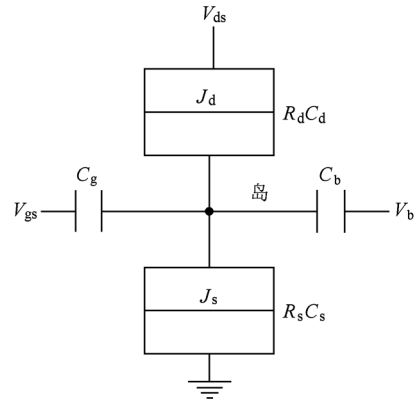


图1 单电子晶体管的等效电路

单岛单电子晶体管由一个岛(islande)连接的2个隧穿(J_d, J_s)结构成^[17],栅电极通过电容与岛相耦合,带有双栅(V_{gs}, V_b)的单电子晶体管的结构及其等效电路如图1所示,其中栅电容分别为 C_g, C_b , 结的电阻分别为 R_d, R_s , 电容分别为 C_d, C_s . 单岛单电子晶体管的库仑振荡和库仑阻塞特性如图2所示.

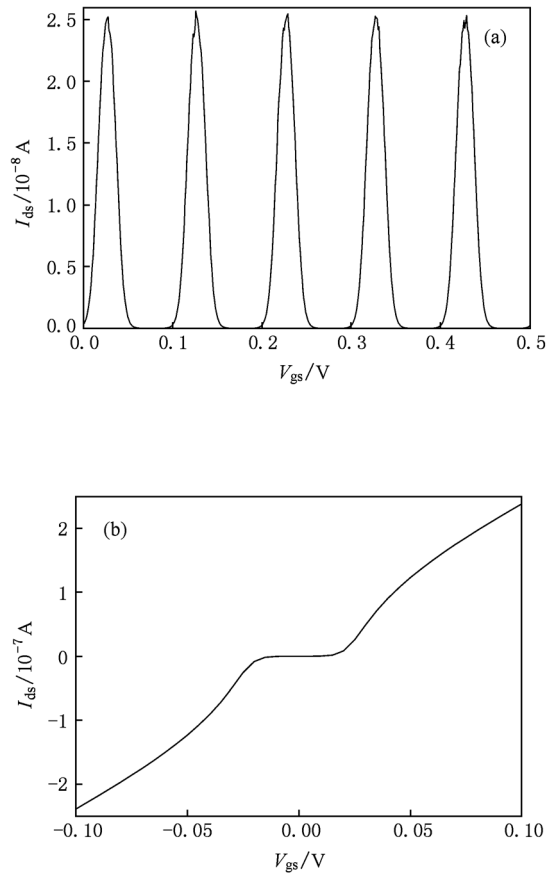


图2 单岛单电子晶体管的库仑特性 (a)库仑振荡;(b)库仑阻塞

如图 2(a) 所示, 单电子晶体管的源漏电流 I_{ds} 随着栅电压 V_{gs} 的变化以周期 e/C_g 发生周期性变化. 但是这种周期性的振荡特性受温度的影响比较大. 随着温度的升高, 由于热电子的扰动, 这种库仑振荡特性变得越来越不明显. 单电子晶体管的库仑阻塞特性如图 2(b) 所示. 当单电子晶体管的源漏电压满足条件 $V_{ds} < e/C_{sum}$ ($C_{sum} = C_d + C_s + C_g + C_b$) 时, 整个晶体管处于阻塞状态, 此时宏观上隧穿通过晶体管的电子数为 0, 也就是说源漏电流为 0. 单电子晶体管的库仑阻塞特性同样受温度的影响比较大. 随着温度的逐渐升高, 库仑阻塞现象逐渐消失.

目前, 对单电子晶体管的研究仅限于库仑振荡和库仑阻塞这两种现象, 对于单电子晶体管的源漏电导或电阻的研究分析比较少. 但是, 分析研究单电子晶体管的源漏电导特性, 对于单电子晶体管的大规模应用具有非常重要的意义.

3. 电导分析模型

由于单电子的工作机理与 CMOS 不同, 主要以量子隧穿效应为基础. 分析电子隧穿的重点是计算隧穿率和自由能. 本小节首先介绍了单电子隧穿率, 之后根据单岛单电子器件自由能给出了单电子晶体管源漏电导的计算方法.

3.1. 隧穿率

对于金属基隧道结的单电子晶体管的势垒是由势垒高度相对高、宽度相对小的薄的自然氧化物构成. 这种情况下隧穿率可以表示为^[18]

$$\Gamma^\pm = \frac{2\pi}{\hbar} |T|^2 D_{L0} D_{R0} \times \int_{E_{CM}}^\infty dx f(E - E_{F(L,R)}) \times [1 - f(E - E_{F(R,L)})], \quad (2)$$

其中, E_{CM} 为势垒左右两导带最小值中较高的一个, D_{L0} 和 D_{R0} 是势垒左右两边电极的能态密度. 在考虑了系统自由能变化的影响, 电荷隧穿通过结 j 的隧穿率为

$$\begin{aligned} \Gamma^\pm &= \frac{2\pi}{\hbar} \sum_{k_i, k_j} |T|^2 f(E_i) [1 - f(E_f)] \\ &\times \delta(E_i - E_f + \Delta F^\pm) \\ &= \frac{1}{e^2 R_{if}} \int_{E_{CM}}^\infty dx f(E) [1 - f(e + \Delta F^\pm)]. \quad (3) \end{aligned}$$

由于

$$\begin{aligned} &f(E) [1 - f(e + \Delta F^\pm)] \\ &= \frac{f(E) - f(e + \Delta F^\pm)}{1 - e^{-\Delta F^\pm/k_B T}}, \quad (4) \end{aligned}$$

因此

$$\Gamma^\pm = \frac{1}{e^2 R_{if}} \frac{\Delta F^\pm}{1 - e^{-\Delta F^\pm/k_B T}}. \quad (5)$$

3.2. 主方程

如果某一时刻 t , 单电子系统处于状态 S_i 的概率为 P_i , 那么就可以用一组主方程描述整个系统^[16]

$$\frac{dP_i}{dt} = \sum_{j \neq i} P_j \Gamma_{j \rightarrow i} - P_i \sum_{j \neq i} \Gamma_{i \rightarrow j}. \quad (6)$$

由概率的定义, 某一时刻 t 时, 各个状态的概率和应当满足归一化定理, 即

$$\sum_{i=1}^n P_i = 1. \quad (7)$$

对于单岛单电子晶体管, 在特定的偏压下, 由于整个系统处于稳态, 因此可以只考虑有限个状态参与的状态. 在一定的偏置条件下 (岛上电子数为 n), 本文的模型只考虑平衡条件下的两种最可能的状态 P_{n-1} 以及 P_n , 有

$$\begin{aligned} &P_n (\Gamma_{n-1 \rightarrow n}^s + \Gamma_{n-1 \rightarrow n}^d) \\ &= P_{n-1} (\Gamma_{n \rightarrow n-1}^s + \Gamma_{n \rightarrow n-1}^d). \quad (8) \end{aligned}$$

根据归一化定理 $P_n + P_{n-1} = 1$, 可以求出 P_n 以及 P_{n-1} .

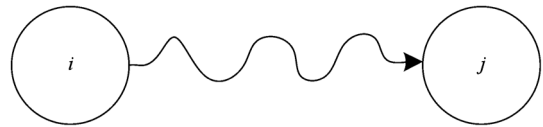


图 3 电子从节点 i 隧穿到节点 j 示意图

3.3. 自由能

考虑一个电子从节点 i 隧穿到节点 j , 如图 3 所示, 假设节点 i 的电压为 V_i , 节点 j 的电压为 V_j , 则自由能的变化可以分为两步, 第一步, 电子从节点 i 移走, 第二步电子加到节点 j 上. 在第一步中, 当电子移走后, 自由能的变化为 $\Delta E_1 = eV_i + C_{ii}^{-1} \frac{e^2}{2}$. 当电子移走后, 所有节点的电压将改变. 令 V_i^1 和 V_j^1 为电子移走后的节点 i 和节点 j 的电压, 则 $V_i^1 = V_i + eC_{ii}^{-1}$, $V_j^1 = V_j + eC_{jj}^{-1}$. 将一个电子加到节点 j 上引

起的自由能变化为^[18]

$$\begin{aligned}\Delta E_2 &= -eV_j^1 + C_{jj}^{-1} \frac{e^2}{2} \\ &= -e(V_j + eC_{ij}^{-1}) + C_{jj}^{-1} \frac{e^2}{2} \\ &= -eV_j + (C_{jj}^{-1} - 2C_{ij}^{-1}) \frac{e^2}{2}.\end{aligned}\quad (9)$$

因此,电子从节点 i 隧穿到节点 j 过程中的自由能变化为

$$\begin{aligned}\Delta E &= \Delta E_1 + \Delta E_2 \\ &= -e(V_j - V_i) \\ &\quad + (C_{ii}^{-1} + C_{jj}^{-1} - 2C_{ij}^{-1}) \frac{e^2}{2}.\end{aligned}\quad (10)$$

对于单岛单电子晶体管,隧穿事件发生在岛与电源节点之间.而对于电源节点 $C_{ii}^{-1} \rightarrow 0$ 以及 $C_{jj}^{-1} \rightarrow 0$,因此,电子由岛隧穿到电源节点或由电源节点隧穿到岛上的自由能变化为

$$\Delta F^\pm = \pm e(V_i - V_{ds}) + \frac{e^2}{2C_{\text{sum}}},\quad (11)$$

其中, V_i 为岛上有 n 个电子时的电势,即

$$\begin{aligned}V_i &= F_{vi}(n, V_{ds}, V_{gs}) \\ &= \frac{ne - C_d V_{ds} - C_g V_{gs} - C_b V_b}{C_{\text{sum}}}.\end{aligned}\quad (12)$$

对于一定偏压下的单电子晶体管,其岛上的电子数为 n^* 时,状态 $|n^*\rangle$ 和状态 $|n^* - 1\rangle$ 的状态概率近似相等,即 $P_{n^*} = P_{n^* - 1}$,因此可以得出在该偏压条件下岛上的电子数为 ($[]$ 为取整算符)^[19]

$$\begin{aligned}n^* &= \left[\frac{-C_d V_{ds} - C_g V_{gs} - C_b V_b}{e} \right. \\ &\quad \left. + \frac{C_{\text{sum}} R_d V_{ds}}{e(R_s + R_d)} + Q_0 \right] \\ &= \left[V_{ds} \frac{(C_{\text{sum}} - C_d)R_s - C_d R_d}{e(R_s + R_d)} \right. \\ &\quad \left. - \frac{C_g V_{gs} + C_b V_b}{e} + Q_0 \right],\end{aligned}\quad (13)$$

其中, $Q_0 \in (-1, 1)$ 为背景电荷数或噪声电荷数.因此,在一定偏压条件下,就可以根据(12)式得出单岛单电子晶体管的岛上的电势为 $V_i = F_{vi}(n^*, V_{ds}, V_{gs})$,进而就可以根据(11)和(5)式求得每次隧穿事件的自由能变化以及隧穿率.

3.4. 电导分析模型

根据经典理论,隧穿率以及状态概率可以用来计算单电子晶体管的源漏端电流,其公式为^[16]

$$I = e \sum_n P_n (\Gamma_{n-1 \rightarrow n} - \Gamma_{n+1 \rightarrow n}),\quad (14)$$

我们只考虑特定偏压下的状态 $|n\rangle$ 和状态 $|n-1\rangle$,可以得出单电子晶体管的源漏电流 I_{ds} 为

$$\begin{aligned}I_{ds} &= F_{ids}(n, V_{ds}, V_{gs}) \\ &= e \frac{\Gamma_{n \rightarrow n-1}^d \Gamma_{n-1 \rightarrow n}^s - \Gamma_{n-1 \rightarrow n}^d \Gamma_{n \rightarrow n-1}^s}{\Gamma_\Sigma},\end{aligned}$$

$$\begin{aligned}\Gamma_\Sigma &= \Gamma_{n \rightarrow n-1}^d + \Gamma_{n \rightarrow n-1}^s \\ &\quad + \Gamma_{n-1 \rightarrow n}^d + \Gamma_{n-1 \rightarrow n}^s.\end{aligned}\quad (15)$$

根据电导定义,单电子晶体管对外的电导 $G_{ds} =$

$$\partial I_{ds} / \partial V_{ds} = \frac{\partial F_{ids}(n, V_{ds}, V_{gs})}{\partial V_{ds}},$$

岛上的电子数 n 可以由(13)式求得.但是由于取整函数在整个区间内并不连续,因此取整函数在整个实数区间内并不是可导的,也就是说,从数学意义上来说 $\partial F_{ids}(n, V_{ds}, V_{gs}) / \partial V_{ds}$ 并不存在.但是根据导数的定义可以得到

$$\begin{aligned}G_{ds} &= \frac{\partial F_{ids}(n, V_{ds}, V_{gs})}{\partial V_{ds}} \\ &= \lim_{\Delta V_{ds} \rightarrow 0} \frac{F_{ids}(n, V_{ds} + \Delta V_{ds}, V_{gs}) - F_{ids}(n, V_{ds}, V_{gs})}{\Delta V_{ds}} \\ &\approx \frac{F_{ids}(n, V_{ds} + \alpha, V_{gs}) - F_{ids}(n, V_{ds}, V_{gs})}{\alpha},\end{aligned}\quad (16)$$

其中, α 为极小且不为 0 的常数,在本文中,我们取 $\alpha = 0.001$.

4. 电导分析

4.1. $G_{ds}-V_{ds}$ 以及 $G_{ds}-V_{gs}$ 特性分析

单岛单电子晶体管源漏电导 G_{ds} 与源漏电压 V_{ds} 的关系如图 4(a) 所示,其中晶体管的参数为 $R_s = R_d = 10^6 \Omega$, $C_s = C_d = C_g = C_b = 10^{-18} \text{F}$, $Q_0 = 0$, 温度 $T = 100 \text{K}$, 栅电压 $V_b = 0$. 单岛单电子晶体管的对外电导随着 $|V_{ds}|$ 的增大以周期 $T(V_{ds})$ 振荡衰减,并且当 $|V_{ds}| \rightarrow \infty$ 时,电导 G_{ds} 几乎不发生变化,也就是说此时电导趋于本征常数 Const,如图 4(a) 所示.本征常数 Const 的值由单电子晶体管的本征参数决定,而与具体的栅电压 V_{gs} 或者体电压 V_b 无关.

由(13)式可知,岛上的电子数 n 随着偏压 V_{ds} 的逐渐增大以步长 $T^1(V_{ds})$ 阶梯式增大, $T^1(V_{ds})$ 可以表示为

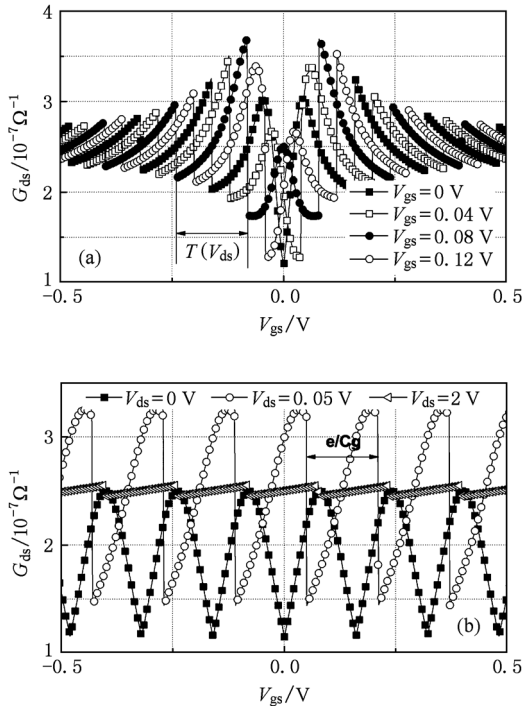


图4 单电子晶体管源漏电导随源漏电压和栅电压变化特性 (a) 电导随源漏电压变化曲线; (b) 电导随栅电压变化曲线

$$T^1(V_{ds}) = \left| \frac{e(R_s + R_d)}{(C_{sum} - C_d)R_s - C_d R_d} \right| \quad (17)$$

由于在 V_{ds} 增大的过程中, 只有晶体管岛上的电子数发生变化, 因此岛上电子数 n 的阶梯式增大的特性导致了晶体管源漏电导周期性振荡衰减的特性, 并且电导振荡衰减的周期 $T(V_{ds}) = T^1(V_{ds})$. 对于图4中的晶体管, 当 V_{ds} 逐渐增大, 晶体管的源漏电导 G_{ds} 逐渐阻尼衰减到常数 $Const$, 根据(16)式, 可知

$$\begin{aligned} Const &= \lim_{V_{ds} \rightarrow \infty} G_{ds} \\ &\approx \frac{6.93R_d + 2.31R_s}{9.24R_d^2 + 18.57R_s R_d + 9.23R_s^2} \\ &= 2.50 \times 10^{-7} / \Omega. \end{aligned} \quad (18)$$

晶体管源漏电导 G_{ds} 随栅电压 V_{gs} 变化的曲线如图4(b)所示. 当源漏电压 V_{ds} 很小(接近于0)时, 晶体管的电导随着 V_{gs} 的增大以周期 e/C_g 发生振荡, 这种特性类似于源漏电流的库仑振荡特性. 但是随着 V_{ds} 增大, G_{ds} 的这种振荡特性逐渐消失, 并逐渐变为周期性的线性振荡. 当 V_{ds} 足够大(如 $V_{ds} \geq 2V$), G_{ds} 在每个周期的线性变化的斜率越来越小, 也就是说, G_{ds} 逐渐趋近于本征常值 $Const$, G_{ds} 随着 V_{gs} 周期性振荡的特性越来越不明显. 因此, 当 V_{ds} 较小

($V_{ds} < 5e/C_{sum}$) 的时候, 栅电压 V_{gs} 对晶体管的源漏电导 G_{ds} 的影响比较大, 并占主导地位; 当 V_{ds} 较大($V_{ds} > 5e/C_{sum}$), 电导 G_{ds} 的振荡特性逐渐消失, 并逐渐逼近本征常值 $Const$, 此时 V_{ds} 对电导的影响占主导地位.

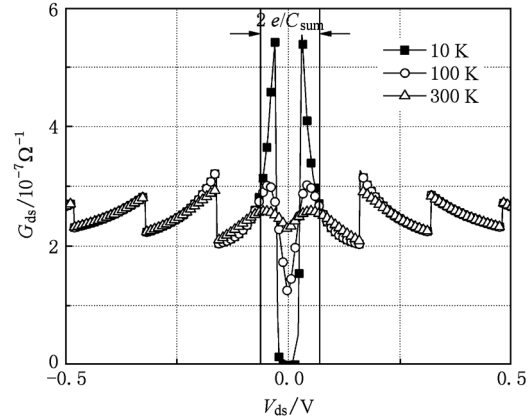


图5 温度对单电子晶体管源漏电导特性的影响

4.2. 温度相关性分析

由于单电子晶体管是温度敏感器件, 国际上各个研究小组正努力制备室温下能够正常工作的单电子晶体管. 因此, 本文对单电子晶体管电导的温度敏感性进行了分析, 如图5所示, 其中晶体管的参数为 $R_s = R_d = 10^6 \Omega$, $C_s = C_d = C_g = C_b = 10^{-18} F$, $Q_0 = 0$, 温度 $T = 100 K$, 栅电压 $V_{gs} = V_b = 0$. 当 $|V_{ds}| < \frac{e}{C_{sum}}$ 时, 单电子晶体管工作在阻塞区, 在此区域内, 晶体管的源漏电导受温度的影响比较大. 当温度为 $10 K$ 时, 阻塞区电导的变化范围为 $0-6 \times 10^{-7} / \Omega$, 而当温度为 $300 K$ 时, 电导曲线则相对平滑, 变化范围为 $2 \times 10^{-7} / \Omega-2.7 \times 10^{-7} / \Omega$. 但是当 $|V_{ds}| > \frac{e}{C_{sum}}$ 时, 电导受温度的影响比较小, 温度为 $10 K, 100 K$ 和 $300 K$ 时, 电导曲线基本重合.

总之, 温度对阻塞区 ($|V_{ds}| < \frac{e}{C_{sum}}$) 的电导影响比较大, 即在阻塞区电导对温度比较敏感; 而在非阻塞区 ($|V_{ds}| > \frac{e}{C_{sum}}$), 电导对温度不敏感, 温度的变化对电导的影响不大.

4.3. 结电阻对晶体管电导的影响

不同结电阻配置对晶体管电导的影响如图6所

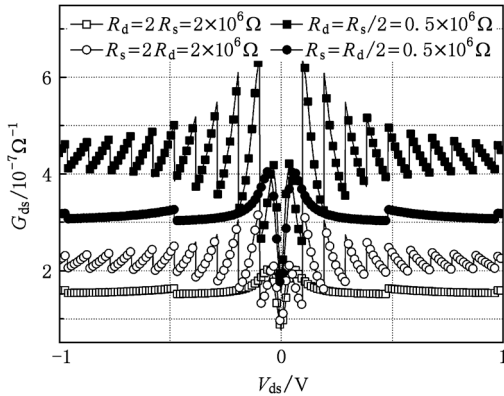


图6 不同结电阻对晶体管源漏电导的影响

示,晶体管的参数为 $C_s = C_d = C_g = C_b = 10^{-18} \text{F}$, $Q_0 = 0$, 温度 $T = 100 \text{K}$, 栅电压 $V_{gs} = V_b = 0$. 当 $R_d = R_s/2$ 时,晶体管电导曲线类似于图 4(a) 的振荡衰减曲线. 电导以周期 $T(V_{ds})$ 振荡衰减并逐渐逼近与本征值 $\text{Const} = 4.38 \times 10^{-7} / \Omega$. 当 $R_d = 2R_s$ 时,电导 G_{ds} 随 V_{ds} 振荡的周期变大,如图 6 所示. 不同于图 4(a) 和图 6 ($R_d = R_s/2$), 电导随源漏电压变化的不连续性变得不明显,并且电导随着 V_{ds} 的增大很快地收敛于 $\text{Const} = 1.56 \times 10^{-7} / \Omega$. 比较图 6 中 $R_d = R_s/2$ 和 $R_d = 2R_s$ 的曲线可以看出,当 R_d 减小时, G_{ds} 随 V_{ds} 振荡的周期随之减小,并且 G_{ds} 收敛的速度减缓,也就是说每个周期的 G_{ds} 不连续特性增强,并且晶体管源漏电导的本征值随着 R_d 减小而增大. 当 R_d 增大时, G_{ds} 随 V_{ds} 振荡的周期随之增大,但是 G_{ds} 收敛到本征电导值的速度加快, G_{ds} 曲线的连续性增强. 而比较图 6 中 $R_s = 2R_d$ 和 $R_s = R_d/2$ 的曲线可以看出,电导 $G_{ds}-V_{ds}$ 曲线随 R_s 变化的情况与随 R_d 变化的情况相反. 随着 R_s 增大(减小), G_{ds} 随 V_{ds} 振荡的周期随之减小(增大),也就是说每个周期的 G_{ds} 不连续特性增强(减弱),并且晶体管源漏电导的本征值随着 R_s 增大(减小)而减小(增大).

此外,根据(17)式由图 6 可以看出, G_{ds} 随 V_{ds} 衰减振荡的周期只与 R_d/R_s 相关,并且随着 R_d/R_s 的增大而增大. 并且由图 6 可以看出,相对于 R_s , R_d 对整个晶体管的电导的影响较大.

4.4. 结电容对晶体管电导的影响

结电容对晶体管电导的影响如图 7 所示,晶体管的其他参数为 $R_s = R_d = 10^6 \Omega$, $C_g = C_b = 10^{-18} \text{F}$, $Q_0 = 0$, 温度 $T = 100 \text{K}$, 栅电压 $V_{gs} = V_b =$

0. 当 $C_d R_d / R_s = C_s + C_g + C_b$ (如图 7 中 $C_d = 3C_s$ 的曲线) 时, $(C_{\text{sum}} - C_d)R_s = C_d R_d$, 由(17)式知, $T(V_{ds}) \rightarrow \infty$, 也就是说, G_{ds} 随 V_{ds} 变化的曲线为连续函数(周期为无穷大). 当 $C_d R_d / R_s \ll C_s + C_g + C_b$ 时, C_d 的变化相对于 $C_s + C_g + C_b$ 来说是微不足道的,对 G_{ds} 振荡的周期影响不大. 并且随着 C_d 的增大 ($C_d R_d / R_s > C_s + C_g + C_b$), G_{ds} 随着 V_{ds} 衰减振荡的周期会不断的缩小,但是这种情况下 C_d 要受经典理论基本假设的限制.

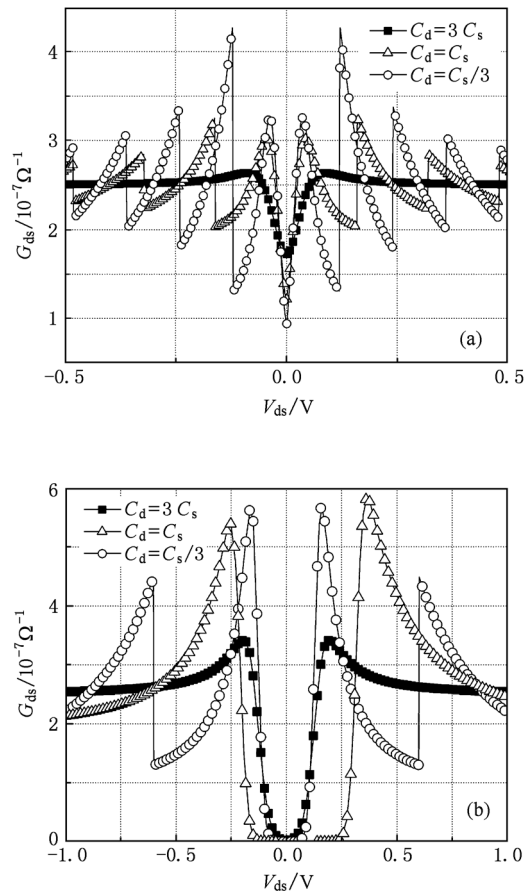


图7 不同结电容对晶体管源漏电导的影响 (a) $C_s = 10^{-18} \text{F}$; (b) $C_s = 10^{-19} \text{F}$

比较图 7(a) 和(b) 可以看出,随着 C_s 的增大, G_{ds} 衰减振荡的周期减小,但是振荡的振幅却相应的增大,而 G_{ds} 收敛的本征电导值 $\text{Const} (= 2.5 \times 10^{-7} / \Omega)$ 却并没有随着 C_d 或者 C_s 的变化而变化,也就是说, C_d 和 C_s 的变化只影响了 G_{ds} 振荡衰减的速度,对晶体管的本征电导值 Const 并没有影响. 换句话说,单电子晶体管的本征电导值只与晶体管的结电阻 R_d 和 R_s 相关,与其他结参数无关.

4.5. 噪声对晶体管电导的影响

由于在实际的逻辑单元中,逻辑单元之间的耦合效应容易影响单电子晶体管岛上的电荷数,因此本文分析了噪声对晶体管电导的影响,如图8所示,其中晶体管的参数为 $R_s = R_d = 10^6 \Omega$, $C_s = C_d = C_g = C_b = 10^{-18} \text{ F}$, 温度 $T = 100 \text{ K}$, 栅电压 $V_{gs} = V_b = 0$. 由图4、图5、图6以及图7可知, G_{ds} 随 V_{ds} 变化的曲线是关于 y 轴对称的. 也就是说,只要岛上的电荷数为 n , 无论是正电荷还是负电荷,晶体管的对外电容就保持不变. 因此,定义岛上的多数电荷为电子的区域为 $-n$ 区,岛上的多数电荷为空穴的区域为 $+n$ 区,分别对应于 $V_{ds} > 0$ 和 $V_{ds} < 0$ 的区域,如图8所示.

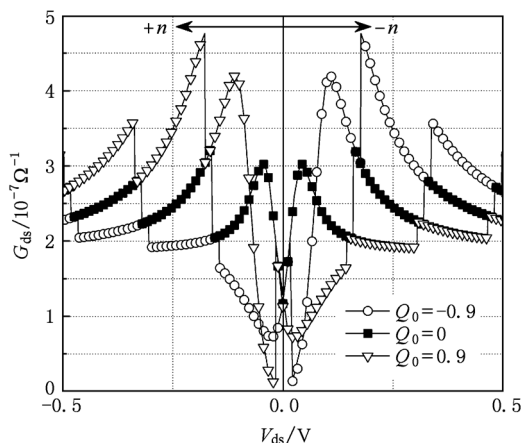


图8 背景噪声对源漏电导的影响

当背景电荷的噪声 Q_0 为 0 时,如图8所示, G_{ds} 随 V_{ds} 变化的曲线仍然是关于 y 轴对称的,并且随 $|V_{ds}|$ 的增大成周期性的振荡衰减. 当背景电荷 Q_0

为 -0.9 (电子) 时,如图8所示,在 $-n$ 区,由于岛上的多数电荷为电子,因此背景电荷使得同周期内(与 Q_0 相比)电导的振荡幅值增大,而在 $+n$ 区,岛上的多数电荷为空穴,背景电荷的出现使得多数电荷的数量减少,因此就使得同周期内电导的振荡幅值减小. 当背景电荷 Q_0 为 0.9 (空穴) 时,背景电荷对电导振荡的影响刚好与 $Q_0 = -0.9$ 时相反. 比较三种情况 ($Q_0 = -0.9, 0, 0.9$) 的曲线可以看出,背景电荷只影响了 G_{ds} 随 V_{ds} 曲线变化的幅值,但是对于每个周期内曲线的走势并没有影响(三种情况的叠加曲线是关于 y 轴对称的),并且对于曲线振荡收敛的本征值的大小影响不大.

5. 结 论

本文基于描述单电子晶体管的传统理论,分析得出了晶体管源漏电导的模型,并根据该模型对晶体管的源漏电导特性进行了模拟分析. 分析的结果表明,晶体管的源漏电导 G_{ds} 随着源漏电压 $|V_{ds}|$ 的增大逐渐以周期 $T(V_{ds})$ 振荡衰减,周期 $T(V_{ds})$ 只与 $C_d R_d / R_s$ 以及 $C_{sum} - C_d$ 有关,并且当 $|V_{ds}|$ 足够大, G_{ds} 收敛于晶体管的本征电导值 $Const$, 该本征值只与晶体管的本征参数有关. 此外,温度的变化对阻塞区的源漏电导影响比较大,而对于非阻塞区的晶体管电导影响较小. 相对于 R_s 来说,结电阻 R_d 的变化对源漏电导的影响较大. 但是对于结电容 $C_d = (C_{sum} - C_d) R_s / R_d$ 时, G_{ds} 随 V_{ds} 振荡衰减的周期 $T(V_{ds})$ 接近于无穷大,即振荡曲线的离散性消失,而对于 C_s 则不会出现这种情况. 因此可以看出,分析单电子晶体管的源漏电导对于单电子晶体管的大规模应用具有非常重要的意义.

[1] ITRS 2009, <http://www.itrs.org>

[2] Sun J P, Wang T H 2003 *Acta Phys. Sin.* **52** 2563 (in Chinese) [孙劲鹏,王太宏 2003 物理学报 **52** 2563]

[3] Liu K, Ding H L, Zhang X G 2008 *Acta Phys. Sin.* **57** 7052 (in Chinese) [刘奎,丁宏林,张贤高 2008 物理学报 **57** 7052]

[4] Feng C W, Cai L, Kang Q 2008 *Acta Phys. Sin.* **57** 6155 (in Chinese) [冯朝文,蔡理,康强 2008 物理学报 **57** 6155]

[5] Li L, Kaestner B, Blumenthal M D, Giblin S, Janssen T J B M, Pepper M, Anderson D, Jones G, Ritchie D A, Gao J 2008 *Acta Phys. Sin.* **57** 1878 (in Chinese) [李玲, Kaestner B, Blumenthal M D, Giblin S, Janssen T J B M, Pepper M, Anderson D, Jones G, Ritchie D A, 高洁 2008 物理学报 **57** 1878]

[6] Inokawa H, Fujiwara A, Takahashi Y 2001 *Appl. Phys. Lett.* **79** 3618

[7] Inokawa H, Fujiwara A, Takahashi Y 2003 *IEEE Trans. Electron Devices* **50** 462

[8] Inokawa H, Takahashi Y 2003 *Proceedings of the 33rd International Symposium on Multiple-Valued Logic.* (Tokyo, Japan) p259

[9] Song K, Kim K, Lee J, Park B 2004 *Journal of the Korean Physical Society* **40** 121

- [10] Choong Hyun Lee, Se Woon Kim, Jang Uk Lee 2007 *IEEE Trans. Nanotechnology* **6** 667
- [11] Mahapatra S, Vaish V, Wasshuber C 2004 *IEEE Trans. Electron Devices* **51** 1772
- [12] Mahapatra S, Ionescu A M 2005 *IEEE Trans. Nanotechnology* **4** 705
- [13] Zhang W, Wu N 2007 *IEEE Trans. Nanotechnology* **6** 146
- [14] Feng C W, Cai L, Li Q 2008 *Acta Phys. Sin.* **57** 2462 (in Chinese)[冯朝文、蔡理、李芹 2008 物理学报 **57** 2462]
- [15] Li Q, Cai L, Feng C W 2009 *Acta Phys. Sin.* **58** 4183 (in Chinese)[李芹、蔡理、冯朝文 2009 物理学报 **58** 4183]
- [16] Likharev K K 1999 *Proc. IEEE* **87** 606
- [17] Chen R H, Korotkov A N, Likharev K K 1996 *Appl. Phys. Lett.* **68** 1954
- [18] Wasshuber C 2001 *Computational Single-electronics* (New York: Springer-verlag) p9
- [19] Lientschnig G, Weymann I, Hadley P 2003 *Jpn. J. App. Phys.* **42** 6467

Conductance of single-electron transistor with single island*

Sui Bing-Cai[†] Fang Liang Zhang Chao

(PDL, School of Computer, National University of Defense Technology, Changsha 410073, China)

(Received 2 June 2010; revised manuscript received 26 October 2010)

Abstract

With the decrease of the feature size of MOS based circuits, the power consumption of micro-processors has dramatically increased during the last decade, which now mainly restricts the development of the micro-processors. Single-electronic transistors (SETs) are considered as the attractive candidates for post-COMS VLSI due to their ultra-small size and low power consumption. Based on Orthodox theory, the model of conductance is investigated in detail. The conductance of SET with single island is in damped oscillation with a period of $T(V_{ds})$, and it is close to an intrinsic value with the increase of $|V_{ds}|$. This characteristic of G_{ds} is affected by temperature, parameters of junctions, and so on. The results show that the analysis of conductance is very useful for the very large scale integration of SET devices.

Keywords: single-electron transistor, conductance, Coulomb oscillation, Coulomb blockade

PACS: 73.21.La, 73.43.Jn, 73.63.Kv

* Project supported by the Hi-Tech Research and Development Program of China (863 Program) (Grant No. 2009AA01Z114), the Innovation Program of National University of Defense Technology for excellent postgraduate, and Hunan Provincial Innovation Foundation For Postgraduate.

[†] E-mail: lymmeng@yahoo.com.cn