

高 k 介质在新型半导体器件中的应用*黄力¹⁾ 黄安平^{2)†} 郑晓虎²⁾ 肖志松²⁾ 王玫²⁾

1) (北京航空航天大学电子信息工程学院, 北京 100191)

2) (北京航空航天大学物理科学与核能工程学院, 北京 100191)

(2011 年 10 月 19 日收到; 2011 年 12 月 5 日收到修改稿)

当 CMOS 器件特征尺寸缩小到 45 nm 以下, SiO_2 作为栅介质材料已经无法满足性能和功耗的需要, 用高 k 材料替代 SiO_2 是必然选择. 然而, 由于高 k 材料自身存在局限性, 且与器件其他部分的兼容性差, 产生了很多新的问题如界面特性差、阈值电压增大、迁移率降低等. 本文简要回顾了高 k 栅介质在平面型硅基器件中应用存在的问题以及从材料、结构和工艺等方面采取的解决措施, 重点介绍了高 k 材料在新型半导体器件中的应用, 并展望了未来的发展趋势.

关键词: 高 k 材料, FinFET, 石墨烯器件, 忆阻器

PACS: 77.55.+f

1 引言

随着 MOSFET 等半导体器件按摩尔定律持续等比缩小, 单个芯片上集成的晶体管数量成指数增加, 同时产品的功耗也逐渐降低. 当 MOS 器件沟道长度不断减小时, 为了抑制短沟道效应, 减小亚阈值斜率, 增大驱动电流以及提高电路工作速度, 必须减小栅介质等效氧化层厚度 (equivalent oxide thickness, 简记为 EOT). 到 45 nm 技术节点时, 要求栅介质层仅有几个 SiO_2 分子层厚度, 如此薄的 SiO_2 介质层会使栅极隧穿电流急剧增加, 从而导致功耗急剧上升, 同时还会使沟道迁移率退化^[1].

用高 k 材料替换 SiO_2 , 在 EOT 相同的前提下增大其物理厚度, 会降低栅漏电流密度. 对于 k 值为 20 的材料, 其物理厚度可达 SiO_2 的 5 倍多, 用其替代 SiO_2 可使漏电流减小 2 至 3 个数量级. 不过, 高 k 材料替代 SiO_2 作为栅介质, 除了具有高的 k 值外, 还需满足以下要求: 与 Si 具有较好的热稳定性, 以避免高 k 材料与 Si 衬底在高温下发生反应

形成低 k 界面层; 在高温下始终保持非晶态, 否则栅漏电流将会沿着晶粒间界移动, 导致漏电流增大; 具有宽的带隙和高的势垒, 栅隧穿电流与势垒高度的平方根成负指数关系, 宽的带隙和高的势垒才可以有效降低栅隧穿电流; 低的缺陷态和固定电荷密度, 高 k 栅介质与 Si 界面之间的缺陷态不仅会使平带电压偏移、 C - V 特性畸变, 还会使 MOSFET 中的表面迁移率退化^[1,2]. 为找到合适的高 k 材料, 业界对许多金属氧化物展开了研究, 如 Al_2O_3 , TiO_2 , HfO_2 和 ZrO_2 等, 其中 HfO_2 及 Hf 基硅氧化物具有优异的介电特性, 是比较合适的高 k 栅介质材料且已应用于 45 nm 半导体工艺中.

2 高 k 栅介质面临的问题及解决措施2.1 高 k 栅介质面临的问题

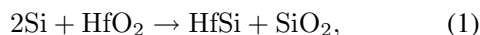
高 k 材料替代 SiO_2 作为栅介质能够有效降低栅极漏电流, 但由于材料自身的局限性以及与器件其他部分兼容性的问题, 高 k 栅介质仍存在一些不足.

* 国家自然科学基金 (批准号: 51172009, 51172013 和 11074020) 和教育部新世纪优秀人才计划 (NCET-08-0029) 资助的课题.

† E-mail: aphuang@buaa.edu.cn

2.1.1 高的缺陷密度和差的界面特性

高 k 材料由于其热稳定性差, 在高温沉积过程中会与硅沟道以及栅电极发生反应生成 SiO_2 和硅酸盐, 导致其与沟道和栅极之间容易发生界面反应. 如 HfO_2 与 Si 之间会发生如下反应形成中间层 (如图 1)



形成的 SiO_2 等中间层介电常数低, 导致栅介质层有效介电性能降低, 增大 EOT. 而且中间层具有高的氧化物陷阱密度, 会降低沟道表面载流子浓度和迁移率. 另外, 高 k 材料的结晶温度普遍较低, 热处理会导致内部非晶变为多晶, 多晶的晶界之间存在缺陷, 这些有缺陷的晶界会成为漏电流的通道, 导致漏电流增大.

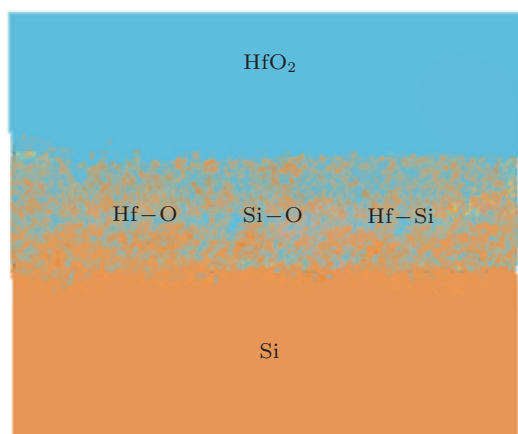


图 1 高 k 介质与硅衬底间反应形成过渡硅酸盐层 [3]

2.1.2 阈值电压过高

多晶硅作为栅电极可以通过调整掺杂参数获得合适的阈值电压 (V_{th}), 并且工艺已经成熟, 但是高 k 介质与多晶硅的兼容性比 SiO_2 与多晶硅的兼容性差得多. 在化学气相沉积 (chemical vapor deposition, 简记为 CVD) 过程中, 高 k 介质会和多晶硅反应生成硅化物层, 使得费米能级钉扎后 V_{th} 升高, 晶体管难以被驱动, 而且无论如何调整多晶硅的掺杂情况都无法获得合适的 V_{th} .

2.1.3 迁移率退化

导电沟道内载流子迁移率的大小直接决定了驱动电流的大小, 从而决定了器件的工作频率. 在 MOSFET 中, 导电沟道迁移率主要取决于载流子散射, 包括库仑散射、声子散射和表面粗糙度散

射:

$$\frac{1}{\mu} = \frac{1}{\mu_C} + \frac{1}{\mu_{PH}} + \frac{1}{\mu_{SR}}, \quad (2)$$

其中 $\mu_C, \mu_{PH}, \mu_{SR}$ 分别是库仑散射、声子散射和表面粗糙散射独自存在时的迁移率, μ 为总的迁移率. 上述三种散射机理与纵向场强和温度有关, 而且对场强和温度的依赖性也各不相同 (如图 2).

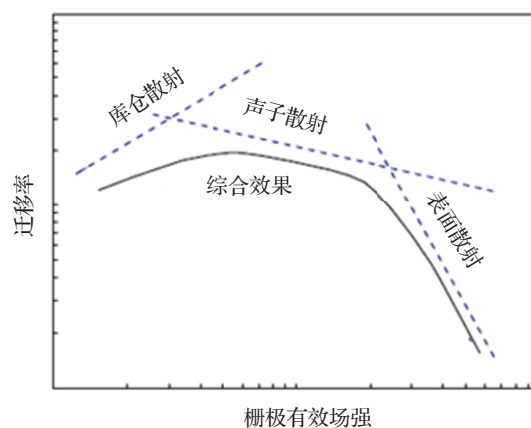


图 2 在不同纵向场强下三种散射机理对迁移率的影响 [1]

在场强较低时, 迁移率主要受库仑散射的影响, 造成库仑散射的电荷是导电沟道中的电荷、氧化层中的电荷以及氧化层与栅极界面中的电荷; 在场强适中时, 迁移率主要受声子散射的限制; 在场强很高时, 迁移率受到表面粗糙散射的限制. 同时, 在不同温度下, 上述三种散射机理对迁移率的影响也不同. 其中库仑散射随着温度的升高而减弱, 声子散射随着温度的升高而增强, 而表面散射与温度无关, 只受场强影响.

随着高 k 材料替代 SiO_2 作为栅介质, 沟道迁移率明显下降. 其可能的原因一是 Fischetti [4] 等提出的由于软光声子与沟道中载流子耦合导致远程声子散射 (remote phonon scattering, 简记为 RPS); 二是由高 k 材料的内部陷阱和界面陷阱导致的远程库仑散射 (remote coulomb scattering, 简记为 RCS). 对于 RPS, 由于高 k 介质一般为金属氧化物, 而金属氧化物有高度极化的金属-氧键合, 这些软键合会产生低能量的软光声子, 软光声子与沟道中载流子耦合会使迁移率降低. Weber [5] 等用实验定量地反映了 RPS 对迁移率的影响, 指出在低场时由 RPS 导致的迁移率退化约占 35%, 而在高场强时, RPS 对迁移率的影响更大, 约占 60%. 通过在高 k 介质和 Si 沟道之间加一层 SiO_x 界面层 (interfacial layer, 简记为 IL) 以及用金属电极替代多晶硅都能

阻碍 RPS, 大幅提升迁移率. 另外, 随着 IL 厚度的增加, RPS 以指数规律减弱, 这说明了散射是远程的. 对于 RCS, 高 k 材料中及其和 SiO_2 界面层之间的缺陷都可能造成 RCS, 这种散射也是远程的, 且与场强成反比. Weber^[5] 等通过测得不同介质厚度晶体管的 RCS 附加迁移率同场强的正比关系, 确定了 RCS 的作用. 一般地, 在低场强时 RCS 对迁移率的影响占主导作用, 随着场强的增加其影响减弱, RPS 逐渐占主导.

除了降低迁移率外, 高 k 介质还会使沟道载流子浓度降低, 这是由于高 k 介质与硅沟道之间的界面陷阱密度大, 沟道中的载流子被俘获到陷阱中. 总之, 迁移率的退化和载流子浓度的降低都直接影响到器件的驱动特性.

2.2 解决措施

2.2.1 金属替代多晶硅作为栅极

如前所述, 高 k 介质替代 SiO_2 作为栅介质层后, 虽然大幅减小了漏电流, 却使得阈值电压升高, 这是由高 k /poly-Si 界面的费米能级钉扎效应造成的, 它使得晶体管难以被驱动. 金属替代多晶硅作为栅电极成为必然, 这是由于金属和高 k 介质的兼容性更好, 产生的界面缺陷少, 没有硼穿透效应, 还能有效降低高 k 介质层中的缺陷密度. 这种良好的兼容性使得对阈值电压的控制相对多晶硅电极更为容易, 用具有合适功函数的金属替代多晶硅作为栅电极即可获得合适的阈值电压^[6].

目前主要有两种方法引入金属栅极, 一种是用中间带隙金属栅极, 另一种是对于 NMOS 和 PMOS 分别采用不同的金属栅极. 前者是选择一种具有合适功函数的金属材料, 使其费米能级处于硅衬底禁带中间如 TiN, 这样金属栅极费米能级到 Si 导带和价带的距离相等, NMOS 和 PMOS 具有对称的 V_{th} . 由于这种方法只用一种材料作栅极, 且免去离子注入过程, 在工艺上容易实现. 不过, 由于 Si 的禁带宽度为 1.1 eV, 用这种中禁带金属获得的阈值电压约为 0.5 V, 此值过大而无法满足新器件的要求. 后者是分别针对 NMOS 和 PMOS 选择合适的金属, 这样可以获得更低的 V_{th} , 但缺点是材料的选取和工艺加工困难.

2.2.2 提升迁移率的措施

迁移率决定驱动电流, 直接影响器件的性能. 在 45 nm 节点引入高 k 介质后, 界面缺陷和远程声

子散射等因素降低了迁移率, 因此必须采取针对性措施提升载流子迁移率.

为了改善高 k 介质与 Si 之间的界面质量, 通常加入一层厚度很薄的 SiO_x 作为过渡层, 尽管稍微降低了栅介质层总的 k 值, 但由于 SiO_2 与 Si 的兼容性好, 界面特性明显改善. 金属栅极对迁移率也有改善效果. 金属中自由电子浓度远大于反型层中载流子浓度, 不易产生远程声子散射. 研究表明^[4,7], 金属栅极能够有效地抑制高 k 介质中的低能光学声子与反型层沟道中的载流子耦合, 从而降低声子散射, 提高迁移率. Maitra^[8] 等指出, 在 N_{inv} 较低时, 选择合适的金属替代多晶硅作为栅极可以将由声子散射限制的迁移率提升 19%. 另外, Maitra^[8] 等指出金属栅极的引入大幅减少了高 k 介质内部的体陷阱密度, 从而减小了库仑散射.

目前典型的栅结构如 $\text{TiN}/\text{HfO}_2/\text{SiO}_x$, 实验表明使用 TiN 作为栅电极比用多晶硅能够获得更大的沟道迁移率, 接近于传统的 $\text{SiO}_2/\text{poly-Si}$ 栅结构的迁移率(如图 3). 另外, 通过间接测量表面散射单独影响时的迁移率, 结果表明使用金属栅极能够抑制表面散射(如图 4).

将高 k 栅极与应变技术结合起来能够进一步改善迁移率. 从 90 nm 技术节点开始, 半导体业界使用应变技术提升迁移率. 应变分为全局应变和局域应变两种, 前者一般通过在 $\text{Si}_{1-x}\text{Ge}_x$ 渐变层上外延生长 Si 或 Ge 实现; 后者针对 NMOS 和 PMOS, 分别通过沉积氮化硅帽层和在源区和漏区沉积 SiGe 实现. 对于 45 nm 及以下节点器件, 一般使用局域应变, 将应变沟道与高 k 栅介质结合起来能够得到高迁移率低功耗的器件^[9-11].

然而, 对于生长在 $\text{Si}_{1-x}\text{Ge}_x$ 上的 Si 沟道, 引入 HfO_2 作为栅介质后对应变几乎不产生影响, 但是 HfO_2 与 Si 的界面陷阱密度会增加, 主要是 Ge 会扩散到沟道中和界面处, 与热稳定性差的 HfO_2 发生反应^[10,12]. 这与应变 Si 层的厚度有关, 即与 SiGe 和 HfO_2 的距离有关, 随着应变 Si 层厚度的增加, 界面陷阱密度减小^[10]. 无论使用全局应变还是局域应变, 都会有 Ge 扩散的问题, 这不仅导致高 k 介质和沟道间的界面陷阱密度增大, 还会增大栅漏电流, 主要由于 Ge 扩散到沟道及高 k 介质层中引入更多陷阱, 而这些陷阱会增加隧穿电流. 另外, Ge 在沟道中扩散还会增强库仑散射和声子散射, 影响迁移率的提升^[10]. 通过在 HfO_2 中加入 N 元素则可以增加其热稳定性, 降低 Ge 扩散的

影响 [12].

3 高 k 材料在新型器件中的应用

3.1 在 FinFET 器件中应用

短沟道效应是阻碍半导体器件尺寸进一步减小的重要因素. 然而, 新的器件结构如多栅极结构能够有效减小短沟道效应, 在保证性能的前提下允许器件进一步微缩 [14]. 其中常见的是双栅极结构, 在这种结构中, 两个相对的栅极包围沟道, 漏极发出的纵向电场会被栅极屏蔽, 从而抑制了漏极感应势垒降低 (drain-induced barrier lowering, 简称为 DIBL) 效应并增加了亚阈值摆幅. 双栅极结构有很多种, 根据栅极和沟道的位置可分为三种基本类型: 平面型、垂直型和鳍型. 其中鳍状场效应管 (FinFET) 是最有实用价值的一种 (如图 5), 其沟道是绝缘衬底上凸出的高而薄的鳍状物, 源漏两级分别在其两端, 两栅极紧贴其侧壁, 当管子开启时, 电流在两侧壁附近流过. Intel 公司于 2011 年 5 月 5 日宣布将在 22 nm 工艺的 Ivy Bridge 处理器中全面采用这种技术, 这款产品将于 2011 年底量产, 2012 年初上市. Intel 在这款产品中继续使用了高 k 栅介质层和应变硅技术, 获得了较平面型器件更加优越的性能 (如图 6 和图 7). 相对于 32 nm 工艺技术, 低电压时性能提升达 37%, 功耗降低 50% 以上, 然而制造成本仅增加 2%—3%.

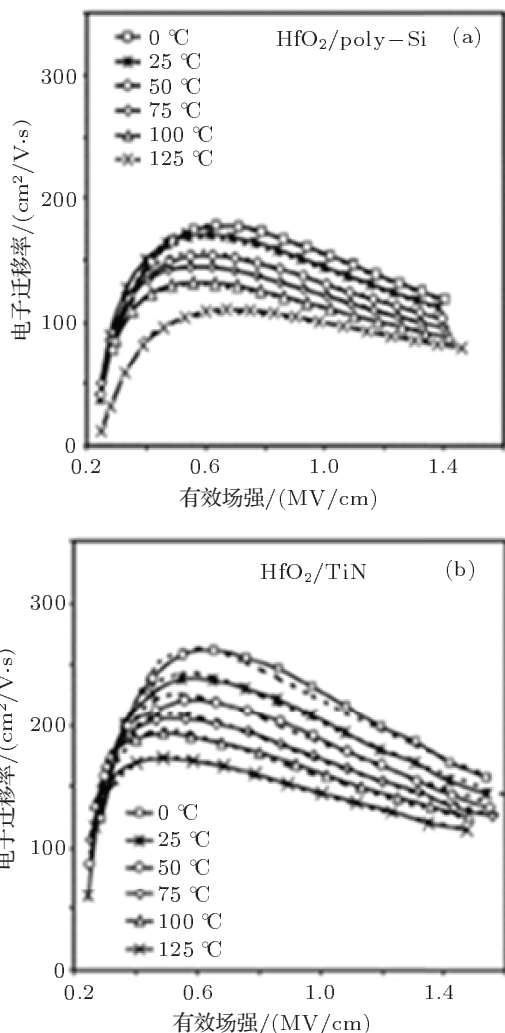


图 3 在不同温度下电子迁移率随有效场强的变化 (a) $\text{HfO}_2/\text{poly-Si}$; (b) HfO_2/TiN [9]

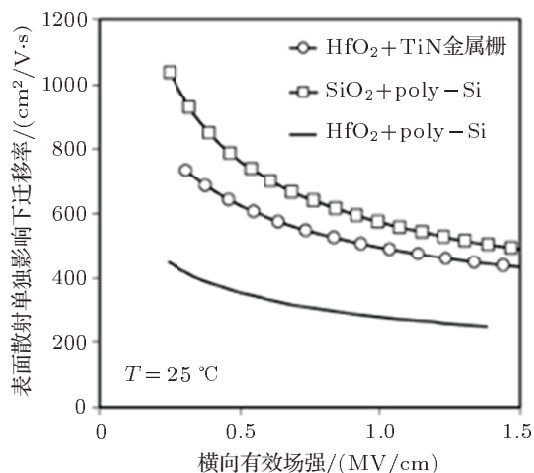


图 4 $\text{HfO}_2/\text{poly-Si}$ 和 HfO_2/TiN 两种栅结构在表面散射单独作用下的沟道迁移率, $\text{SiO}_2/\text{poly-Si}$ 作为参照 [13]

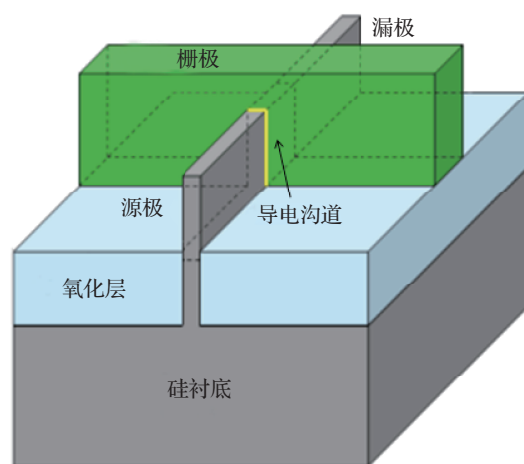


图 5 FinFET 结构示意图

FinFET 为双栅极 (或三栅极) 驱动的器件, 栅极与沟道接触面积大于同尺寸平面型器件, 同时, 使用高 k 介质作为栅氧化层能够降低 EOT, 这些因素使得 FinFET 具有较大的栅氧化层电容 C_{ox} , 改善了亚阈值特性, 增强了栅极对沟道的控制能力. 当

栅电压小于开启电压时, 沟道电流的表达式为

$$I_d = \mu C_d \frac{W}{L} \left(\frac{kT}{q} \right)^2 \exp \left(\frac{V_{gs} - V_{th}}{M} \right), \quad (3)$$

其中

$$M = \left(1 + \frac{C_d}{C_{ox}} \right) \frac{kT}{q}, \quad (4)$$

亚阈值摆幅为

$$S = \frac{dV_{gs}}{d(\log I_d)} \propto \left(1 + \frac{C_d}{C_{ox}} \right) \frac{kT}{q}, \quad (5)$$

由(4)式可知 S 随着 C_{ox} 的增大而减小, 沟道电流增大得更快. FinFET 本身能够抑制短沟道效应, 与高 k 技术整合后使器件的微缩空间更大.

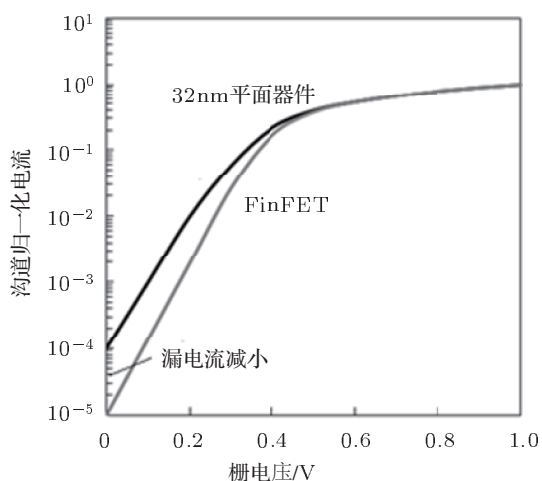


图6 Intel 22 nm FinFET 与 32 nm 平面器件的导通电流比较

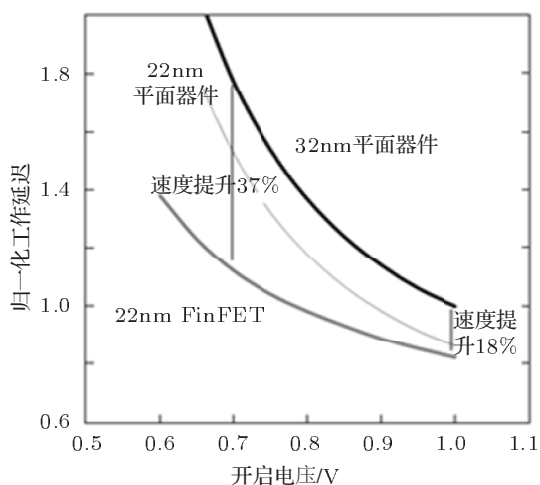


图7 Intel 22 nm FinFET 与 32 nm 和 22 nm 平面器件的速度比较

然而, 高 k 栅介质较大的物理厚度增大了边缘感应势垒降低 (fringe-induced barrier lowering, 简记

为 FIBL) 效应^[15], 降低了对短沟道效应的控制能力. Manoj^[16] 等研究了随着栅介质 k 值的增加 FinFET 各项性能指标的变化, 发现随着 k 值的增加, I_{ON} 线性增加而 I_{OFF} 以指数速度增加, DIBL 降低效应更加显著, 亚阈值摆幅逐渐变差.

3.2 在石墨烯晶体管中应用

石墨烯 (graphene) 于 2004 年被发现, 它是由单层碳原子组成的六方蜂巢状二维结构, 即单层石墨. 石墨烯是世界上最薄和最坚固的材料之一, 且拥有极好的导电性和导热性, 是制造晶体管的绝佳材料. 目前主要用两种方法制造石墨烯场效应管, 一是在 SiO_2 衬底上对石墨单晶进行机械剥落, 二是在 SiC 衬底上外延生长.

在 SiO_2 衬底上剥落的石墨烯迁移率会受到库仑散射的影响, 散射是由 SiO_2 内部及 SiO_2 与石墨烯界面上的杂质所致. Shishir^[17] 等研究表明, SiO_2 与石墨烯之间的高 k 介质能够有效屏蔽库仑散射, 有效提升迁移率 (在室温下达到 $40000 \text{ cm}^2/\text{V}\cdot\text{s}$). 另外, Moon^[18] 等通过在 SiC 衬底上外延生长石墨烯, 结合高 k 介质层 (Al_2O_3) 和金属栅极制造出了一种场效应管, 并研究了其高频特性, 实验表明这种晶体管有很高的截止频率和很低的漏电流.

石墨烯纳米带 (graphene nanoribbon, 简记为 GNR) 是一种有限宽度的带状石墨烯, 10 nm 以下的石墨烯纳米带具有半导体性质, 已研制出了相应的晶体管 GNRFETs, 其结构如图 8 所示, 其中 HfO_2 作为顶层 Si 纳米管与石墨烯之间的超薄介质层. HfO_2 的绝缘作用能够提高栅电容并大幅降低栅漏电流, 从而提升了驱动电流并降低了功耗.

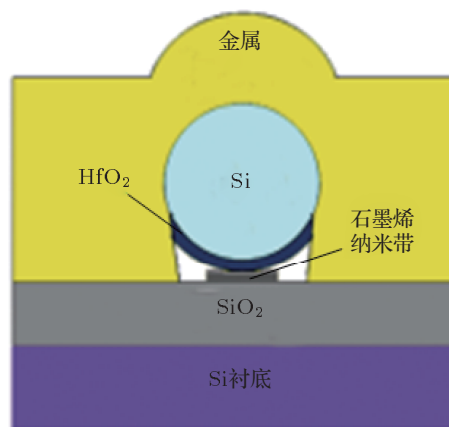


图8 石墨烯纳米带晶体管 (GNRFET) 的结构示意图^[19]

3.3 在忆阻器中应用

高 k 材料除用于 MOS 器件的栅介质外, 还在其他的新型半导体器件如忆阻器中得到了广泛应用. 忆阻器是一种具有电阻记忆特性的二端口器件, 其阻值随着流过的电流改变, 并在电流撤去后保持恒定. 目前已经发现了许多具有忆阻特性的材料, 并提出了相应的模型解释其物理机理, 其中大部分模型均与氧空位 (Oxygen Vacancy) 相关, 氧空位的形成与迁移是导致电阻变化与记忆效应的重要因素. 作为电介质的高 k 金属氧化物, 其金属-氧键合高度极化, 对价带电子的束缚较弱, 发生氧化或还原反应所需的能量较小. 因此, 在电场或热作用下, 这些金属氧化物中易于形成氧空位, 且氧空位容易在其内部迁移. 该特性使得众多高 k 金属氧化物具有忆阻特性, 如 TiO_2 , HfO_2 , Nb_2O_5 , Ta_2O_5 , VO_2 , SrTiO_3 等, 它们结合不同的金属电极如 Pt, Cu, Al 等可构成忆阻器.

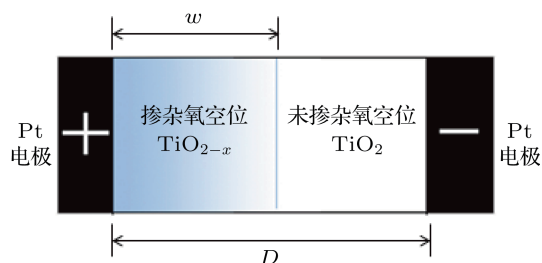


图 9 TiO_2 忆阻器结构模型图 [20]

其中, TiO_2 的忆阻特性已于 2008 年被 Williams 等发现 [20], 他们制备的 Pt/ TiO_2 /Pt 忆阻器结构如图 9 所示. 厚度为 D 的 TiO_2 层夹在两个 Pt 电极之间, 左边长度为 w 的部分 (TiO_{2-x}) 掺杂氧空位, 具有低的电阻值, 右边长度为 $D-w$ 的部分 (TiO_2) 未掺杂氧空位, 具有高的电阻值. 在此器件两端加电压时, 氧空位的移动使得低电阻区与高电阻区的边界迁移, 器件总电阻发生变化. 测其 $I-V$ 曲线呈现出滞后现象, 说明具有忆阻特性. 随后, 业界对 Pt/ TiO_2 /Pt 结构的忆阻特性展开了深入研究. Szot 等 [21] 认为其忆阻特性是由 TiO_2 到 Magneli 结构 Ti_4O_7 之间的相变引起的 (如图 10), 在正向电场的作用下, TiO_2 中产生的 Ti_4O_7 形成柱状细丝 (如图 11), 细丝中的氧空位帮助导电, 在反向电场作用下, 热化学效应导致柱状细丝末端发生由晶态变为非晶态的相变, 导电性降低. Williams 研究组 [21] 在对氧缺陷程度不同的 TiO_2 介质进行实验

后, 提出 TiO_2 /Pt 界面肖特基势垒也是导致器件电阻变化的重要因素, 他们认为外加电场在控制氧空位沿着细丝迁移的同时会改变 TiO_2 /Pt 界面势垒宽度, 从而改变导电特性.

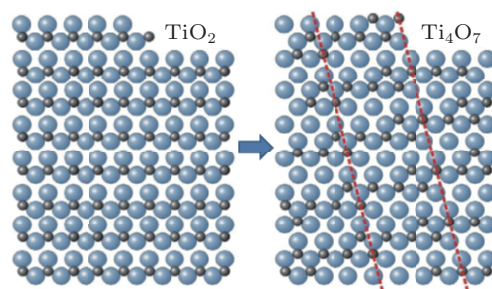


图 10 TiO_2 中发生相变形成带有氧空位的 Ti_4O_7 [21]

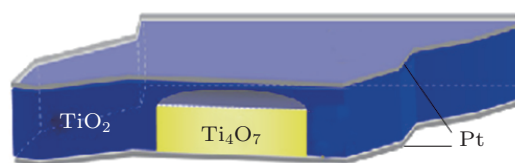


图 11 TiO_2 中的 Ti_4O_7 细丝 [21]

此外, HfO_2 , VO_2 和 SrTiO_3 也具有忆阻特性, 其与不同金属电极组合构成忆阻器. Lee 等 [22,23] 最早在 Pt/ HfO_x /TiN/Si 以及 TiN/ TiO_x / HfO_x /TiN 等结构中发现了电压控制的电阻开关效应, 利用此效应有望做成阻变随机存储器 (Resistive Random Access Memory, 简记为 RRAM), 其可能的解释是电场作用下产生的氧空位细丝引起电阻变化. Sun 等 [24] 发现 Ti 作为阳极的 Ti/ HfO_2 /InP 结构具有忆阻和忆容特性, 实验表明, 加正向电压时其呈现忆阻性, $I-V$ 曲线如图 12, 而加反向电压时呈现忆容性. Sun 等对于此现象的物理解释是 HfO_2 /InP 界面的费米能级钉扎效应导致了电荷积累, 并提出高 k 介质与 III-V 族半导体结合有望作为良好的忆阻和忆容器件. Yan 等 [25] 研究了 Au/ SrTiO_3 /Pt 结构的电铸 (electroforming) 和开关电阻特性, 提出了一种综合体内氧空位和界面肖特基势垒影响的模型解释了其物理机理. 另外, Menke 等 [26] 对 Pt/STO(Fe)/Nb:STO 结构进行了研究, 提出电阻变化是由于氧元素在 Pt/STO(Fe) 界面附近以氧气形式放出而产生氧空位. VO_2 的忆阻机理稍有不同, 研究表明 [27,28], 金属-绝缘体相变 (metal-insulator transition, 简记为 MIT) 是导致其电阻变化的重要因素. 在室温下, 电流、电场或光致激发都能引起 VO_2 发

生相变, 不需要热激发且耗时非常短暂 (< 1 ps), 在制造 VO_2 薄膜时可以较容易地控制其相变临界温度和滞回区域宽度, 这使得 VO_2 忆阻器件有广阔的应用前景.

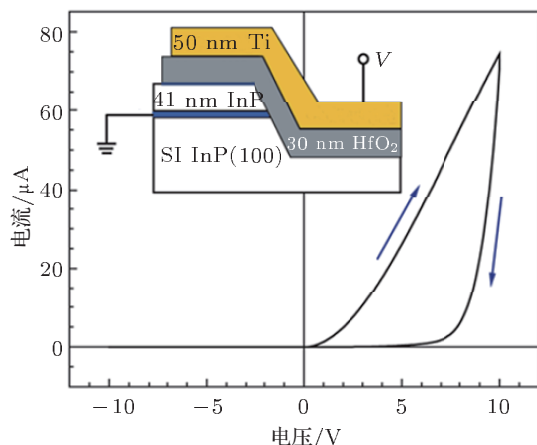


图 12 Ti/HfO₂/InP 结构的 I - V 曲线^[24]

忆阻器的应用目前还处于开发中, Xia 等^[29]研究了用 TiO_2 制作的忆阻器与 CMOS 混合的逻辑电路, 其能够初步实现类似 FPGA 的功能. Pershin 等^[30]提出了用忆阻器实现可编程模拟电路的方法.

4 总结与展望

当 MOS 器件特征尺寸缩小到 45 nm 以下时,

用高 k 材料替代 SiO_2 作为栅介质能够大幅减小栅漏电流, 在满足性能和功耗要求的同时允许器件尺寸进一步微缩. 然而, 用高 k 介质替代 SiO_2 又带来了两个问题, 一是费米能级钉扎效应导致的阈值电压增大, 二是远程声子散射导致的载流子迁移率下降. 用金属替代多晶硅作为栅电极能够有效缓解上述问题, 获得合适的阈值电压并抑制远程声子散射, 使用应变技术能够进一步提升迁移率.

高 k 材料将继续应用于 22 nm 以下节点的硅基器件中. 对于体硅和 SOI 等平面型器件, 需要寻找更合适的高 k 材料并提升工艺技术, 以解决界面缺陷和迁移率降低的问题. 对于 FinFET 等立体型器件, 高 k 栅介质能降低漏电流、提升工作速度, 但是会加剧 DIBL 效应和 FIBL 效应. 石墨烯拥有极高的迁移率, 有望取代硅作为未来的半导体材料, 石墨烯的制备方法以及基于石墨烯的各种晶体管仍在研究中, 在不久的将来有望实现量产. 高 k 材料在石墨烯基器件中有很大的应用价值和潜力, 将两者很好地结合起来能够获得高性能的晶体管, 但仍需要解决高 k 材料的缺陷和工艺整合的困难. 此外, 许多高 k 金属氧化物如 TiO_2 , HfO_2 , SrTiO_3 等具有忆阻特性, 对这些金属氧化物的研究有助于进一步了解忆阻器的潜在机理并发掘其未来的应用价值. 除了忆阻器外, 忆容器和忆感器也是研究的热点, 基于这三种记忆器件可以设计出更优的数字或模拟电路, 尤其是新一代可编程模拟电路等.

- [1] Robertson J 2006 *Rep. Prog. Phys.* **69** 327
- [2] Zheng X H, Huang A P, Yang Z C, Xiao Z S, Wang M, Cheng G A 2011 *Acta Phys. Sin.* **60** 017702 (in Chinese) [郑晓虎, 黄安平, 杨智超, 肖志松, 王玫, 程国安 2011 物理学报 **60** 017702]
- [3] Weng Y, Wang H 2008 *Semiconductor Technology* **33** 1 (in Chinese) [翁妍, 汪辉 2008 半导体技术 **33** 1]
- [4] Fischetti M V, Neumayer D A, Cartier E A 2001 *J. Appl. Phys.* **90** 4587
- [5] Weber O, Casse M, Thevenod L, Ducroquet F, Ernst T, Deleonibus S 2006 *Solid-State Electron.* **50** 626
- [6] Yang Z C, Huang A P, Xiao Z S 2010 *Physics* **39** 113 (in Chinese) [杨智超, 黄安平, 肖志松 2010 物理 **39** 113]
- [7] Datta S, Dewey G, Doczy M, Doyle B S, Jin B, Kavalieros J, Kotlyer R, Metz M, Zelik N, Chau R 2003 *IEEE International Electron Devices Meeting*, Washington, D.C., December 08-10, 2003 p653
- [8] Maitra K, Frank M M, Narayanan V, Misra V, Cartier E A 2007 *J. Appl. Phys.* **102** 114507
- [9] Weber O, Damlencourt J F, Andrieu F, Ducroquet F, Ernst T, Hartmann J M, Papon A M, Renault O, Guillaumot B, Deleonibus S 2006 *IEEE Trans. Electron Devices* **53** 449
- [10] Lin Y X, Ozturk M C, Chen B, Rhee S J, Lee J C, Misra V 2005 *Appl. Phys. Lett.* **87** 071903
- [11] Johansson M, Yousif M Y A, Lundgren P, Bengtsson S, Sundqvist J, Harsta A, Radamson H H 2003 *Semicond. Sci. Technol.* **18** 820
- [12] Chung K B, Lucovsky G, Lee W J, Cho M H, Jeon H 2009 *Appl. Phys. Lett.* **94** 042907
- [13] Chau R, Datta S, Doczy M, Doyle B, Kavalieros J, Metz M 2004 *IEEE Electron Dev. Lett.* **25** 408
- [14] Hisamoto D, Lee W C, Kedzierski J, Takeuchi H, Asano K, Kuo C, Anderson E, King T J, Bokor J, Hu C M 2000 *IEEE Trans. Electron Devices* **47** 2320
- [15] Agrawal S, Fossum J G 2008 *IEEE Trans. Electron Devices* **55** 1714
- [16] Manoj C R, Rao V R 2007 *IEEE Electron Dev. Lett.* **28** 295
- [17] Shishir R S, Ferry D K 2009 *J. Phys.: Condens. Matter* **21** 232204
- [18] Moon J S, Curtis D, Hu M, Wong D, McGuire C, Campbell P M, Jernigan G, Tedesco J L, VanMil B, Myers-Ward R, Eddy C,

- Gaskill D K 2009 *IEEE Electron Dev. Lett.* **30** 650
- [19] Liao L, Bai J W, Cheng R, Lin Y C, Jiang S, Huang Y, Duan X F 2010 *Nano Lett.* **10** 1917
- [20] Strukov D B, Snider G S, Stewart D R, Williams R S 2008 *Nature* **453** 80
- [21] Szot K, Rogala M, Speier W, Klusek Z, Besmehn A, Waser R 2011 *Nanotechnology* **22** 254001
- [22] Lee H Y, Chen P S, Wang C C, Maikap S, Tzeng P J, Lin C H, Lee L S 2007 *Jpn. J. Appl. Phys.* **46** 2175
- [23] Lee H Y, Chen P S, Wu T Y, Chen Y S, Wang C C, Tzeng P J, Lin C H, Chen F, Lien C H, Tsai M J 2008 *IEEE International Electron Devices Meeting*, San Francisco CA, December 15–17, 2008 p1
- [24] Sun J, Lind E, Maximov I, Xu H Q 2011 *IEEE Electron Dev. Lett.* **32** 131
- [25] Yan X B, Xia Y D, Xu H N, Gao X, Li H T, Li R, Yin J, Liu Z G 2010 *Appl. Phys. Lett.* **97** 112101
- [26] Menke T, Meuffels P, Dittmann R, Szot K, Waser R 2009 *J. Appl. Phys.* **105** 066104
- [27] Driscoll T, Kim H-T, Chae B-G, Ventra M D, Basov D N 2009 *Appl. Phys. Lett.* **95** 043503
- [28] Yang Z, Ko C, Ramanathan S 2011 *Annu. Rev. Mater. Res.* **41** 337
- [29] Xia Q F, Robinett W, Cumbie M W, Banerjee N, Cardinali T J, Yang J J, Wu W, Li X, Tong W M, Strukov D B, Snider G S, Medeiros-Ribeiro G, Williams R S 2009 *Nano Lett.* **9** 3640
- [30] Pershin Y V, Ventra M D 2010 *IEEE Trans. Circuits Syst. I, Reg. Papers* **57** 1857

Application of high- k dielectrics in novel semiconductor devices*

Huang Li¹⁾ Huang An-Ping^{2)†} Zheng Xiao-Hu²⁾ Xiao Zhi-Song²⁾ Wang Mei²⁾

1) (Department of Electronic and Information Engineering, Beihang University, Beijing 100191, China)

2) (Department of Physics, Beihang University, Beijing 100191, China)

(Received 19 October 2011; revised manuscript received 5 December 2011)

Abstract

As the feature size of MOSFET scales beyond 45 nm, SiO₂ as gate dielectric fails to meet the performance requirement because of the high gate oxide leakage current. It is necessary to replace SiO₂ with high- k materials. However, high- k materials as gate dielectric have some limitations and are not expectedly compatible with the conventional structure, inducing new challenges such as bad interfacial quality, increased threshold voltage, mobility degradation, etc. In this paper we review the problems encountered in the introduction of high- k gate dielectric into planar devices and the solutions in terms of material, device structure and process integration. Some novel applications of high- k materials in new devices and the future trend are also reviewed.

Keywords: high- k dielectric, FinFET, graphene FET, memristor

PACS: 77.55.+f

* Project supported by the National Natural Science Foundation of China (Grant Nos. 51172009, 51172013, 11074020), and the Program for New Century Excellent Talents in University of Ministry of Education of China (Grant No. NCET-08-0029).

† E-mail: aphuang@buaa.edu.cn